

# План тестирования компонентов multi\_memory\_single, multi\_memory\_four\_bank

---

## Общие требования

Тестирование производится на основе архитектуры теста ...

Должны быть реализованы тесты:

- direct
- randomize
- randomize\_split\_partial
- randomize\_split\_full

Тест проверяет компонент с установленными параметрами:

- REQUESTERS = 3;
- DATA\_WIDTH = 16;
- ADDR\_WIDTH = 16;

Тест direct проверяет выделенные случаи.

Тест randomize проверяет обмен со случайными параметрами. Для каждого порта используется равномерное распределение вероятностей адреса обращения по всему адресному пространству.

Тест randomize\_split\_partial проверяет обмен со случайными параметрами. Адресное пространство разделяется на три части которые назначаются своему порту. Для каждого порта используется случайное обращение к своей части адресного пространства. Для компонента multi\_memory\_four\_bank будет происходить частичное перекрытие банков при обращении по разным портам.

Тест randomize\_split\_full проверяет обмен со случайными параметрами. Адресное пространство разделяется на четыре части в соответствии с разделением по банкам для компонента multi\_memory\_four\_bank. Обращение через порт производится только к своей части адресного пространства. Четвёртая часть адресного пространства не используется.

Тест должен для каждого порта проводить измерения параметров:

- минимальное, максимальное и среднее время обращения по чтению
- минимальное, максимальное и среднее время обращения по записи
- скорость записи
- скорость чтения

Время обращения измеряется в числе тактов.

Скорость измеряется в МБайт/с, при условии что тактовая частота 100 МГц.

Все тесты должны выдать сообщение о результате прохождения.

Тест должен завершиться за конечное время. Должен быть предусмотрен выход по таймауту.

Тестирование является успешным если все тесты выполняются без ошибок и в тесте randomize достигнуто покрытие 100%

Тесты должны быть выполнены для компонентов multi\_memory\_single, multi\_memory\_four\_bank. Должен быть итоговый отчёт о результатах измерения параметров.

## Тестовые случаи

1. Во время действия сигнала rst==1 должны быть r\_aredy==0, r\_wready==0, r\_dvalid==0
2. Должна быть проведена запись по каждому порту
3. Должна быть проведена операция чтения по каждому порту
4. Должна быть ситуация одновременного запроса записи по разным адресам для портов (0,1), (1,2), (0,2), (0,1,2)
5. Должна быть ситуация одновременного запроса чтения по разным адресам для портов (0,1), (1,2), (0,2), (0,1,2)
6. Должна быть ситуация одновременного запроса записи по одинаковым адресам для портов (0,1), (1,2), (0,2), (0,1,2)
7. Должна быть ситуация одновременного запроса чтения по одинаковым адресам для портов (0,1), (1,2), (0,2), (0,1,2)
8. Должна быть ситуация одновременного запроса чтения и записи по разным адресам для портов (0,1), (1,2), (0,2), (0,1,2)
9. Должна быть ситуация одновременного запроса чтения и записи по одинаковым адресам для портов (0,1), (1,2), (0,2), (0,1,2)