

Модели бизнеса и основы технологий микроэлектроники для Центральной Азии

Совместный семинар
Американского Университета в Центральной Азии и Siemens EDA

Партнеры:



skyelectro

SIEMENS

<https://eda.sw.siemens.com>

Как показывает пример Южной Кореи и Тайваня, для небольшой страны очень выгодно интегрироваться в международную экосистему проектирования и производства микроэлектронных чипов. Каким же образом может интегрироваться страна, у которой есть опыт разработки программного обеспечения, но нет сообщества разработчиков микросхем? Она может создать группу по аутсорсу так называемой функциональной верификации. Эта группа технологий очень востребована и имеет реалистичный порог входа. Японская компания Seiko Epson создала такую группу на Филиппинах, корейская компания SK Hynix создала такую компанию в Беларуси. Их опыт может быть скопирован в Кыргызской Республике.

Микросхемы внутри смартфонов, компьютеров и сетевого оборудования построены из блоков, спроектированных с помощью языка описания аппаратуры Verilog. Для этих блоков пишутся тесты на SystemVerilog, которые во многом похожи на программы на таких языках как Java. Кроме этого, для создания среды верификации блоков используют скриптовый язык Python. Для задач верификации аппаратных блоков можно переучить программистов с Java и Python на SystemVerilog, если добавить к их умениям понимание, как работает цифровая логика.

На семинаре в [АУЦА](#), который состоится 1-3 августа 2022 года в Бишкеке, пройдут презентации [Siemens EDA](#), мирового лидера в области средств автоматизации проектирования электроники. Представители [Siemens EDA](#) расскажут о бизнес-модели аутсорса функциональной верификации, маршруте разработки современных микросхем RTL-to-GDSII, и представят [Questa Advanced Simulator](#), программное обеспечение для симуляции и отладки проектов. Затем автор образовательных программ и проектировщик микросхем из Калифорнии [Юрий Панчул](#) проведет практический семинар по синтезу схем с описаний на языке Verilog и реализации их на платах с микросхемами программируемой логики, ПЛИС. В занятии с распознаванием мелодий с помощью микросхемы ПЛИС участвует преподаватель по классу флейты [Мария Беличенко](#).

Оставьте свою заявку на участие в семинаре по этой ссылке:

<https://docs.google.com/forms/d/1oxE1O-uwI28P6tXODg51uwQ0UOTJPq-kfZMogFV1MYE/edit?usp=sharing>

Заявка будет рассмотрена организаторами в течение 2х дней.

Участие в семинаре бесплатное.

Для связи с организаторами используйте следующие контакты:

Алмаз Бакенов, директор департамента ИТ АУЦА bakenov_a@auca.kg

Полина Лурье, исп. директор Sky-Electro, дистрибьютор Siemens EDA polina@sky-electro.org

Программа семинара:

1 августа 2022

- 9:30 - 10:00 Утренний кофе и открытие семинара.
Алмаз Бакенов, директор департамента информационных технологий АУЦА.
- 10:00 - 11:00 Лекция: Мировая экосистема проектирования микросхем и возможности для интеграции в нее
Денис Лобзов, Siemens Electronic Design Automation
- 11:00 - 13:00 Практический семинар: Основы современного маршрута проектирования цифровой логики.
Юрий Панчул, проектировщик микросхем для смартфонов и сетевых устройств
- Часть 1. Синтез комбинационных схем из описаний на языке Verilog для микросхем программируемой логики.
- 13:00 - 14:00 Обед.
- 14:00 - 16:00 Практический семинар. Часть 2. Использование выученного материала для генерации изображений на графическом экране.

2 августа 2022

- 9:30 - 10:00 Утренний кофе.
- 10:00 - 11:00 Лекция: Обзор имеющихся средств и методов по функциональной верификации проектов
Siemens Electronic Design Automation
- 11:00 - 13:00 Практический семинар. Часть 3. Последовательностная логика и анализ временных задержек.
- 13:00 - 14:00 Обед.
- 14:00 - 16:00 Практический семинар. Часть 4. Использование выученного материала для распознавания звуков из микрофона.

3 августа 2022

- 9:30 - 10:00 Утренний кофе.
- 10:00 - 11:00 Лекция: Questa Design Solutions, программное обеспечение для симуляции и отладки проектов
Siemens Electronic Design Automation GmbH
- 11:00 - 13:00 Практический семинар. Часть 5. Конечные автоматы и отладка в симуляторе.
- 13:00 - 14:00 Обед.
- 14:00 - 16:00 Практический семинар. Часть 6. Использование выученного материала для создания графической игры и распознавания мелодий. В проведении занятия участвует преподаватель по классу флейты [Мария Беличенко](#).
- 16:00 - 16:30 Закрытие семинара. Выдача сертификатов.

Детальная программа практического семинара:

Введение в проектирование чипов для программистов

Трехдневный практический семинар в Американском Университете в Центральной Азии.

Ведущий семинара - Юрий Панчул, проектировщик чипов для смартфонов и сетевых устройств из Кремниевой Долины.

Последние 30 лет микросхемы проектируются не рисованием транзисторов вручную, как было раньше, а с помощью компиляции (так называемого "синтеза") из языков описания аппаратуры Verilog и VHDL. Хотя код на Verilog визуально похож на код на Си, разница между ними принципиальна: программа на Си превращается в цепочку инструкций процессора, записанных в памяти, а код на верилоге синтезируется в файл формата GDSII, описывающий слои микросхемы для изготовления ее на фабрике. Также код на верилоге можно превращать в прошивку микросхем реконфигурируемой логики ПЛИС/FPGA, что широко используется для обучения в американских вузах будущих работников компаний типа Apple и NVidia.

Трехдневный семинар в АУЦА предназначен для студентов, которые умеют программировать на языках типа С или Java и хотят понять, чем проектирование чипов на верилоге отличается от программирования. Мы введем базовые элементы цифровой схемотехники: комбинационную и последовательностную логику, а также конечные автоматы. Затем мы проиллюстрируем эти понятия на трех уровнях сложности: с помощью микросхем малой степени интеграции, с помощью элементарных упражнений с синтезом кода на верилоге для FPGA, и с помощью более сложных упражнений с графикой и звуком. В занятии с распознаванием мелодий с помощью микросхемы FPGA участвует преподаватель по классу флейты [Мария Беличенко](#).

Мы также затронем темы, которые возникают в повседневной работе проектировщика: как вычисляется максимальная тактовая частота, на которой может работать схема; что такое конвейерные вычисления; как организованы процессоры, графические чипы и сетевые маршрутизаторы. И расскажем об организации труда команд, разрабатывающих массовые устройства в крупных электронных компаниях.

Семинар пройдет 1-3 августа 2022 года (понедельник - среда). До семинара пройдут часовые лекции, представленные мировым лидером средств автоматизации проектирования электроники: Siemens Electronic Design Automation. <https://eda.sw.siemens.com>

Вопросы, связанные с дальнейшим развитием темы, тестовыми и коммерческими лицензиями на средства САПР можно будет обсудить с представителем компании [Sky-Electro](#) Полиной Лурье

Общее расписание: открытие и кофе с 9.30, лекция с 10.00, семинар с 11.00 до 16.00, с перерывом на обед с 13.00 до 14.00. Заключительная лекция и закрытие в последний день с 16.00 до 16.30.

День 1.

Лекция: Мировая экосистема проектирования микросхем и возможности для интеграции в нее

- Отрасль электроники: динамика, состояние, тренды
- Разделение труда: – основные игроки и их задачи
- Дизайн-центры: составные части бизнеса, издержки, средства производства
- Средства автоматизации проектирования: вызовы, тренды, специализации Siemens EDA
- Примеры аутсорсинга услуг и консалтинга в области проектирования электроники

Семинар: Комбинационная логика: от И/ИЛИ до графики на экране.

11.00	Логические элементы И, ИЛИ, ИСКЛЮЧАЮЩЕЕ ИЛИ, демонстрация на макетной плате с микросхемами малой степени интеграции.
11.15	Демонстрация работы со средой Intel Quartus Prime Lite.
11.30	Лабораторная работа 1: Логические элементы И, ИЛИ, ИСКЛЮЧАЮЩЕЕ ИЛИ на языке описания аппаратуры Verilog.
12.00	Мультиплексоры и семисегментные индикаторы, демонстрация на макетной плате с микросхемами малой степени интеграции.
12.30	Лабораторная работа 2: Вывод символов на семисегментный индикатор FPGA платы.
13.00	Обед
14.00	Больше конструкций языка Verilog: always-блоки, if, case, модульная иерархия. Семь способов конструирования мультиплексоров. Демонстрация симуляции в среде Icarus Verilog. Формулировка домашнего задания.
14.30	Демонстрация вывода геометрических фигур на графический экран с помощью модуля комбинационной логики, подключенного к модулю генерации развертки.
15.00	Лабораторная работа 3: Соревнование между участниками семинара, кто выведет более интересные изображения на графический экран, изменяя модуль комбинационной логики, подключенный к модулю генерации развертки.

День 2.

Лекция: Обзор имеющихся средств и методов по функциональной верификации проектов

- Основные термины и методы
- Матрица применения средств верификации в зависимости от задачи
- Обзор средств симуляции Questa Verification Solution
- Платформа эмуляции Veloce
- Средства прототипирования proFPGA

Семинар: Последовательная логика: от D-триггера до распознавания звуков.

11.00	Временные задержки в комбинационных схемах. Синхронизация вычислений с помощью тактового сигнала и D-триггеров. Демонстрация работы D-триггера на макетной плате с микросхемами малой степени интеграции. Использование D-триггеров для итеративных и других вычислений, требующих сохранения состояния схемы. Код на верилоге, который синтезируется в D-триггеры. Правила использования блокирующих и неблокирующих присваиваний.
11.30	Лабораторная работа 4: Двоичный счетчик и модификация его поведения.
12.00	Лабораторная работа 5: Сдвиговый регистр и модификация его поведения.
12.30	Лабораторная работа 6: Вывод слова на динамический семисегментный индикатор с помощью сдвигового регистра.
13.00	Обед.

14.00	Упражнение на вычисление максимальной тактовой частоты, на которой может работать схема. Формулировка домашнего задания.
14.30	Разбор примера: схема для распознавания частоты музыкальной ноты. Определение главной гармоник с помощью подсчета количества тактов внутри одного колебания.
15.00	Лабораторная работа 7: Синтез и тестирование схемы, распознающей звуки. . В проведении занятия участвует преподаватель по классу флейты Мария Беличенко .
15.30	Продолжение разбора примера: модуль приема уровня звука с микрофона, реализующий протокол SPI. Другой пример протокола SPI: датчик освещения. Разбор тем для самостоятельных проектов: подсоединение датчика освещения и поворотного энкодера.

День 3.

Лекция: Questa Design Solutions, программное обеспечение для симуляции и отладки проектов

- Создание кода, методы верификации кода
- Планирование тестирования
- Создание тестов и симуляция
- Визуализация и отладка

Семинар: Конечные автоматы: от распознавания последовательностей до компьютерной игры

11.00	Концепция конечного автомата. Диаграммы состояний, вариант для машины Мура и машины Мили. Представление алгоритмов в виде конечных автоматов. Отладка конечного автомата в текстовом окружении в симуляторе.
11.30	Лабораторная работа 8: Конечный автомат для распознавания последовательностей нажатия на кнопку и его модификация.
12.00	Разбор примера: схема для распознавания музыкальных мелодий с помощью конечного автомата.
12.30	Лабораторная работа 9: Добавление распознавания звуков новой песни в схему для распознавания мелодий с помощью конечного автомата, с тестированием синтезированной схемы с помощью игры на флейте.
13.00	Обед.
14.00	Конечный автомат - не единственный способ организации последовательностей вычислений. Рассказ о концепции конвейерной обработки. Формулировка домашнего задания.
14.30	Разбор примера: компьютерная игра на графическом дисплее. Устройство модуля генерации развертки, использование спрайтов для движущихся объектов и реализации сценария игры с помощью конечного автомата.
15.00	Лабораторная работа 10: Соревнование между участниками семинара, кто сделает самую интересную модификацию игры. Примеры модификаций: изменение изображений торпеды и движущейся цели, изменение траекторий, введение новых объектов.
16.00	Заключительная лекция. Как то, что мы изучили на семинаре, используется при проектировании процессоров, графических чипов и сетевых маршрутизаторов. Организации труда команд, разрабатывающих массовые устройства в крупных электронных компаниях и экспериментальные проекты в стартапах Кремниевой Долины.