

## 1 Kombinatorik und Sequentielle Logik

### Aufgabe 1 Minimierung

Gegeben ist folgende Gleichung:

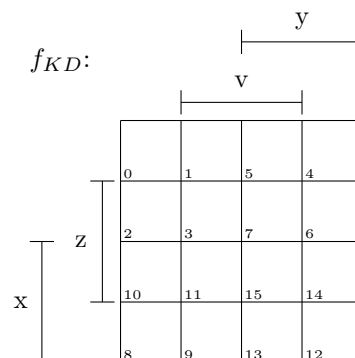
$$f(x, y, z, v) = m_0 \vee m_2 \vee m_3 \vee m_4 \vee m_8 \vee m_{10} \vee m_{11} \vee m_{14} \vee m_{15} \quad (1)$$

Aufgabenstellung:

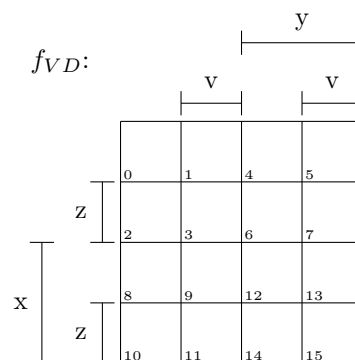
- Stellen Sie die Wahrheitstabelle auf. Nutzen Sie dazu die vorgegebene Wahrheitstabelle.
- Minimieren Sie mittels Karnaugh-Diagramm. Tragen Sie das Ergebnis in die dafür vorgesehene Tabelle ein.
- Minimieren Sie mittels Veitch-Diagramm. Tragen Sie das Ergebnis in die dafür vorgesehene Tabelle ein.
- Minimieren Sie mittels dem Verfahren nach Quine-McCluskey. Tragen Sie das Ergebnis in die dafür vorgesehene Tabelle ein.

Karnaugh-Diagramm für  $f$ :

$(i)_{10}$	$x$	$y$	$z$	$v$	$f$
0	0	0	0	0	
1	0	0	0	1	
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	
8	1	0	0	0	
9	1	0	0	1	
10	1	0	1	0	
11	1	0	1	1	
12	1	1	0	0	
13	1	1	0	1	
14	1	1	1	0	
15	1	1	1	1	



Veitch-Diagramm für  $f$ :



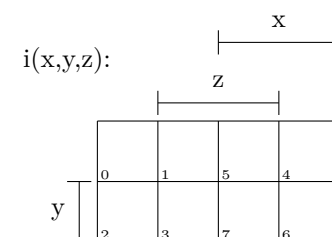
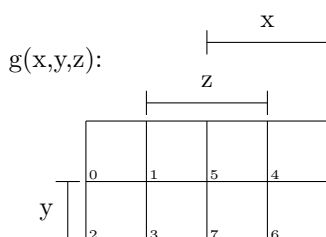
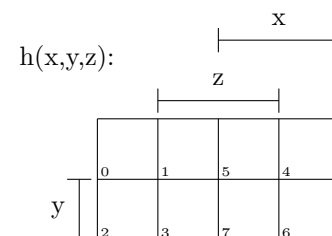
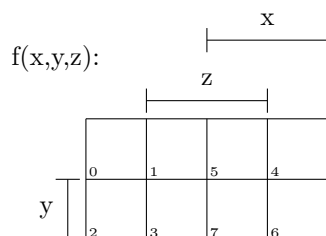
## Aufgabe 2 Kombinatorik

Gegeben ist folgende Wahrheitstabelle für drei Eingangsvariablen (x,y,z):

$(i)_{10}$	$x$	$y$	$z$	$f(x,y,z)$	$g(x,y,z)$	$h(x,y,z)$	$i(x,y,z)$
0	0	0	0	0	0	1	1
1	0	0	1	0	1	1	0
2	0	1	0	1	0	0	0
3	0	1	1	0	1	0	0
4	1	0	0	0	0	1	1
5	1	0	1	1	0	1	1
6	1	1	0	0	1	1	1
7	1	1	1	1	0	1	0

Aufgabenstellung:

- Entwickeln Sie ein Blockschaltbild zur Umsetzung der Wahrheitstabelle. Zu verwenden ist reine Kombinatorik! Zur Minimierung verwenden Sie das Verfahren nach Karnaugh (DMF). Gesucht wird die Lösung mit der geringsten Anzahl von Gattern! Erlaubt sind nur Gatter mit maximal 2 Eingängen (NOT, AND, NAND, OR, NOR, XOR, XNOR).



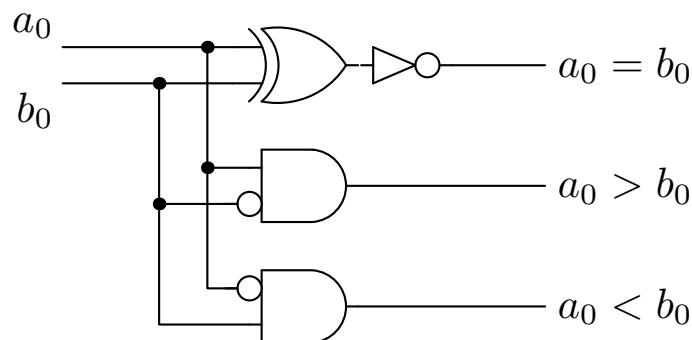
## Aufgabe 3 4:1 Multiplexer mit Enable-Eingang

Für den Multiplexer innerhalb der ALU ist eine kombinatorische Schaltung zu entwickeln. Erlaubt sind nur Gatter mit zwei Eingängen (AND, OR, NAND, NOR). Gegeben ist die folgende Wahrheitstabelle.

$(i)_{10}$	$EN$	$S_1$	$S_0$	$o(EN, S_1, S_0)$	Klausel
0	0	0	0	$n_0$	
1	0	0	1	$n_1$	
2	0	1	0	$n_2$	
3	0	1	1	$n_3$	
4	1	0	0	0	
5	1	0	1	0	
6	1	1	0	0	
7	1	1	1	0	

## Aufgabe 4 Rekursiver Komparator

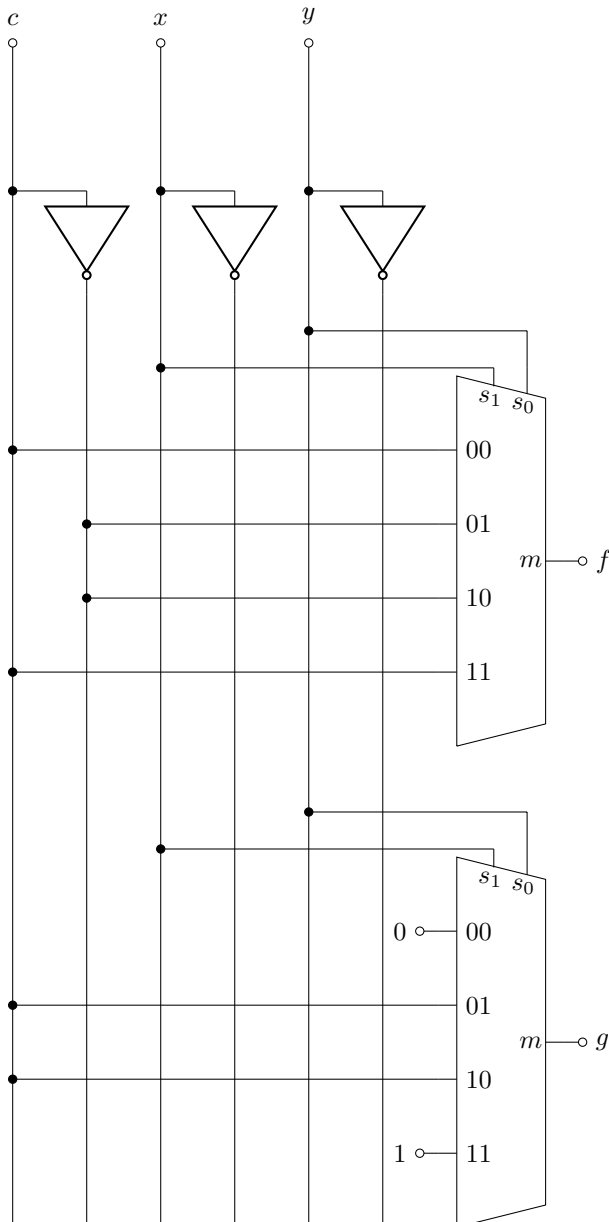
Eine ALU soll um die Funktionseinheit eines rekursiven Komparators ergänzt werden. Dabei sollen vorzeichenlose  $n$ -Bit-Binärzahlen verarbeitet werden. Abbildung Aufgabe 4 zeigt einen 1-Bit-Komparator, der als Basisfunktion dient.



- Konstruieren Sie, basierend auf dem unten abgebildeten 1-Bit-Komparator, einen rekursiv aufgebauten Komparator für *vorzeichenlose*  $n$ -Bit-Binärzahlen!
- Wie müssen Sie diese Schaltung erweitern, damit sie auch für vorzeichenbehaftete Binärzahlen in Zweier-Komplement-Darstellung das richtige Ergebnis liefert?

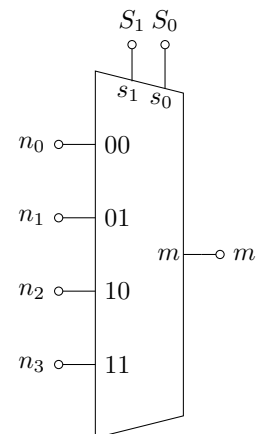
## Aufgabe 5 Arithmetik und Multiplexer

Gegeben ist folgenden Schaltungsanordnung:



Die Schaltung links besteht aus zwei 4-zu-1-Multiplexer. Die Multiplexerfunktion ist gegeben als:

$i_{10}$	$S_1$	$S_0$	$m$
0	0	0	$n_0$
1	0	1	$n_1$
2	1	0	$n_2$
3	1	1	$n_3$



Aufgabenstellung:

- Füllen Sie die Wahrheitstabelle für die gegebene Schaltung aus. Welche Funktion wird mit der Multiplexeranordnung realisiert?
- Die Multiplexer sollen ersetzt werden. Gesucht wird eine kombinatorische Ersatzschaltung mit der geringsten Anzahl von Gattern! Erlaubt sind nur Gatter mit maximal 2 Eingängen (NOT, AND, NAND, OR, NOR, XOR, XNOR). Zeigen Sie die Äquivalenz der Lösung.
- Ergänzen Sie das Impulsdigramm.

$(i)_{10}$	$\mathbf{c}$	$\mathbf{y}$	$\mathbf{x}$	$f(c, y, x)$	$g(c, y, x)$
0	0	0	0		
1	0	0	1		
2	0	1	0		
3	0	1	1		
4	1	0	0		
5	1	0	1		
6	1	1	0		
7	1	1	1		

Diagram illustrating a 2D array structure  $f(c,y,x)$ . The array is indexed by  $c$  (columns) and  $y$  (rows). The dimensions are  $c$  and  $x$ . The array contains the following values:

	0	1	5	4
2	2	3	7	6
3				

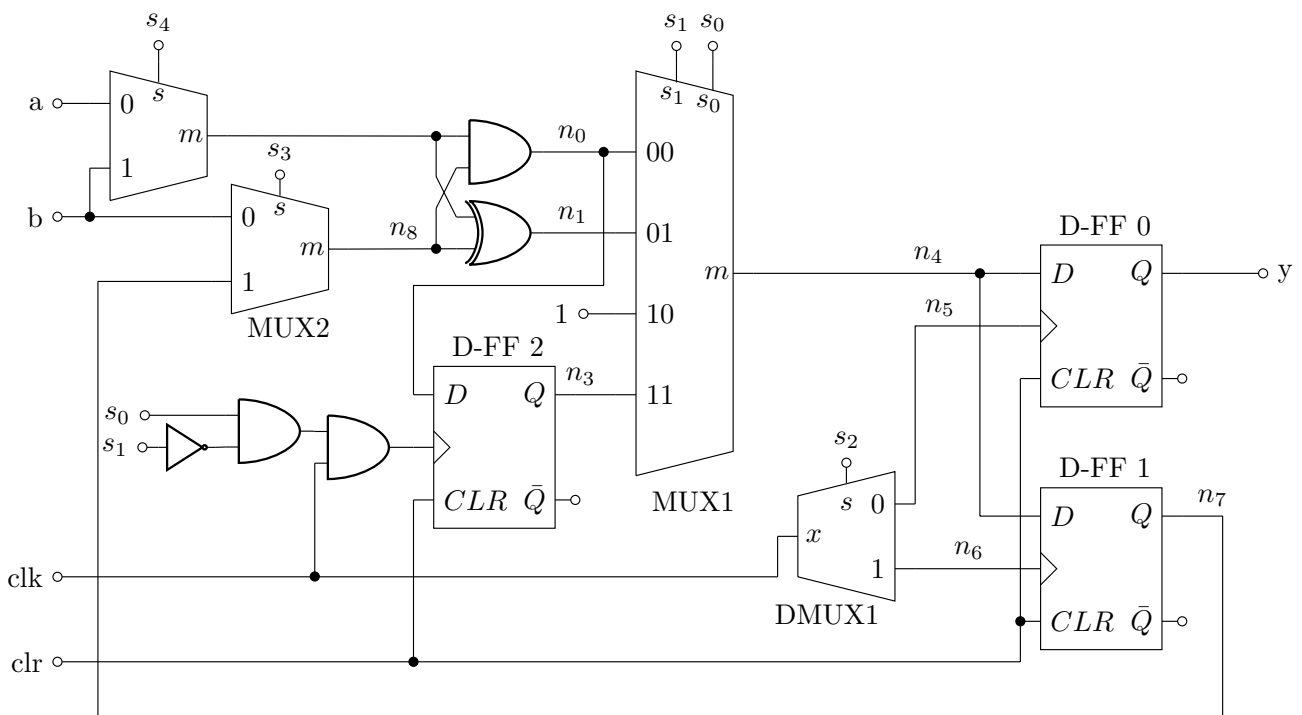
$g(c,y,x)$ :

				c
			x	
y	0	1	5	4
	2	3	7	6

## 2 ALU

### Aufgabe 1 1-Bit ALU

Gegeben ist die 1-Bit ALU nach unten gegebener Abbildung.



Folgende Boolesche Funktion soll von der 1-Bit-ALU berechnet werden:

$$y_1 = 1 \nleftrightarrow a \nleftrightarrow b \quad (2)$$

$t_{10}$	$s_4$	$s_3$	$s_2$	$s_1$	$s_0$
0, $clk : 0 \rightarrow 1$					
1, $clk : 0 \rightarrow 1$					
2, $clk : 0 \rightarrow 1$					
3, $clk : 0 \rightarrow 1$					

Zeichnen Sie die Bitmuster pro Zeitschritt in die obige Abbildung der 1-Bit ALU ein, unter der Annahme, dass  $a = 1_2$  und  $b = 1_2$  sind! Welches Ergebnis wird am Ausgang nach Bearbeitung der Booleschen Funktion angezeigt?

Annahme: Alle Register (MS D-FF) befinden sich jeweils zurückgesetzten Zustand.

## 3 Zahlensysteme

### Aufgabe 1 Stellenwertsystem

Es wird ein synchroner Zähler zur Darstellung eines definierten Zahlenbereiches benötigt. Der Zahlenbereich bildet sich gemäß des Stellenwertsystems, bei negativer Basis, wie folgt ab:

$$\begin{aligned} N_b &= \sum_{i=0}^{n-1} d_i \cdot (-b)^i \\ &= \sum_{i=\text{gerade}} d_i \cdot (b)^i - \sum_{i=\text{ungerade}} d_i \cdot (b)^i \end{aligned} \quad (3)$$

Für den Zähler gelte:

$d_i$  : ganzzahliger Koeffizient (Ziffer),  $d_i \in \{0, 1\}$   
 $b$  : ganzzahlige Basis,  $b \in \mathbb{Z}, b \leq -2$   
 $n$  : Stellenzahl,  $n = 5$

Somit folgt:

$$N_{(-2)} = d_4 \cdot 2^4 - d_3 \cdot 2^3 + d_2 \cdot 2^2 - d_1 \cdot 2^1 + d_0 \cdot 2^0 \quad (4)$$

Aufgabenstellung:

- Bestimmen Sie den kleinsten Zahlenwert  $N_{min,10}$  und den maximalen Zahlenwert  $N_{max,10}$ . Füllen Sie die gegebene Wahrheitstabellen für  $N_{10}$  aus.
- Ordnen Sie die Codierung gemäß der gegebenen Tabelle neu.

$i_{10}$	$16_{10}$	$-8_{10}$	$4_{10}$	$-2_{10}$	$1_{10}$	$N_{10}$	$i_{10}$	$16_{10}$	$-8_{10}$	$4_{10}$	$-2_{10}$	$1_{10}$	$N_{10}$	$N_{16}$
$d_4$	$d_3$	$d_2$	$d_1$	$d_0$			$d_4$	$d_3$	$d_2$	$d_1$	$d_0$			
0	0	0	0	0	0		0						$N_{min} = ---$	
1	0	0	0	0	1		1							
2	0	0	0	1	0		2							
3	0	0	0	1	1		3							
4	0	0	1	0	0		4							
5	0	0	1	0	1		5							
6	0	0	1	1	0		6							
7	0	0	1	1	1		7							
8	0	1	0	0	0		8							
9	0	1	0	0	1		9							
10	0	1	0	1	0		10							
11	0	1	0	1	1		11							
12	0	1	1	0	0		12							
13	0	1	1	0	1		13							
14	0	1	1	1	0		14							
15	0	1	1	1	1		15							
16	1	0	0	0	0		16							
17	1	0	0	0	1		17							
18	1	0	0	1	0		18							
19	1	0	0	1	1		19							
20	1	0	1	0	0		20							
21	1	0	1	0	1		21							
22	1	0	1	1	0		22							
23	1	0	1	1	1		23							
24	1	1	0	0	0		24							
25	1	1	0	0	1		25							
26	1	1	0	1	0		26							
27	1	1	0	1	1		27							
28	1	1	1	0	0		28							
29	1	1	1	0	1		29							
30	1	1	1	1	0		30							
31	1	1	1	1	1		31						$N_{max} = ---$	



## Aufgabe 2 Dualzahlen

Berechnen Sie für die Dezimalzahlen  $N_{10} = 624$  die entsprechende vorzeichenlose 10 Bit Binärdarstellung mittels

1. Restwertmethode sowie
2. Potenzmethode.

## Aufgabe 3 Integer

Führen Sie die folgenden Rechnungen im Zweierkomplement durch. Die Wortlänge betrage dabei 8 Bit. Geben Sie auch den dezimalen Wert des Resultats an.

- a)  $13 + 21$
- b)  $125 + 3$
- c)  $31 - 19$
- d)  $-87 - 55$
- e)  $-11 - 21$

## Aufgabe 4 Festpunktzahlendarstellung und Arithmetik

Punkte

30

Gegeben sind folgende Zahlen:

- $N_1 = 2,75_{10}$
- $N_2 = 6,25_{10}$

Die beiden Zahlen sind als vorzeichenlose Festpunktzahl darzustellen, mit 4 Bit Vorkommastellen und 4 Bit Nachkommastellen. Entwickeln Sie

- einen statischen Dual-Code Addierer sowie [10 Pkt.]
- einen dynamischen Dual-Code Addierer [10 Pkt.]

zur Berechnung der Summe ( $N_S = N_1 + N_2$ ). Geben Sie ein Ablaufdiagramm zur Berechnung des Ergebnisses an. Sie dürfen davon ausgehen, dass Volladdierer (oder Halbaddierer) sowie Logik-Gatter mit 2 Eingängen (AND,NAND,OR,NOR,XOR,XNOR) als Bauteile zur Verfügung stehen.

## 4 Gleitkommadarstellung

### Aufgabe 1 Gleitkommazahlen im IEEE754 Format

Stellen Sie folgende Zahlen im IEEE 754 Standard als SP da bzw. rechnen Sie in die geforderte Darstellung um .

1.  $7543,53125_{10}$
2.  $3,141592653_{10}$
3.  $2,7182818_{10}$
4. IEEE 754 SP =  $44F58000_{16} \rightarrow N_{10}$
5. IEEE 754 SP =  $44FBE000_{16} \rightarrow N_{10}$
6. IEEE 754 SP =  $C0C3F35C_{16} \rightarrow N_{10}$
7. IEEE 754 SP =  $1FF1241F_{16} \rightarrow N_{10}$

Die Umrechnung erfolgt schrittweise!

### Aufgabe 2 Gleitkommazahlen im IEEE754 Format

Welchen Zahlen stellen folgende Bitmuster (IEEE 754 Standard, SP) dar.

1.  $(1\ 1010\ 0010\ 1110\ 0011\ 1011\ 1100\ 1000\ 110)_2$
2.  $(0\ 1000\ 0000\ 1010\ 1010\ 1010\ 1010\ 1010\ 101)_2$
3.  $(1\ 1000\ 0001\ 1000\ 0111\ 1110\ 0110\ 1011\ 100)_2$
4.  $(1\ 1000\ 1110\ 1111\ 0100\ 1111\ 0110\ 1000\ 000)_2$
5.  $(1\ 0111\ 1101\ 0000\ 0001\ 0100\ 0011\ 1010\ 001)_2$
6.  $(0\ 0111\ 1110\ 1000\ 0000\ 0000\ 0000\ 0000\ 000)_2$

Geben Sie die Lösung zur Basis  $B = 10$  und zur Basis  $B = 16$  an.

## Aufgabe 3 Arithmetik im IEEE754 Format

Das Produkt sowie der Quotient zweier Zahlen sind gegeben als:

$$P_{IEEE754,SP} = N_{1,IEEE754} \cdot N_{2,IEEE754} = [4258C000]_{16}$$

$$Q_{IEEE754,SP} = N_{1,IEEE754} \div N_{2,IEEE754} = [40400000]_{16}$$

Aufgabenstellung:

1. Geben Sie die gesuchten Zahlen  $N_{1,IEEE754}$  und  $N_{2,IEEE754}$  in IEEE754 Single Precision Format an.
2. Beweisen Sie die Richtigkeit Ihrer Rechnung, indem Sie
  - a) das Produkt sowie
  - b) den Quotienten

auf Basis der **halblogarithmischen Darstellung** als auch auf **Bit-Ebene** berechnen.

## Aufgabe 4 IEEE754 Format

Gegeben sind folgende Bitmuster (IEEE 754 Standard, SP).

1.  $(1\ 1010\ 0010\ 1110\ 0011\ 1011\ 1100\ 1000\ 110)_2$
2.  $(0\ 1010\ 0010\ 1010\ 1010\ 1010\ 1010\ 101)_2$
3.  $(1\ 1001\ 0001\ 1000\ 0111\ 1110\ 0110\ 1011\ 100)_2$
4.  $(1\ 1010\ 1110\ 1111\ 0100\ 1111\ 0110\ 1000\ 000)_2$
5.  $(1\ 0111\ 1101\ 0000\ 0001\ 0100\ 0011\ 1010\ 001)_2$
6.  $(0\ 0111\ 1110\ 1000\ 0000\ 0000\ 0000\ 0000\ 000)_2$

Addieren/Subtrahieren Sie jede GP-Zahl mit jeder. Geben Sie die Lösung zur Basis  $B = 10$  an. Repräsentieren Sie das GP-Ergebnis als Hexadezimalzahl.

## Aufgabe 5 IEEE 754 SP - Einfache Arithmetik

Der Mittelwert sowie die Wurzel des Produktes zweier Zahlen sind gegeben als:

$$\overline{M}_{IEEE754,SP} = \frac{N_{1,IEEE754} \oplus N_{2,IEEE754}}{1,0 \cdot 2^{(128-127)}} = [4258C000]_{16} \quad (5)$$

$$R_{IEEE754,SP} = \sqrt{N_{1,IEEE754} \otimes N_{2,IEEE754}} = [4258C000]_{16} \quad (6)$$

Aufgabenstellung:

- 1) Geben Sie die gesuchten Zahlen  $N_{1,IEEE754}$  und  $N_{2,IEEE754}$  in IEEE754 *Single Precision* Format an.
- 2) Beweisen Sie die Richtigkeit Ihrer Rechnung, indem Sie
  - a) den Mittelwert sowie
  - b) die Wurzel bestimmen.

Alle Rechnungen sind im IEEE754-Format **entweder** auf Bit-Ebene **oder** zur Basis B=2 durchzuführen.

## Aufgabe 6 IEEE 754 SP - Einfache Arithmetik

Gegeben ist die quadratische Gleichung:

$$y = a \cdot x^2 + b \cdot x + c \quad (7)$$

Die Koeffizienten der quadratischen Gleichung liegen als Maschinenzahlen im Format IEEE 754 SP vor:

$$N_{a,IEEE754} = [40000000]_{16} \quad (= a)$$

$$N_{b,IEEE754} = [40200000]_{16} \quad (= b)$$

$$N_{c,IEEE754} = [C0900000]_{16} \quad (= c)$$

Aufgabenstellung:

- 1) Ermitteln Sie die Nullstellen der quadratischen Gleichung. Geben Sie die gesuchten Zahlen  $X_{1,IEEE754}$  und  $X_{2,IEEE754}$  in IEEE754 *Single Precision* Format an.
- 2) Beweisen Sie die Richtigkeit Ihrer Rechnung, indem Sie die Nullstellen - die Maschinenzahlen  $X_{1,IEEE754}$  und  $X_{2,IEEE754}$  - in die quadratische Gleichung einsetzen.

**Alle** Berechnungen sind im IEEE754-Format **entweder** auf Bit-Ebene **oder** zur Basis B=2 durchzuführen!

Hinweise: Herleitung der pq-Formel über den Ansatz:  $x^2 + p \cdot x + q + \left(\frac{p}{2}\right)^2 - \left(\frac{p}{2}\right)^2 = 0$

## Aufgabe 7 Rechnen mit Gleitkommazahlen

Gegeben sind folgende Zahlen:

$$N_1 = [2,000 \cdot 10^6]_{10}$$

$$N_2 = [2,781 \cdot 10^5]_{10}$$

Aufgabenstellung:

- Wandeln Sie die beiden Zahlen in eine IEEE754 Darstellung um.
- Führen Sie folgende Rechnungen durch:
  - $S_1 = N_1 + N_2$
  - $D_1 = N_1 - N_2$
  - $D_2 = N_2 - N_1$
  - $P_1 = N_1 \cdot N_2$
  - $Q_1 = N_1 \div N_2$
  - $Q_2 = N_2 \div N_1$
- Geben Sie alle IEEE754 SP Ergebnisse als Hexadezimalzahl an.

## 5 Arithmetik

### Aufgabe 1 Arithmetik - Absoluter Wert

- a) Konstruieren Sie eine Schaltung, die den absoluten Wert einer vorzeichenbehafteten 4-Bit-Zahl in Zweierkomplementdarstellung berechnet! Sie dürfen davon ausgehen, dass Volladdierer (oder Halbaddierer) sowie Logik-Gatter mit 2 Eingängen (AND, NAND, OR, NOR, XOR, XNOR) als Bauteile zur Verfügung stehen.
- b) Zeigen Sie die Korrektheit Ihrer Schaltung mithilfe der Definitionen der Zweierkomplement-Darstellung  $\llbracket \cdot \rrbracket$  und der Binär-Darstellung  $\langle \cdot \rangle$ ! Gehen Sie davon aus, dass der Addierer korrekt implementiert ist. Des Weiteren dürfen Sie das Lemma  $2^n = 1 + \sum_{i=0}^{n-1} 2^i$  und die Definition  $\neg x = (1 - x)$  verwenden.

### Aufgabe 2 Einfache Arithmetik für vorzeichenlose Dualzahlen

Zu entwickeln ist ein kombiniertes Addier-/Subtrahierwerk für 6-Bit vorzeichenloser Dualzahlen. Die Schaltung soll über den Anschluss A/S umschaltbar sein. Für  $A/S = 0$  sollen die beiden Eingangsvektoren  $\underline{X} = \{x_5 \ x_4 \ x_3 \ x_2 \ x_1 \ x_0\}$  und  $\underline{Y} = \{y_5 \ y_4 \ y_3 \ y_2 \ y_1 \ y_0\}$  addiert werden. Für  $A/S = 1$  soll die Differenz der beiden Eingangsvektoren  $\underline{D} = \underline{X} - \underline{Y} = \{d_5 \ d_4 \ d_3 \ d_2 \ d_1 \ d_0\}$  gebildet werden. Das kombinierte Addier-/Subtrahierwerk ist als statische (parallele) Realisierung umzusetzen.

Aufgabenstellung:

- a) Geben Sie das Blockschaltbild des kombinierten Volladdierers/Vollsubtrahierers an.
- b) Führen Sie zudem folgende Rechnungen auf Bit-Ebene durch:

$$\begin{aligned} - S &= N_{x1} \oplus N_{y1} \text{ mit } N_{x1} = 45_{10}, N_{y1} = 19_{10} \\ - D &= N_{x2} \ominus N_{y2} \text{ mit } N_{x1} = 57_{10}, N_{y2} = 15_{10} \end{aligned}$$

Zeichnen Sie die entstehenden Bit-Muster für beide Rechnungen in Ihr Blockschaltbild aus Aufgabeteil a) ein.

Hinweis: Als grundlegendes Element wird der kombinierte Volladdierer/Vollsubtrahierer verwendet.

### Aufgabe 3 Einfache Arithmetik für Maschinenzahlen

Zwei Maschinenzahlen sind gegeben als  $N_a = [41]_{16}$  und  $N_b = [AA]_{16}$ .

Aufgabenstellung:

- 1) Ermitteln Sie das Produkt  $P_{ab} = N_a \odot N_b$  auf
  - a) Hexadezimalebene und
  - b) Dualzahlebene (Schulmethode von links (=MSB Multiplikand) nach rechts (=LSB Multiplikand)).
- 2) Ermitteln Sie die Quadratzahl  $P_{bb} = (N_b)^2$  unter Verwendung des Verfahrens nach Wallace. Erlaubt sind maximal 2-zu-3-Kompressoren.

Hinweis: Alle Rechenschritte sind anzugeben, sonst wird die Aufgabe nicht gewertet.

## 6 CRC Codierung

### Aufgabe 1 CRC Kodierung (12/8)

Es sind folgende Nachrichten als Hexadezimalwert gegeben:

$$\text{Nachricht 1: } N_1 = 55_{16} \quad \text{Nachricht 2: } N_2 = 7E_{16} \quad (8)$$

Gegeben ist das Generatorpolynom:

$$G(u) = u^4 + u^2 + u + 1 \quad (9)$$

- Wie lauten die Codewortpolynom  $X_{1/2}(u)$ ? Die Berechnung ist sowohl auf Bit-Ebene als auch mittels Polynomdarstellung durchzuführen. Das Codewort ist zudem als Hexadezimalwert darzustellen. [20 Pkt.]
- Geben Sie eine Realsierung als LFSR an. [5 Pkt.]
- Geben Sie für die Realisierung nach b) die Systemgleichung  $y[n]$  am Ausgang des Summationspunktes an. [Anmerkung: Modulo 2 - Arithmetik!!  $y = \text{mod}(x, 2)$ ] [5 Pkt.]

## Aufgabe 2 Einfache CRC-Codierung (7/4)

Gegeben ist folgendes Generator-Polynom:

$$G(u) = 1 \cdot u^3 + 1 \cdot u^0 \quad (10)$$

Aufgabenstellung:

- Berechnen Sie alle Codewörter. Tragen Sie ihre Ergebnisse in die gegebene Wahrheitstabelle ein.
- Entwickeln Sie eine kombinatorische Schaltung zur Erzeugung des Codewortes mit minimaler Gatteranzahl. Erlaubt sind Gatter mit zwei Eingängen (AND, NAND, OR, NOR, XOR, XNOR).
- Geben Sie das Schaltbild mit Eingangs- und Ausgangsregister (Register-Kombinatorik-Register) an.

Gegeben ist folgende Wahrheitstabelle:

	n= 7 Codewort						
	m= 4				k= 3		
	$x_3$	$x_2$	$x_1$	$x_0$			
$(i)_{10}$	$y_6$	$y_5$	$y_4$	$y_3$	$y_2$	$y_1$	$y_0$
0	0	0	0	0			
1	0	0	0	1			
2	0	0	1	0			
3	0	0	1	1			
4	0	1	0	0			
5	0	1	0	1			
6	0	1	1	0			
7	0	1	1	1			
8	1	0	0	0			
9	1	0	0	1			
10	1	0	1	0			
11	1	0	1	1			
12	1	1	0	0			
13	1	1	0	1			
14	1	1	1	0			
15	1	1	1	1			



Hinweis zur Berechnung des Restwertes:

$y_6$	$y_5$	$y_4$	$y_3$	$y_2$	$y_1$	$y_0$	$\div$	$c_3$	$c_2$	$c_1$	$c_0$
0	0	0	0	0	0	0	$\div$				

$y_6$	$y_5$	$y_4$	$y_3$	$y_2$	$y_1$	$y_0$	$\div$	$c_3$	$c_2$	$c_1$	$c_0$
0	0	0	1	0	0	0	$\div$				

$y_6$	$y_5$	$y_4$	$y_3$	$y_2$	$y_1$	$y_0$	$\div$	$c_3$	$c_2$	$c_1$	$c_0$
0	0	1	0	0	0	0	$\div$				

$y_6$	$y_5$	$y_4$	$y_3$	$y_2$	$y_1$	$y_0$	$\div$	$c_3$	$c_2$	$c_1$	$c_0$
0	0	1	1	0	0	0	$\div$				

usw.

