

Mikrocomputer-Technik

MCT 49

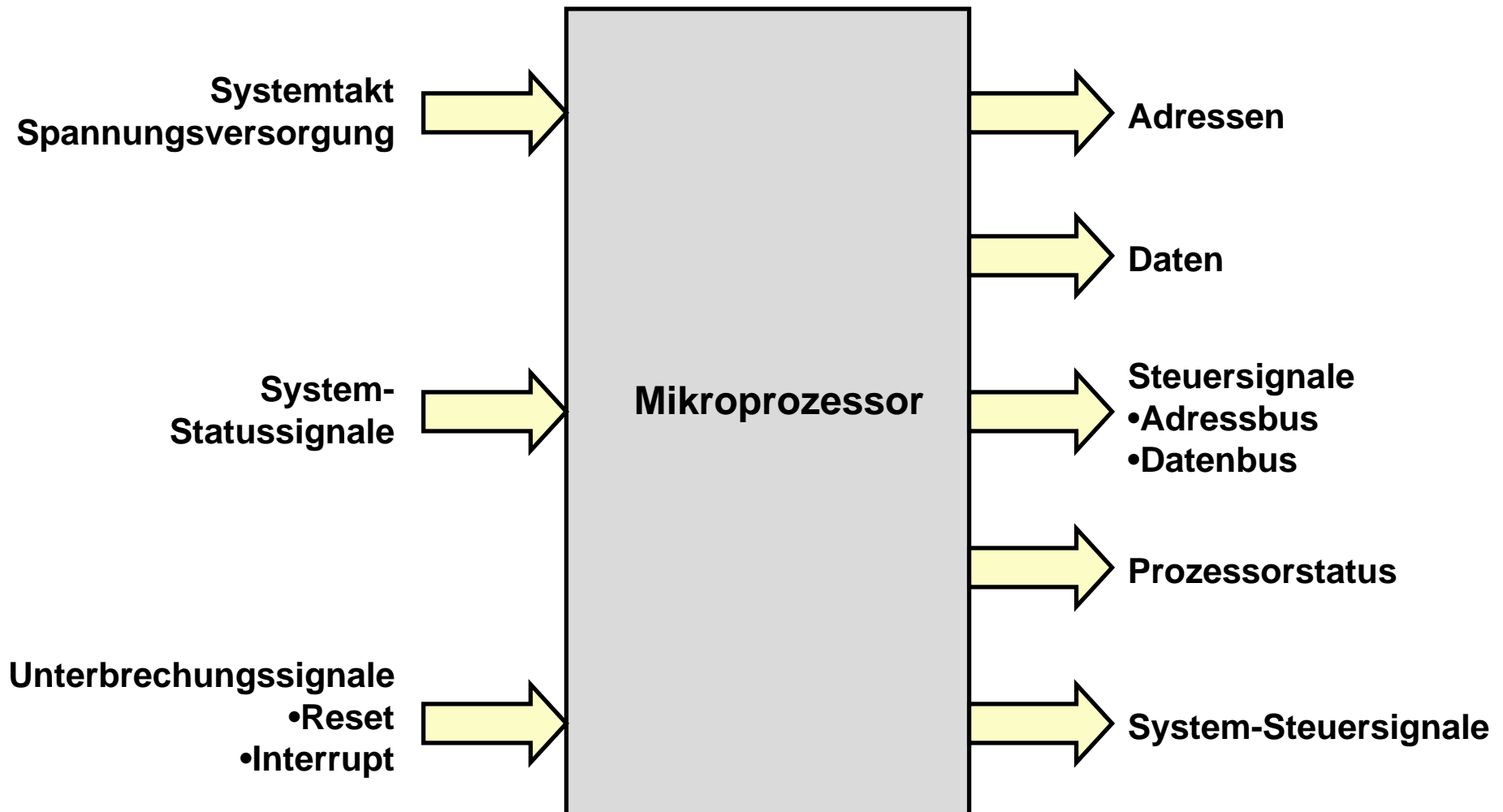
Teil 2

Studiengang Technische Informatik (BA)

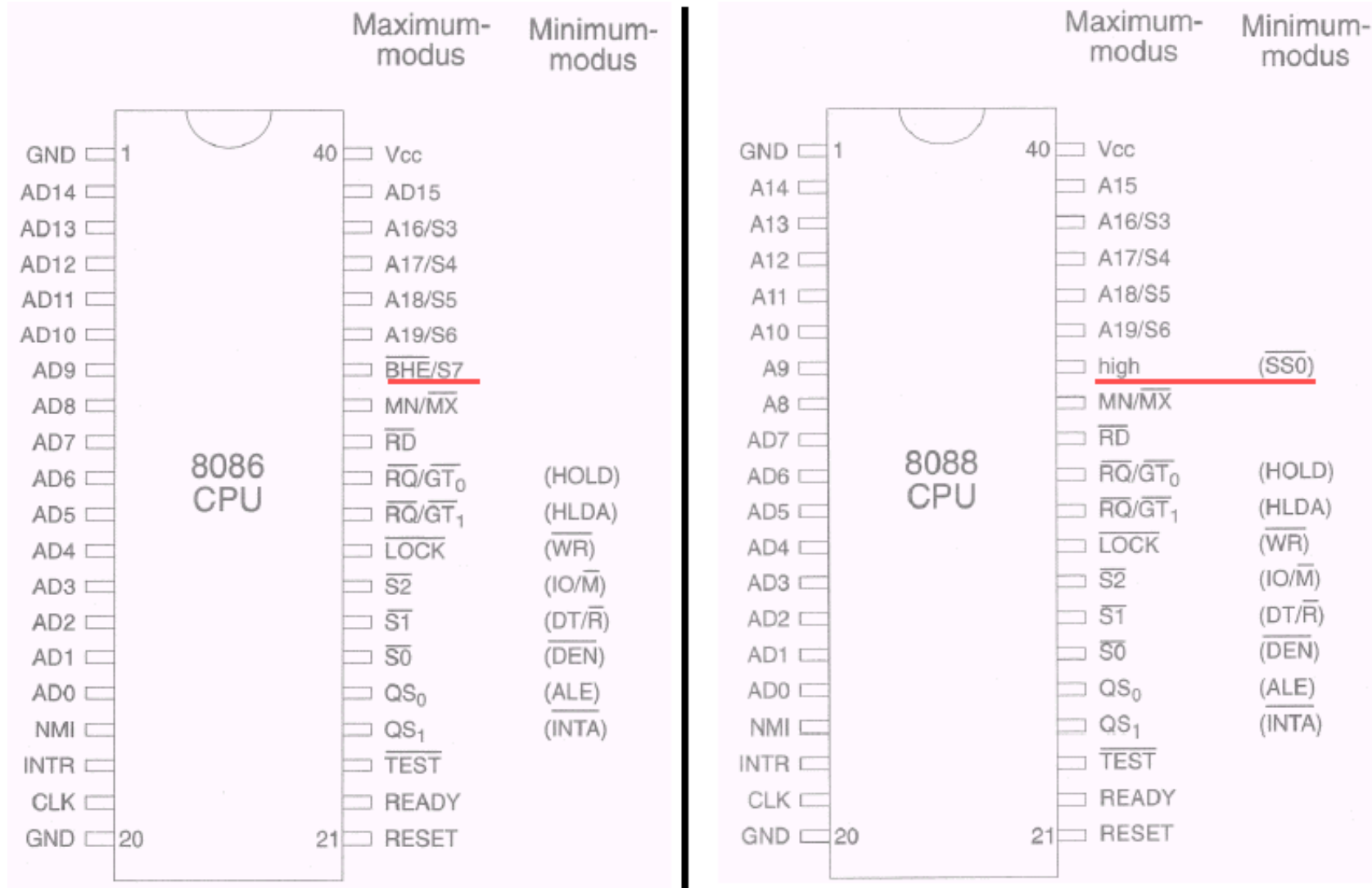
Prof. Dr.-Ing. Alfred Rožek

nur für Lehrzwecke
Vervielfältigung nicht gestattet

Anschlussgruppen eines Mikroprozessors



Anschlussbelegung der Prozessoren 8086 und 8088



Anschlüsse des 8086 und 8088 (Blatt 1/9)

AD15-AD0 (I/O) Anschlüsse 2-16, 39

Diese 16 Anschlüsse bilden die 16 Datenbits beim Lesen und Schreiben von Daten sowie die 16 niederwertigen Adressbits zum Adressieren von Speicher und Peripherie. Zuerst werden immer die Adresssignale ausgegeben und zu einem späteren Zeitpunkt die Datensignale bereitgestellt oder eingelesen. Die 16 Anschlüsse bilden also einen zeitlich gemultiplexten Adress- und Datenbus.

A19-A16/S6-S3 (O) Anschlüsse 35-38

Die vier Signale bilden die vier höherwertigen Bits des Adressbusses sowie vier Statussignale, die Auskunft über die Prozessoraktivität geben. Auch diese vier Leitungen bilden einen zeitlich gemultiplexten Adress- und Steuerbus. Geben die Pins Statusinformationen aus, so geben S5 (Pin 36) den Wert des Interrupt Flags im Flag-Register des Prozessors und S4/S3 das Segmentregister, das für den Zugriff verwendet wird, entsprechend der folgenden Liste an:

A17 / S4	A16 / S3	Register für den Datenzugriff
0	0	ES
0	1	SS
1	0	CS oder keines
1	1	DS
S5 Status des IE-Flags (Interrupt Enable)		
S6 Stets gleich 0		

Quelle: Messmer, PC Hardwarebuch, 2000

Anschlüsse des 8086 und 8088 (Blatt 2/9)

$\overline{\text{BHE}}/\text{S7}$ (O)

Anschluss 34

Das Bus-High-Enable-Signal gibt zusammen mit A0 an, ob ein ganzes Wort (2 Byte) oder nur ein Byte übertragen wird. Für die Kombinationen ($\overline{\text{BHE}}$ / S7, A0) gelten folgende Bedingungen:

- (00) ein ganzes Wort (2 Byte) wird über D15-D0 übertragen
- (01) ein Byte auf D15-D8 wird von/zu ungerader Byte-Adresse übertragen
- (10) ein Byte auf D7-D0 wird von/zu gerader Byte-Adresse übertragen (8088)
- (11) ungültig

CLK (I)

Anschluss 19

Dem CLK-Anschluss wird das Taktsignal für den Prozessor zugeführt.
Er verwendet es ohne weitere Teilung.

INTR (I)

Anschluss 18

Dieser Interrupt-Anschluss wird nach dem Abschluss eines jeden Befehls abgetastet, um zu ermitteln, ob eine Interrupt-Anforderung durch einen Hardware-Baustein vorliegt.

Die Abtastung kann durch ein gelöscht Interrupt Flag verhindert (maskiert) werden.

$\text{MN}/\overline{\text{MX}}$ (I)

Anschluss 33

Das Signal an diesem Minimum / Maximum-Anschluss legt den Betriebsmodus fest. Liegt $\text{MN}/\overline{\text{MX}}$ auf Masse, so arbeitet der 8086 im Maximummodus. Ist der Anschluss auf Vcc festgeklemmt so wird der 8086 im Minimummodus betrieben.

Anschlüsse des 8086 und 8088 (Blatt 3/9)

NMI (I)

Anschluss 17

Ein Übergang des Signals an diesem Anschluss von einem niedrigen zu einem hohen Pegel bewirkt einen Interrupt 2. Dieser Interrupt kann durch das Interrupt Flag nicht maskiert werden und wird sofort nach der Vervollständigung des laufenden Befehls ausgeführt.

$\overline{\text{RD}}$ (O)

Anschluss 32

Ein aktives Read-Signal mit niedrigem Pegel zeigt an, dass der Prozessor Daten aus dem Speicher oder einem I/O-Register liest. Für $\text{RD}=1$ schreibt der 8086 Daten.

READY (I)

Anschluss 22

Hat der angesprochene Speicher oder das Peripheriegerät die Datenübertragung vom oder zum Speicher bzw. Peripheriegerät abgeschlossen, so legt er an den READY-Anschluss ein Signal mit hohem Pegel an. Speicherbausteine oder Peripheriegeräte können den Prozessor dadurch veranlassen, Wartezyklen (Wait-States) einzusetzen.

Beachten Sie, dass das READY-Signal beim 8086 aktiv hoch ist.

RESET (I)

Anschluss 21

Wird diesem Eingang wenigstens vier Taktzyklen lang ein Signal mit hohem Pegel zugeführt, dann beendet der 8086 sofort seine Tätigkeit und führt einen Reset aus. Alle internen Register werden auf einen definierten Wert gesetzt und der Prozessor beginnt die Ausführung bei 0F000:FFF0.

Anschlüsse des 8086 und 8088 (Blatt 4/9)

$\overline{\text{TEST}}$ (I)

Anschluss 23

Dieser Anschluss wird durch einen WAIT-Befehl ständig abgetastet. Liegt $\overline{\text{TEST}}$ auf einem niedrigen Pegel, so fährt der Prozessor mit der Abarbeitung des Programms fort. Ansonsten führt er eine Art Leerlauf aus, bis $\overline{\text{TEST}}$ auf einen niedrigen Pegel sinkt.

Damit kann durch den Befehl WAIT der Prozessor solange angehalten werden, bis der Coprozessor eine Berechnung abgeschlossen hat, ohne dass Hardware-Interrupt-Anforderungen über den Anschluss INTR deaktiviert werden.

Vcc (I)

Anschluss 40

Diesem Anschluss wird die Versorgungsspannung von +5V zugeführt.

GND

Anschlüsse 1, 20

Dieser Pin liegt auf Masse (normalerweise 0V).

Anschlüsse des 8086 und 8088 (Blatt 5/9)

Die folgenden Signale und Pin-Belegungen gelten nur für den Betrieb des 8086 im Maximum-Modus.

$\overline{S2}$, $\overline{S1}$, $\overline{S0}$ (O)

Anschlüsse 26-28

Der Buscontroller verwendet diese drei Steuersignale, um die notwendigen Speicher- und I/O-Steuersignale für einen lesenden und schreibenden Zugriff auf den Speicher und den I/O-Bereich zu erzeugen. Für die Kombinationen ($\overline{S2}$, $\overline{S1}$, $\overline{S0}$) gelten folgende Bedeutungen:

- (000) INTA-Sequenz
- (001) ein I/O-Port wird gelesen
- (010) ein I/O-Port wird geschrieben
- (011) HALT-Zustand
- (100) Befehls-Prefetching
- (101) es werden Daten aus dem Speicher gelesen
- (110) es werden Daten in den Speicher geschrieben
- (111) passiver Zustand

Anschlüsse des 8086 und 8088 (Blatt 6/9)

$\overline{RQ}/\overline{GT0}, \overline{RQ}/\overline{GT1}$ (I/O) Anschlüsse 30, 31

Diese Request / Grant-Signale dienen zur Aufteilung des lokalen Busses zwischen verschiedenen Busmastern. Der Anschluss $\overline{RQ} / \overline{GT0}$ besitzt eine höhere Priorität als $\overline{RQ} / \overline{GT1}$. Möchte ein anderer Prozessor die Kontrolle über den lokalen Bus übernehmen, so gibt er über $\overline{RQ} / \overline{GTx}$ ($x=0,1$) ein aktives Request-Signal mit niedrigem Pegel an den gerade aktiven Prozessor aus. Kann dieser nach einer eventuellen Abarbeitung von mehreren Befehlen die Kontrolle abgeben, so vermittelt er über denselben $\overline{RQ}/\overline{GTx}$ -Pin ein Acknowledge-Signal. Der anfordernde Prozessor übernimmt nun die Kontrolle und Steuerung des lokalen Busses. Ab dem 80286 übernehmen die HOLD/ HLDA-Signale diese Arbitrierungsaufgabe.

\overline{LOCK} (O) Anschluss 29

Gibt der \overline{LOCK} -Anschluss ein aktives Signal mit niedrigem Pegel ab, so kann der Prozessor den lokalen Bus nicht an einen anderen Prozessor übergeben. Der 8086 reagiert auf eine Anforderung über $\overline{RQ} / \overline{GTx}$ nicht mit einem Acknowledge. Das Signal \overline{LOCK} kann explizit durch den Befehl „LOCK“ aktiviert werden. Manche speicherkritischen Befehle wie „XCHG“ aktivieren das Signal LOCK selbstständig.

Anschlüsse des 8086 und 8088 (Blatt 7/9)

QS1, QS0 (O)

Anschlüsse 24, 25

Diese beiden Queue-Status-Signale geben den Status der Prefetch-Queue an. Damit kann die interne Prefetch-Queue des 8086 extern überwacht werden. Für die möglichen Kombinationen (QS1, QS0) gelten folgenden Interpretationen:

- (00) die Prefetch-Queue ist inaktiv
- (01) das erste Byte des Opcodes in der Prefetch-Queue wird verarbeitet
- (10) die Prefetch-Queue wird geleert
- (11) es wird ein folgendes Byte des Opcodes in der Prefetch-Queue verarbeitet

Anschlüsse des 8086 und 8088 (Blatt 8/9)

Die im Folgenden aufgeführten Signale und Anschlussbelegungen gelten nur für den Betrieb des 8086 im MinimumModus.

ALE (O) Anschluss 25

Das Address-Latch-Enable-Signal aktiviert den Adresspuffer, damit dieser die vom Prozessor ausgegebene Adresse übernimmt und verriegelt. Damit steht die Adresse während des gesamten Buszyklus zur Verfügung und wird erst mit einem neuen Signal ALE verändert.

$\overline{\text{DEN}}$ (O) Anschluss 26

Liegt dieser Data-Enable-Pin auf einem niedrigen Pegel, so werden Daten in den externen Datenpuffer gelesen und dort verriegelt.

DT/ $\overline{\text{R}}$ (O) Anschluss 27

Liegt dieser Data-Transmit / Receive-Pin auf einem hohen Pegel, so schreibt der 8086 Daten, liegt er auf Masse, so werden Daten gelesen. DT/ $\overline{\text{R}}$ gibt also die Richtung der Datenübertragung auf dem Bus an.

HOLD, HLDA (1, O) Anschlüsse 31, 30

Diese Signale dienen in bekannter Weise zur Arbitrierung des lokalen Busses zwischen verschiedenen Busmastern. Möchte ein anderer Busmaster die Kontrolle über den Bus übernehmen, so führt er dem 8086 ein aktives HOLD-Anforderungssignal zu. Kann dieser die Kontrolle abgeben, so gibt er über den HLDA-Pin ein Hold-Acknowledge-Signal aus. Der anfordernde Prozessor übernimmt die Kontrolle, bis er das Signal an den HOLD-Eingang des 8086 wieder deaktiviert. Der 8086 deaktiviert seinerseits HLDA und übernimmt erneut die Kontrolle über den lokalen Bus.

Anschlüsse des 8086 und 8088 (Blatt 9/9)

$\overline{\text{INTA}}$ (O)

Anschluss 24

Ein aktives Interrupt-Acknowledge-Signal mit niedrigem Pegel bestätigt die Annahme eines Hardware-Interrupts.

$\text{M}/\overline{\text{IO}}$, $\text{W}/\overline{\text{R}}$ (O, O)

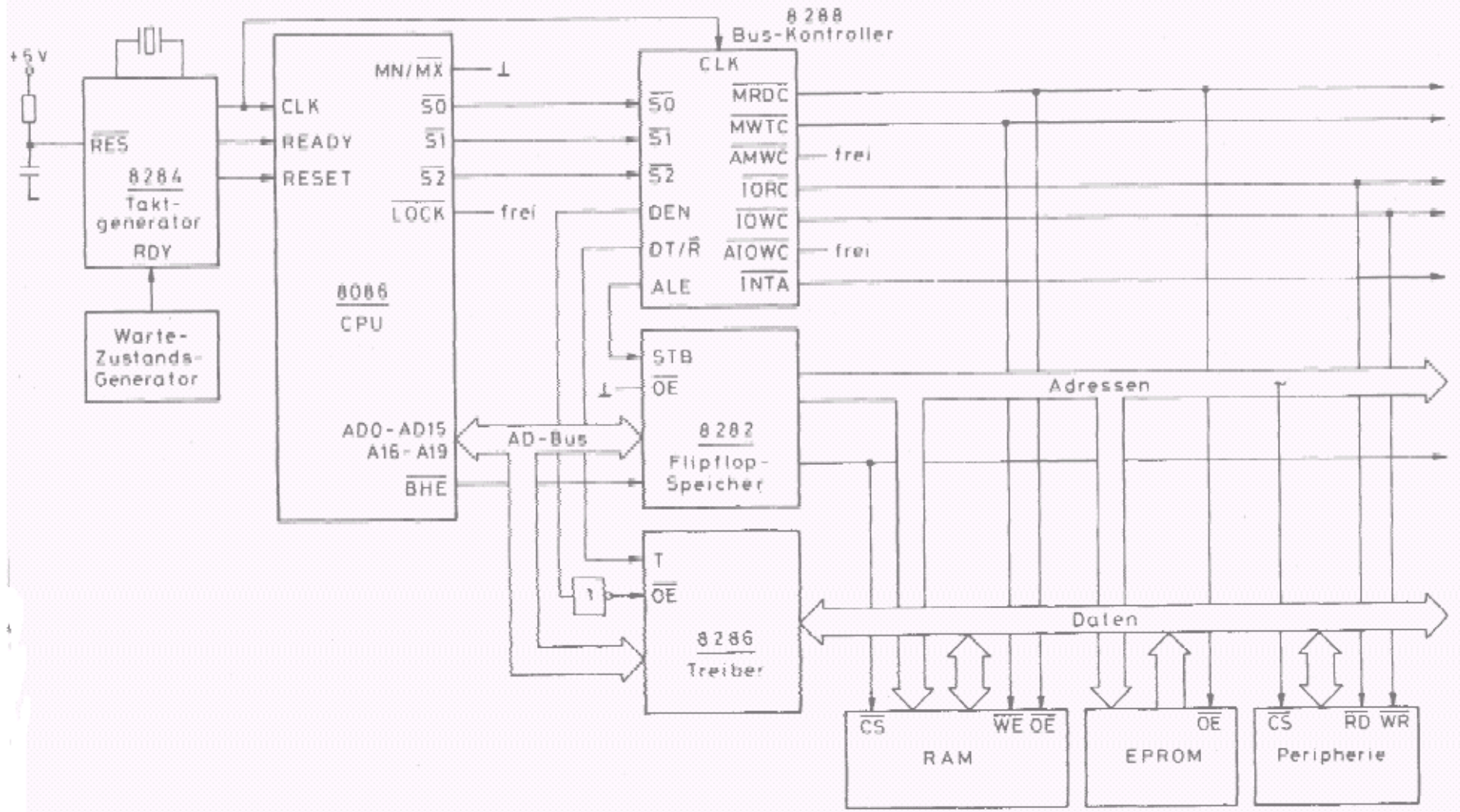
Anschlüsse 28, 29

Die Signale Memory / IO und Write/Read an diesen Pins legen die Art des gegenwärtigen Buszyklus fest. Die möglichen Signalkombinationen haben folgende Bedeutungen:

- (00) Lesen eines I/O-Ports
- (01) Schreiben eines I/O-Ports
- (10) Lesen von Daten aus dem Speicher
- (11) Schreiben von Daten in den Speicher



Maximumsystem 8086 mit RAM, EPROM, Peripherie



Treiber 74245 (Octal Bus Transceiver)

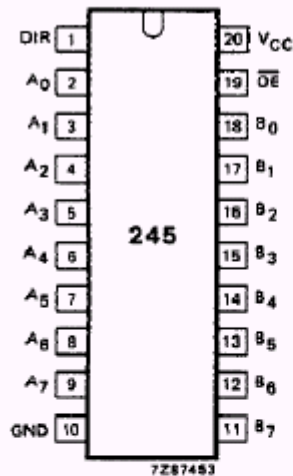


Fig.1 Pin configuration.

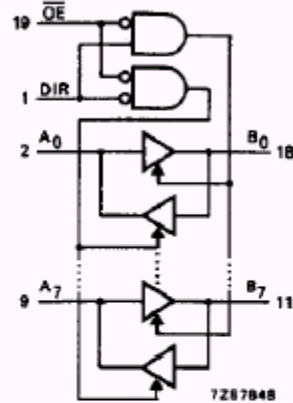


Fig.2 Logic symbol.

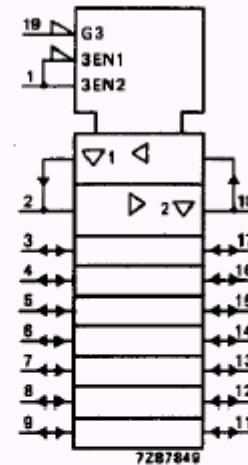


Fig.3 IEC logic symbol.

Funktionstabelle:

\OE	DIR	Operation
L	L	$B \rightarrow A$
L	H	$A \rightarrow B$
H	x	Isolation (Tri-State)

x = Don't Care

Quelle: Philips Semiconductors

Treiber 74573

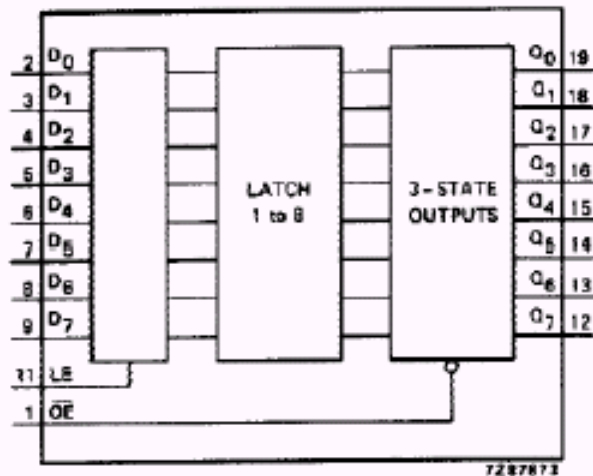


Fig.4 Functional diagram.

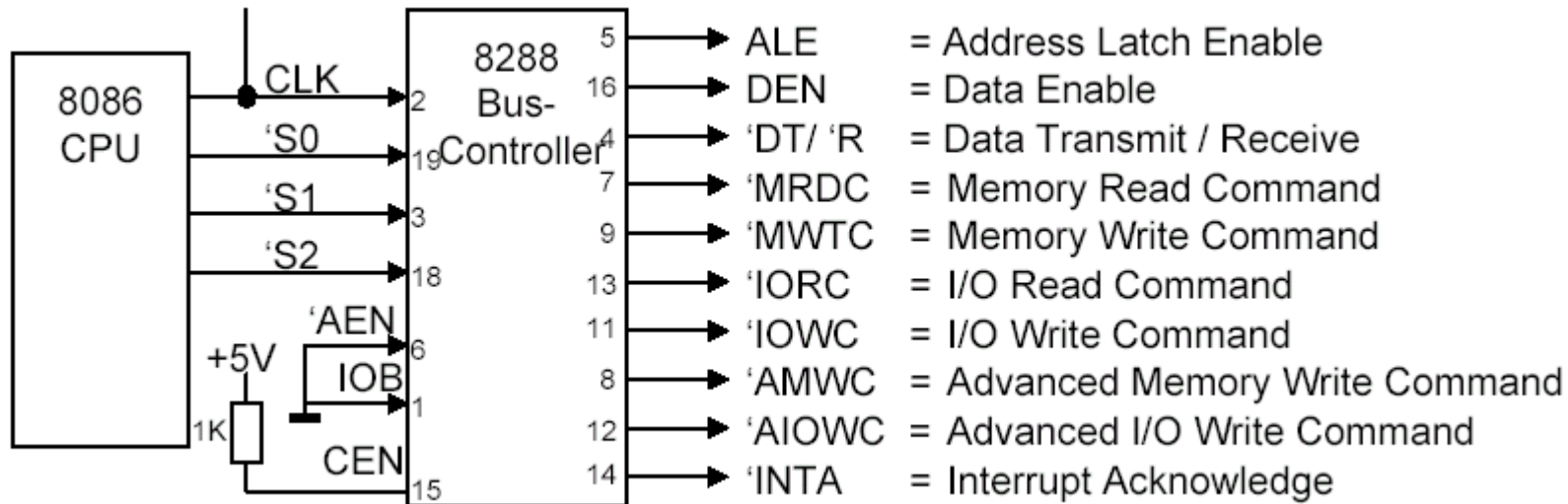
FUNCTION TABLE

OPERATING MODES	INPUTS			INTERNAL LATCHES	OUTPUTS Q ₀ to Q ₇
	\overline{OE}	LE	D _N		
enable and read register (transparent mode)	L L	H H	L H	L H	L H
latch and read register	L L	L L	L h	L H	L H
latch register and disable outputs	H H	L L	L h	L H	Z Z

Notes

1. H = HIGH voltage level
h = HIGH voltage level one set-up time prior to the HIGH-to-LOW LE transition
L = LOW voltage level
l = LOW voltage level one set-up time prior to the HIGH-to-LOW LE transition
Z = high impedance OFF-state

Buscontroller 8288



/S2	/S1	/S0	
0	0	0	Interrupt-Bestätigung
0	0	1	Porteingabe
0	1	0	Portausgabe
0	1	1	Halt
1	0	0	Befehl holen
1	0	1	Speicher lesen
1	1	0	Speicher schreiben
1	1	1	Passiv, kein Buszyklus

IOB = Input-Output-Bus-Mode

L: Systembusmode

H: IO-Busmode

AEN = Address Enable (Systembus Mode)

H: Ausgabeleitungen in Tristate

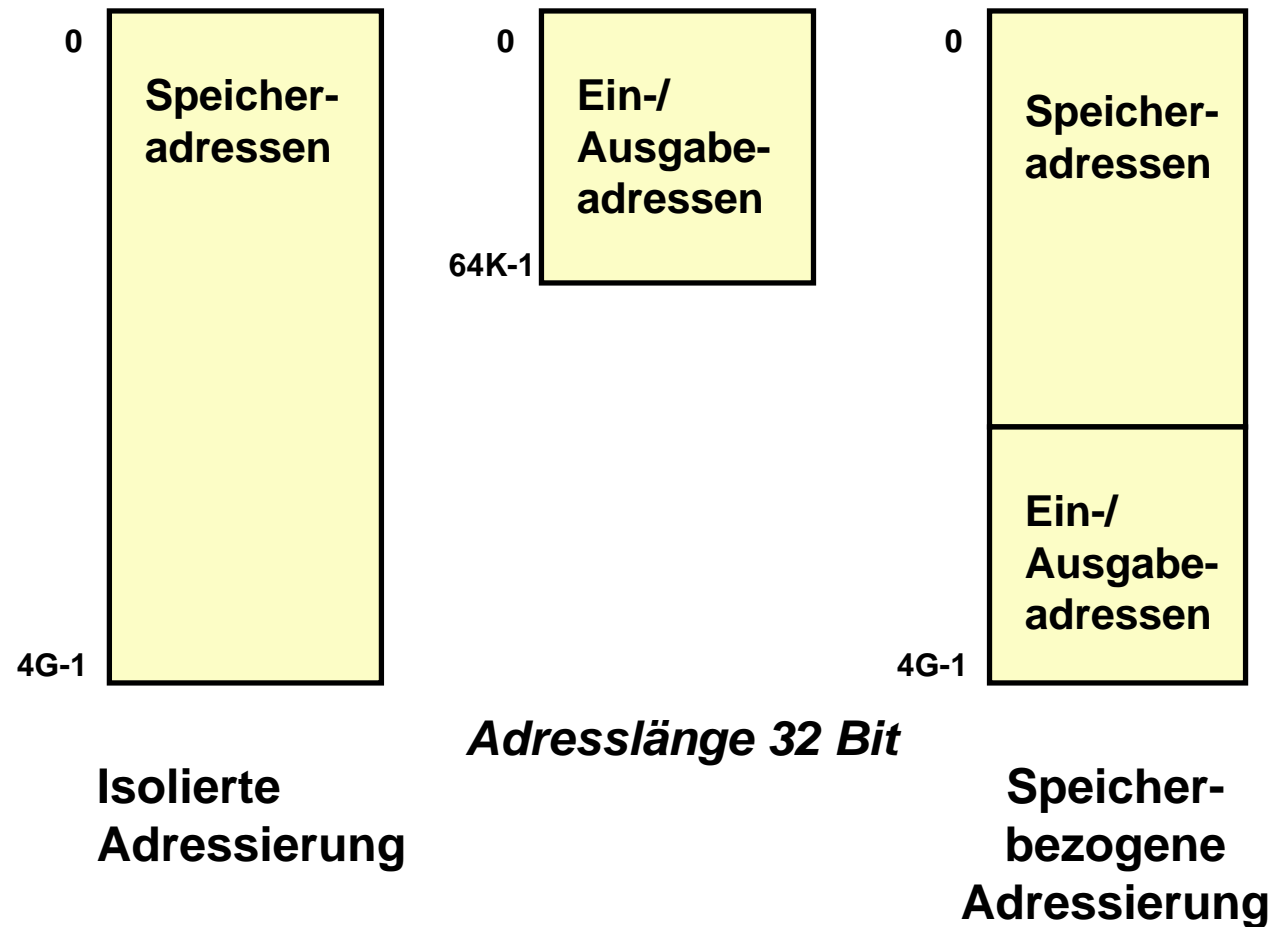
H→L: IO-Busmode: Wirkungslos

CEN = Command Enable

H: Baustein-Freigabe

L: Ausgabeleitungen in Tristate

Isolierte und speicherbezogene Adressierung



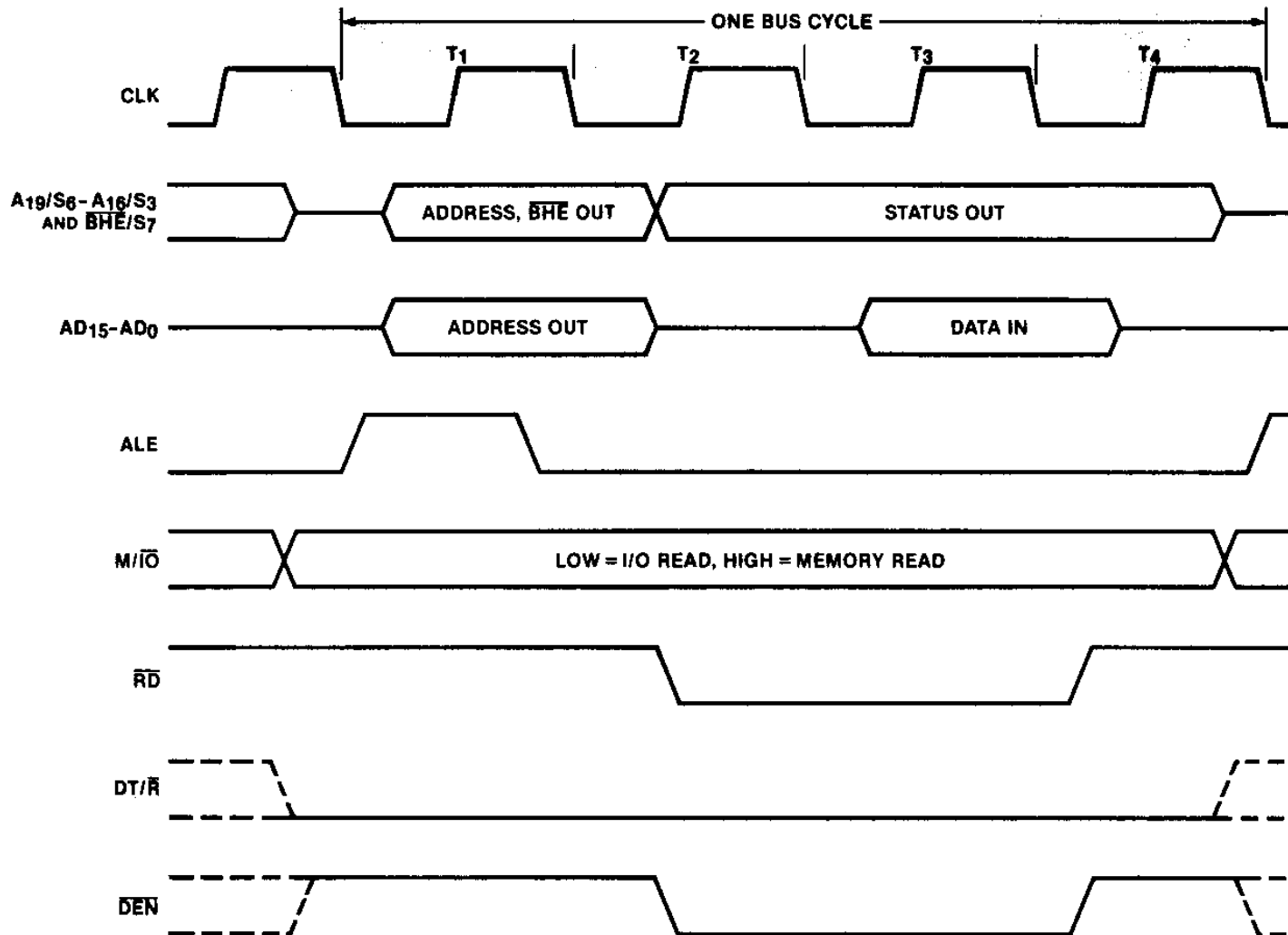
Speicherbezogene Adressierung (memorymapped-I/O):

- kein Unterschied zwischen Speicheradresse und Adresse eines Registers eines Peripherie-Bausteins,
- häufig wird ein zusammenhängender Speicherbereich für Peripherie-Bausteine verwendet: I/O-Page

Isolierte Adressierung (isolated-I/O):

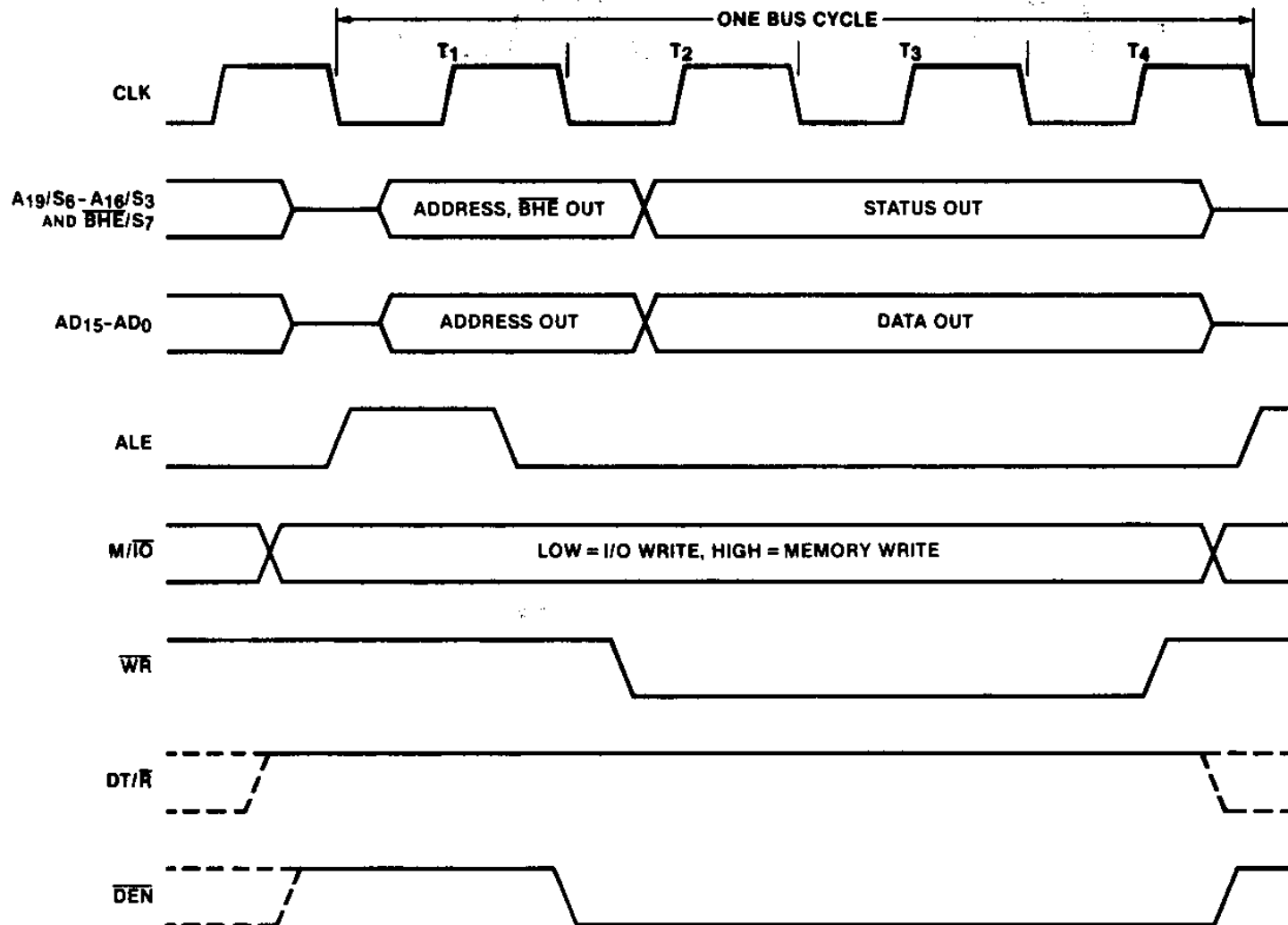
- getrennte Adreßräume für Speicher und Peripherie (eigener I/O-Adreßraum)
- Auswahl des Adressraums durch M/IO-Signal (memory/input-output)

Zeitverhalten beim Bus-Lese-Zyklus 8086



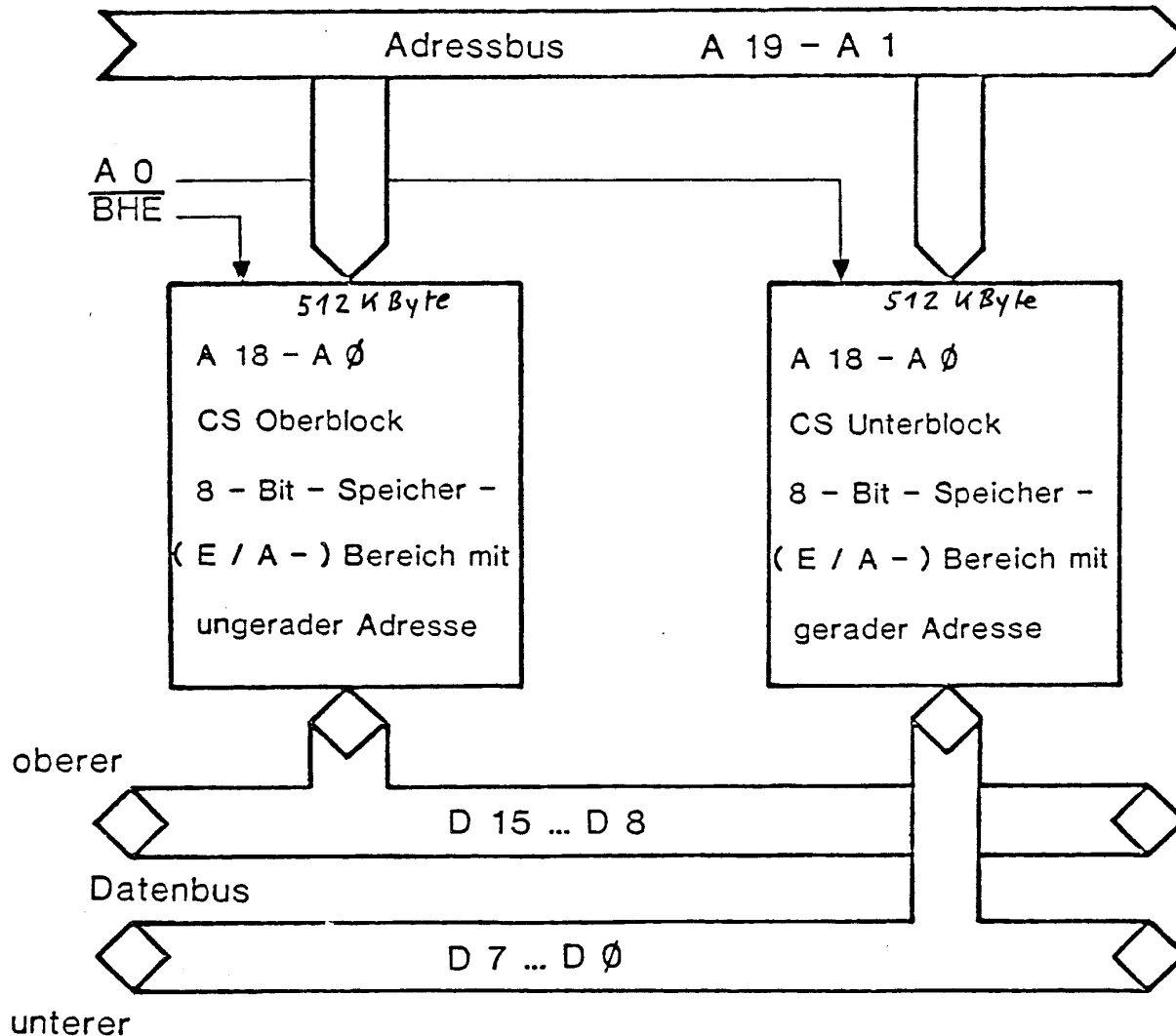
Quelle: iAPX 86,88 User's Manual; S. 4-6

Zeitverhalten beim Bus-Schreib-Zyklus 8086



Quelle: iAPX 86,88 User's Manual; S. 4-7

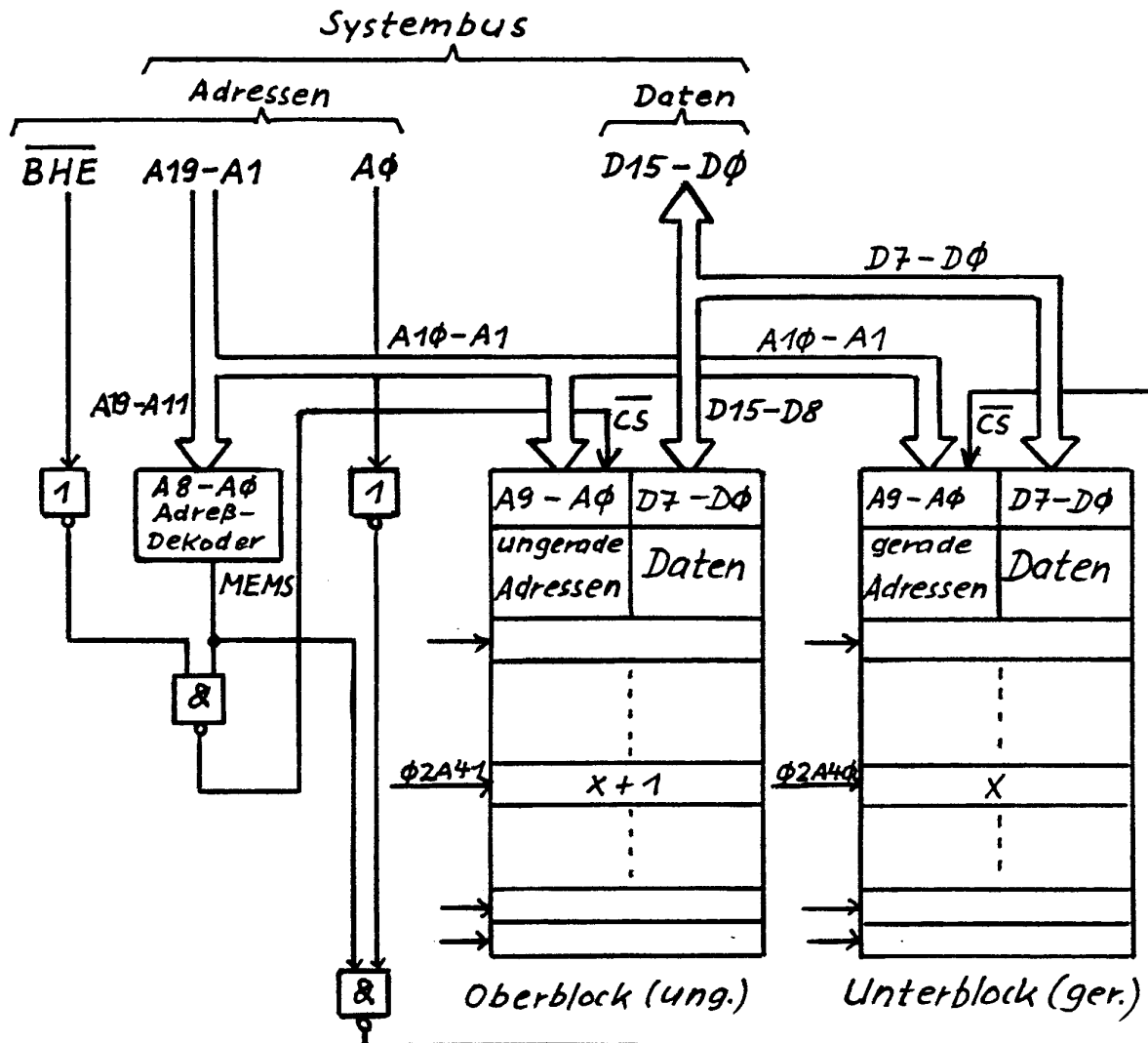
Speicher- / Buszuordnung 8086



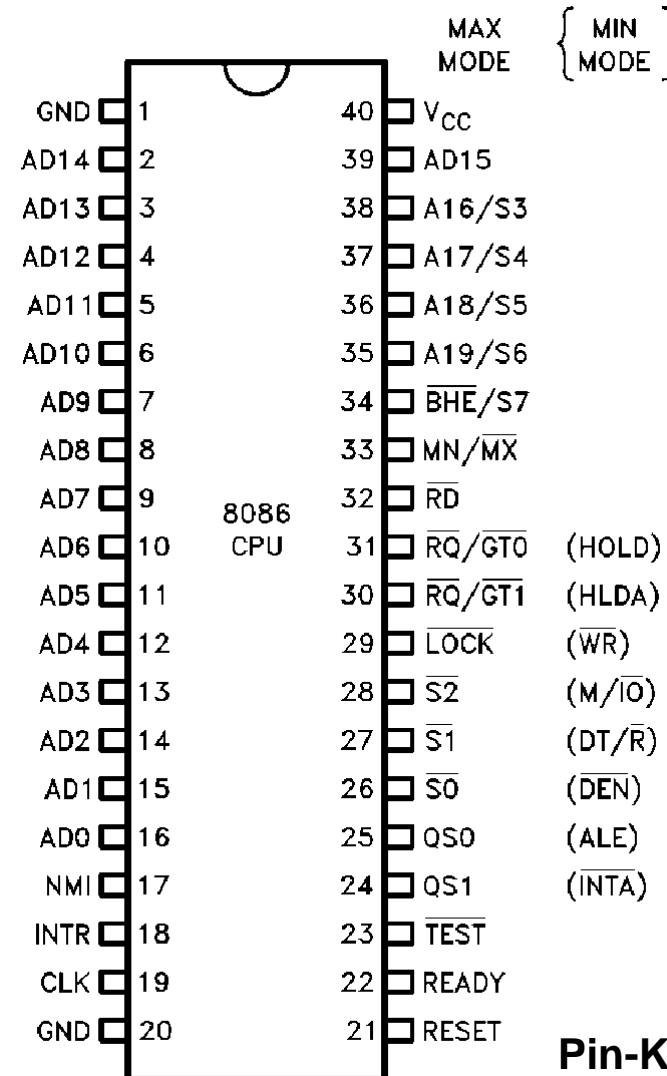
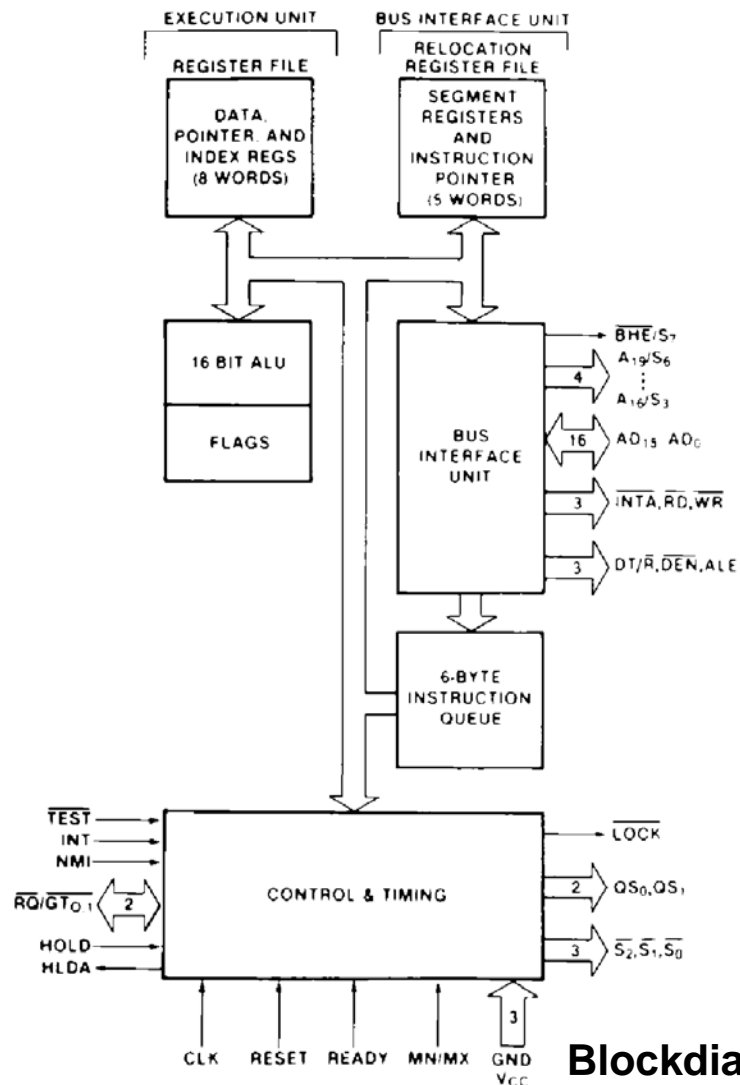
Speicherauswahl:

BHE	A0	Funktion
0	0	16-Bit-Wort von oder zum Datenbus
0	1	8-Bit-Byte mit ungerader Adresse von oder zum oberen Datenbus
1	0	8-Bit-Byte mit gerader Adresse von oder zum unteren Datenbus
1	1	keine Selektion

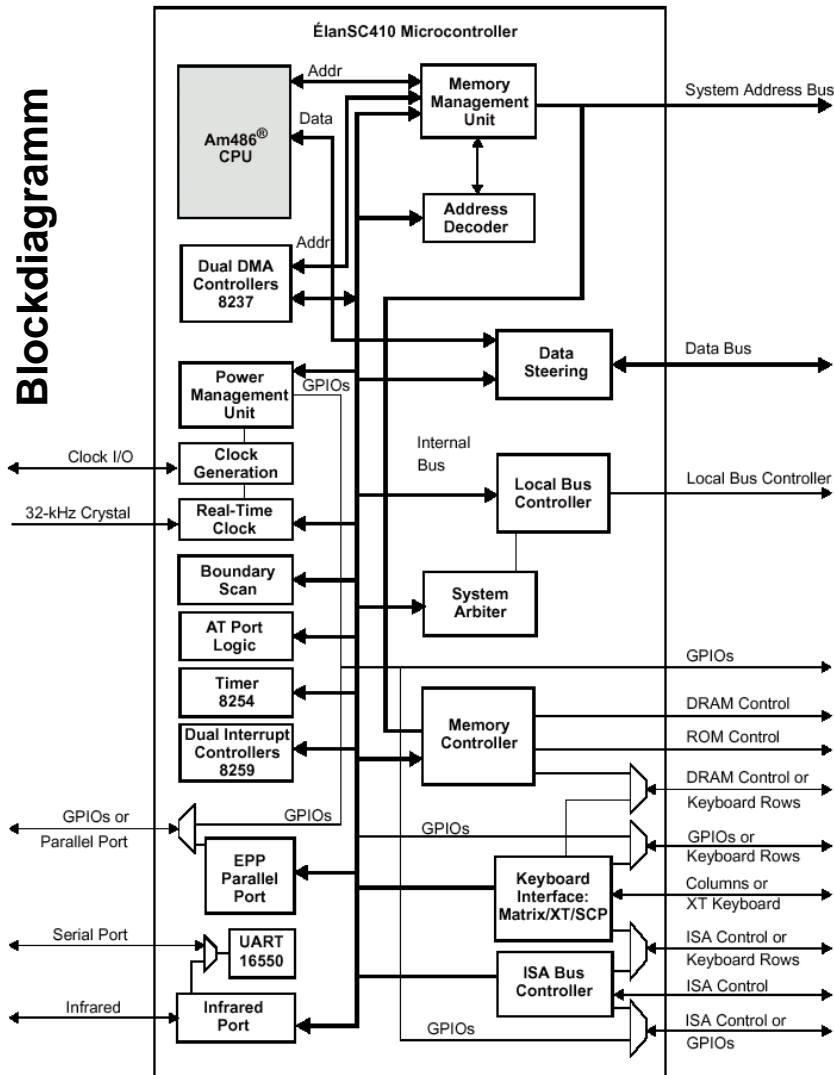
Grundkonzept des Systemspeichers 8086



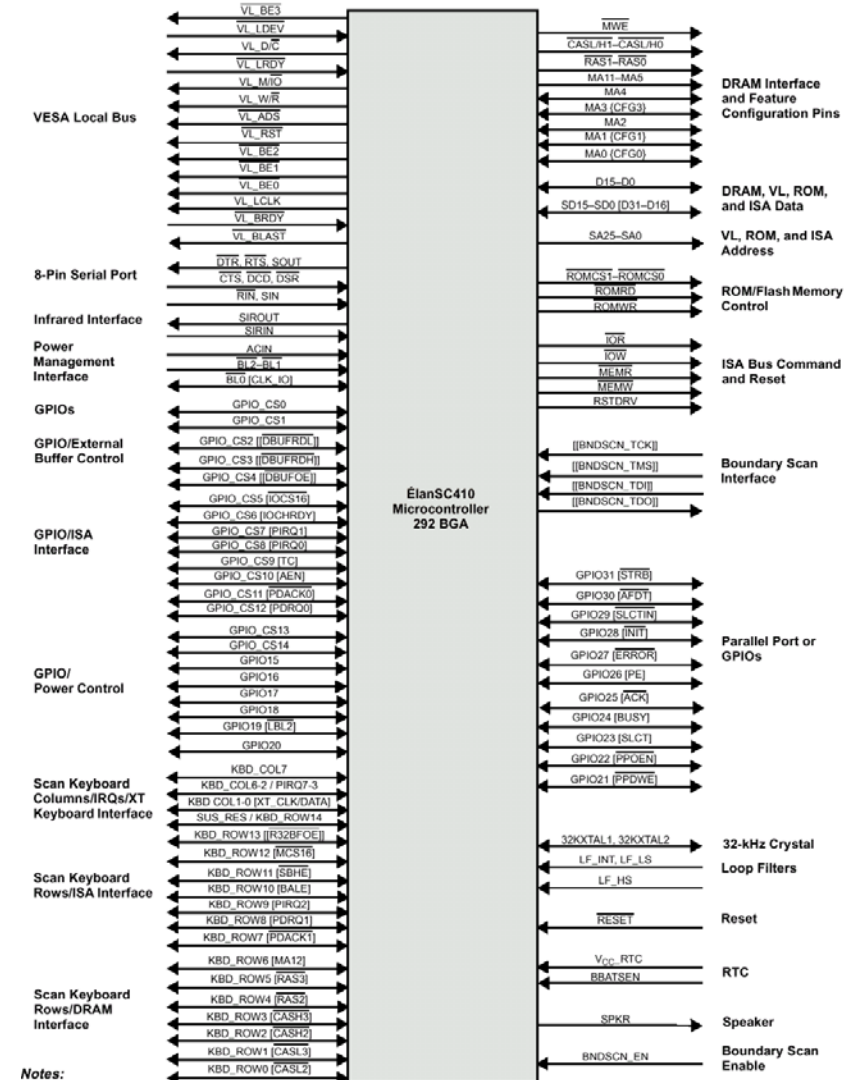
16-Bit Mikroprozessor 8086

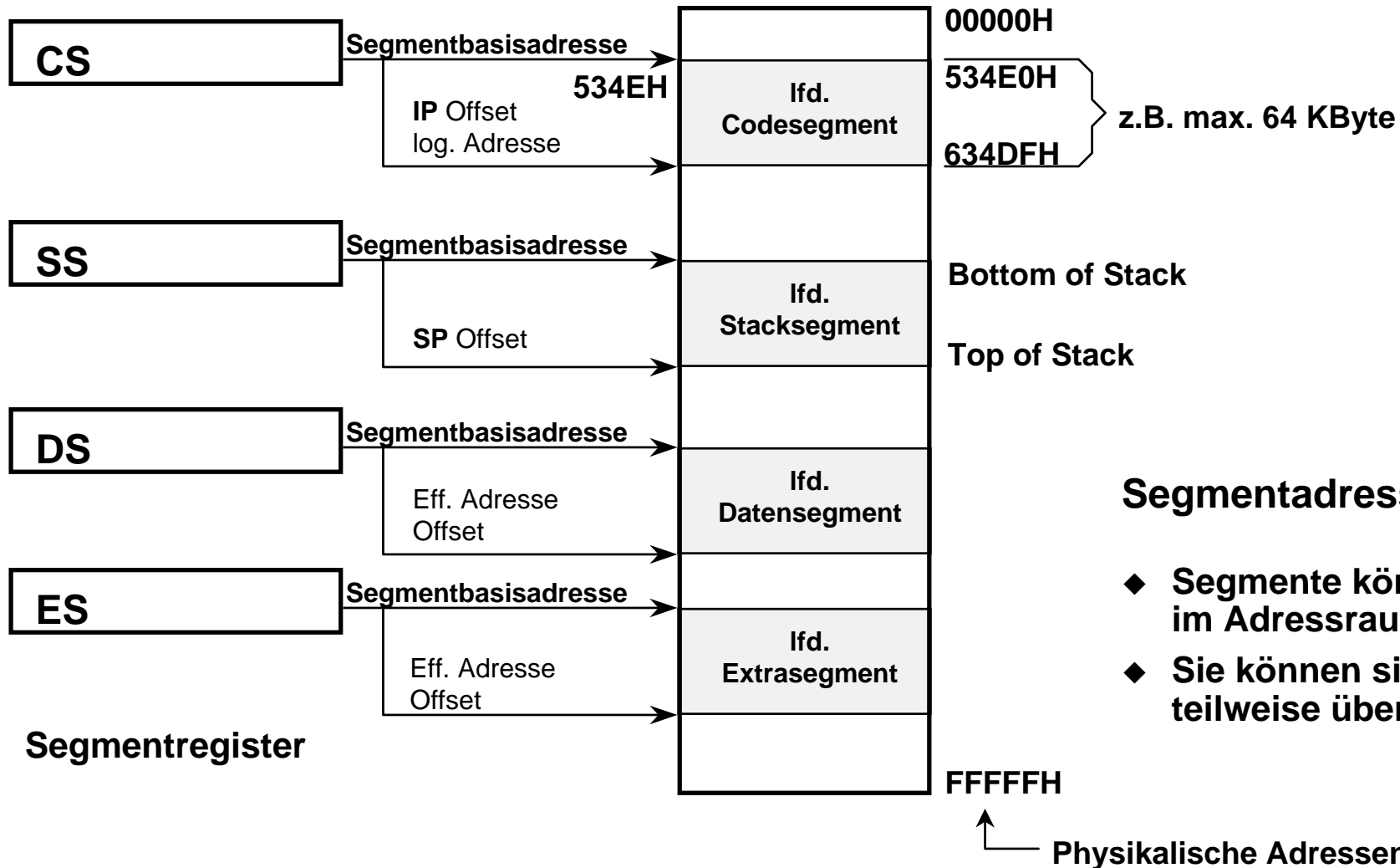


32-Bit Mikrocontroller Élan SC410



Logik Symbol

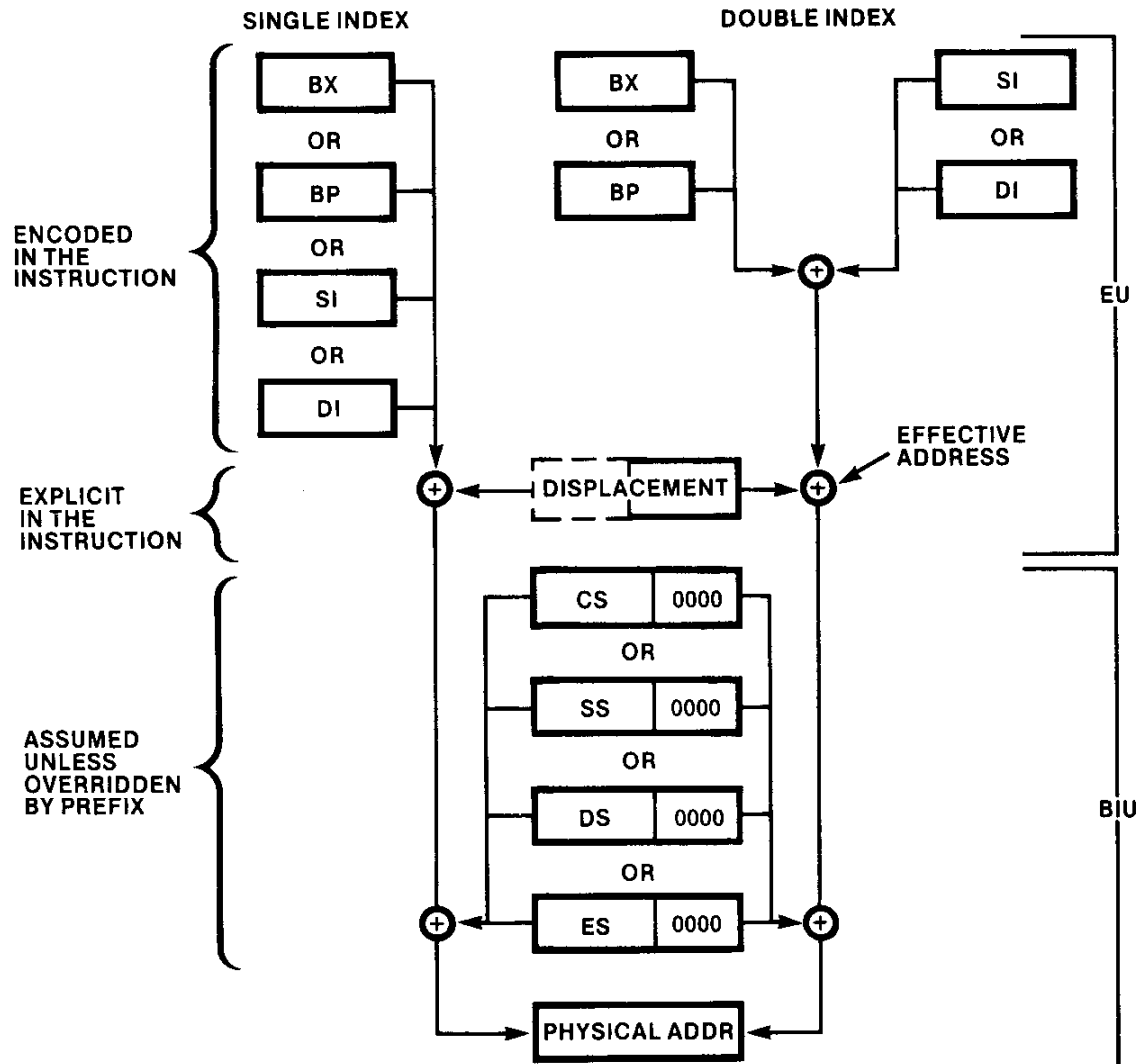




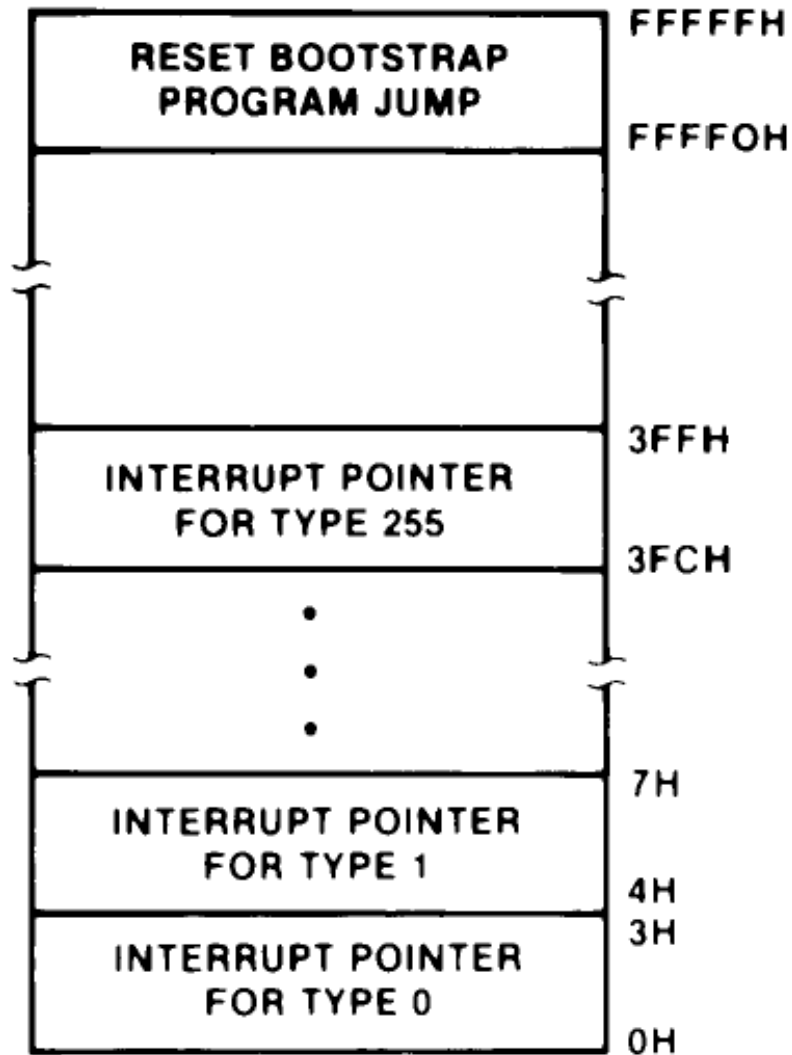
Segmentadressierung

- ◆ Segmente können beliebig im Adressraum liegen
- ◆ Sie können sich ganz oder teilweise überlappen

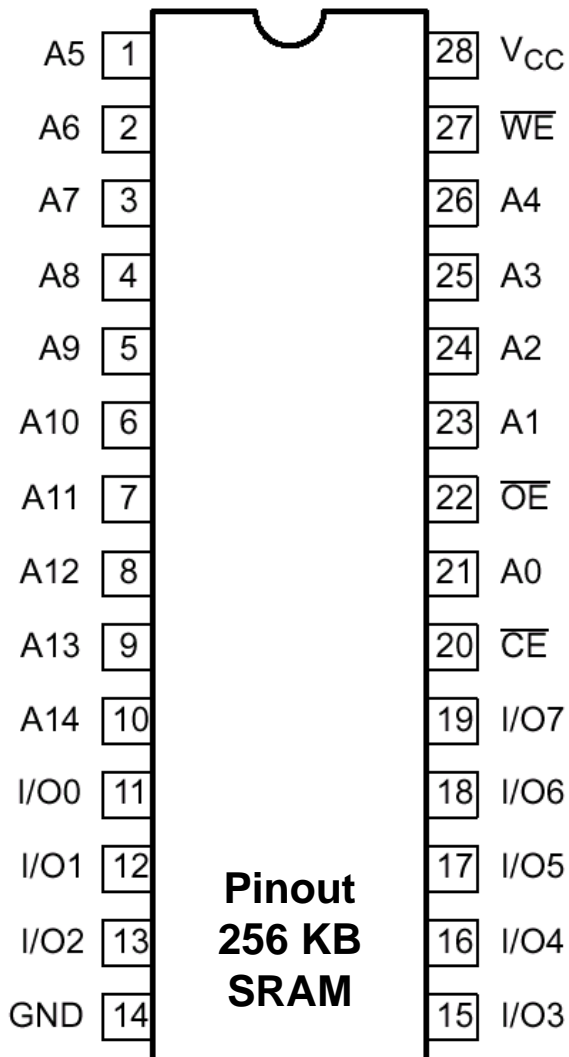
Speicher-Adress-Berechnung 8086



Reservierte Speicherbereiche 8086



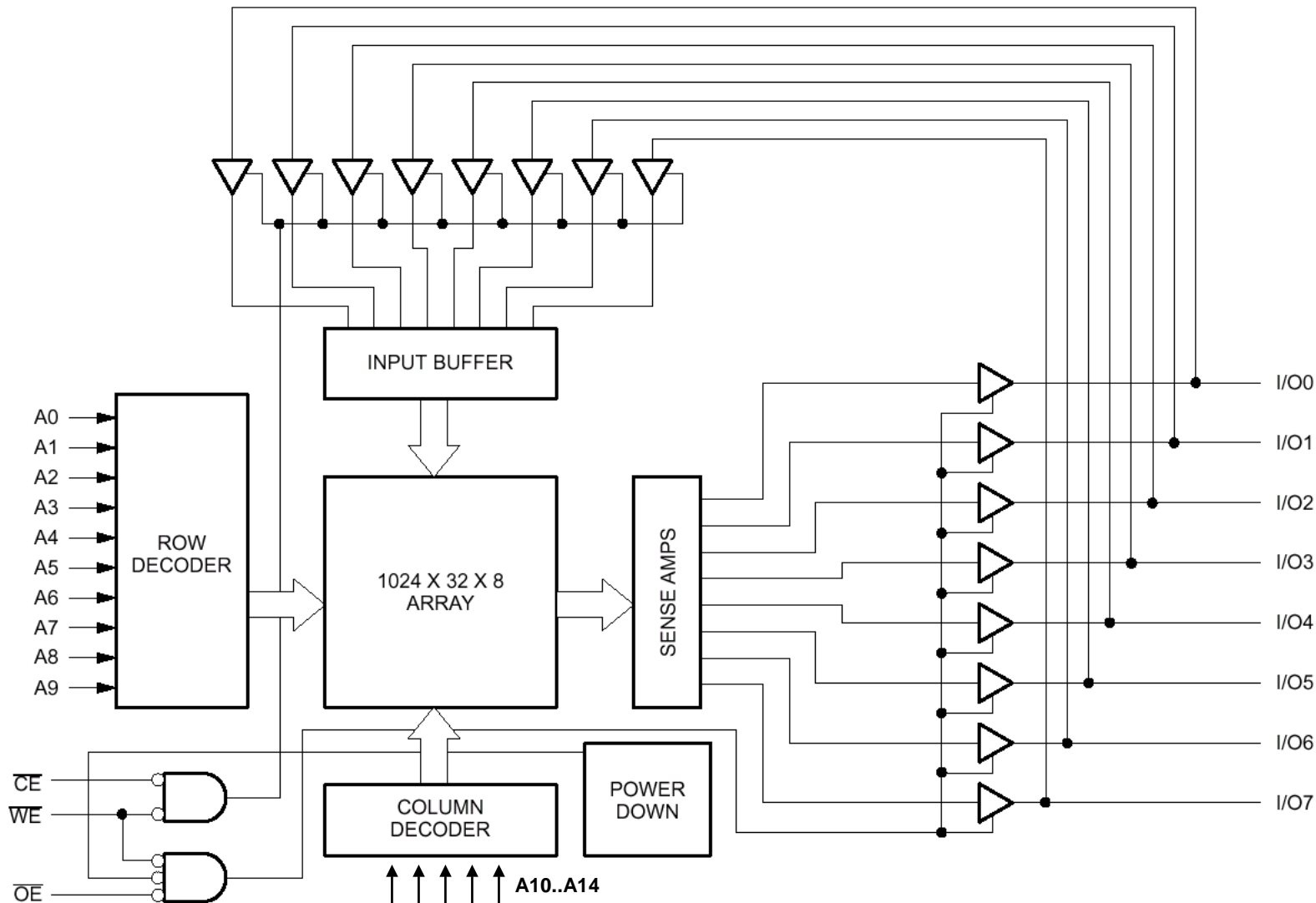
256 KB SRAM



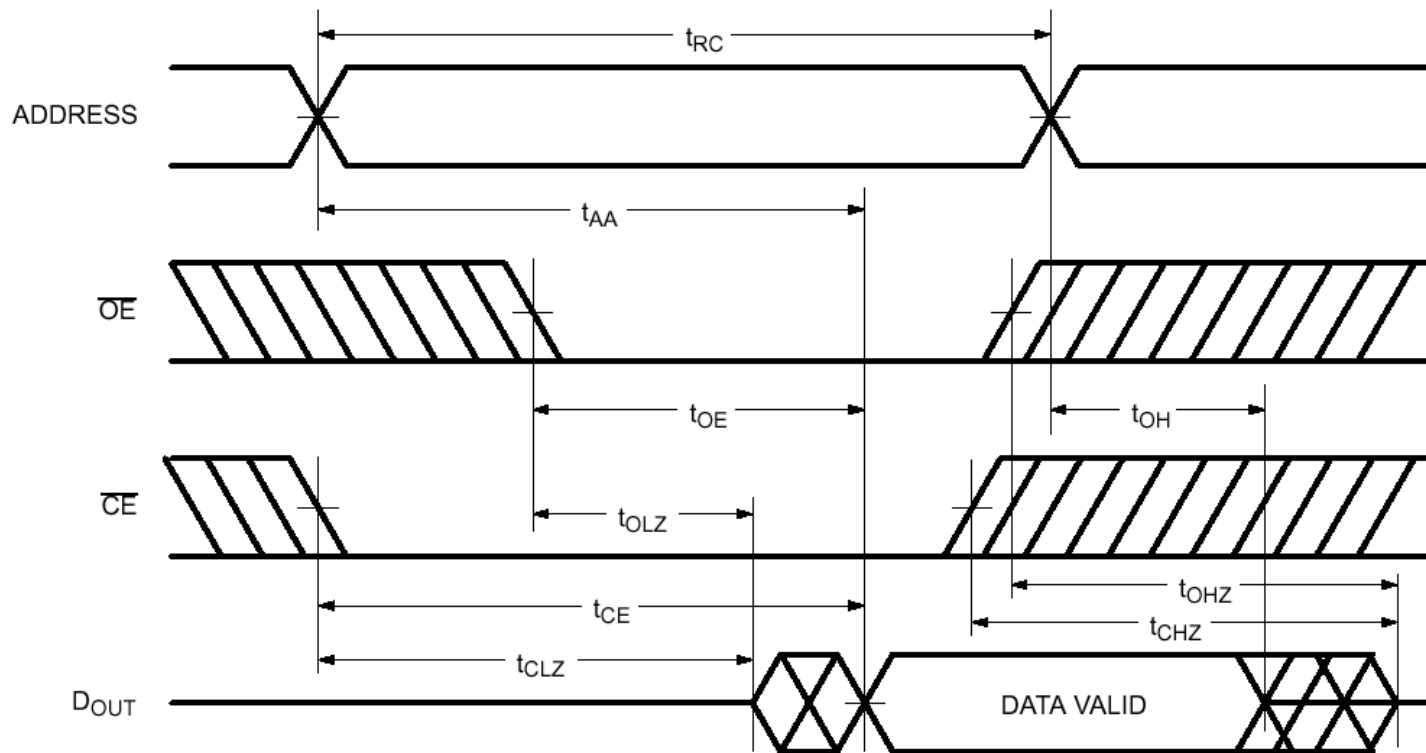
\overline{CE}	\overline{OE}	\overline{WE}	MODE	V_{CC} CURRENT	I/O PIN
H	X	X	Not Selected	I_{SB}, I_{SB1}	Hi-Z
L	L	H	Read	I_{CC}	D_{OUT}
L	H	L	Write	I_{CC}	D_{IN}
L	L	L	Write	I_{CC}	D_{IN}

Wahrheitstabelle 256 KB SRAM

Blockdiagramm 256 KB SRAM



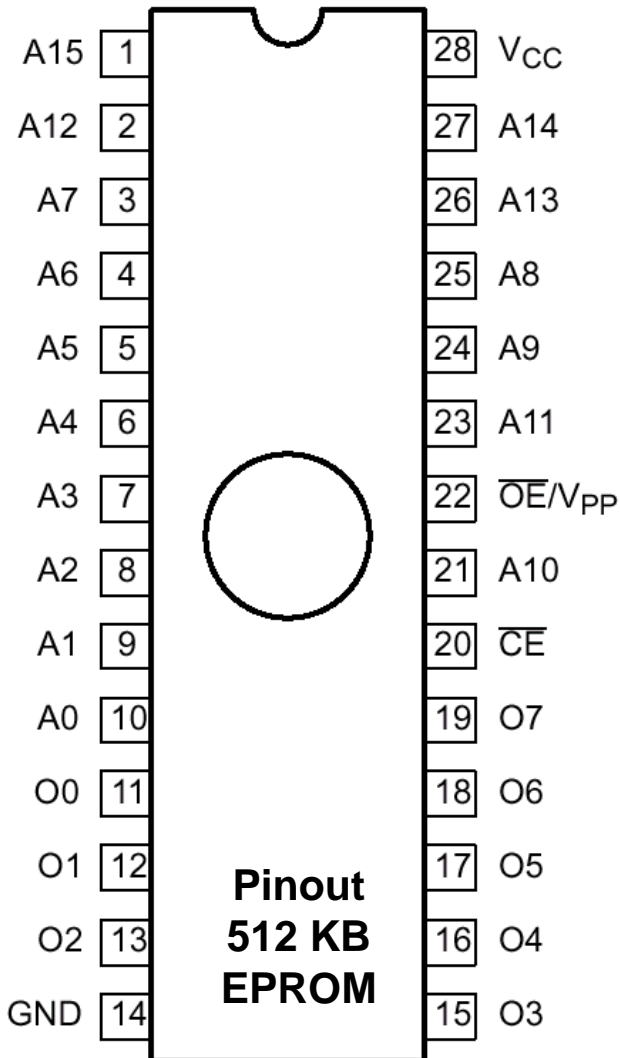
256 KB SRAM



t_{RC} (MIN)	85
t_{AA} (MAX)	85
t_{CE} (MAX)	85
t_{OE} (MAX)	45
t_{OH} (MIN)	5
t_{CHZ} (MAX)	30
t_{OHZ} (MAX)	30
t_{CLZ} (MIN)	10
t_{OLZ} (MIN)	5

Timing Diagramm Lesezyklus

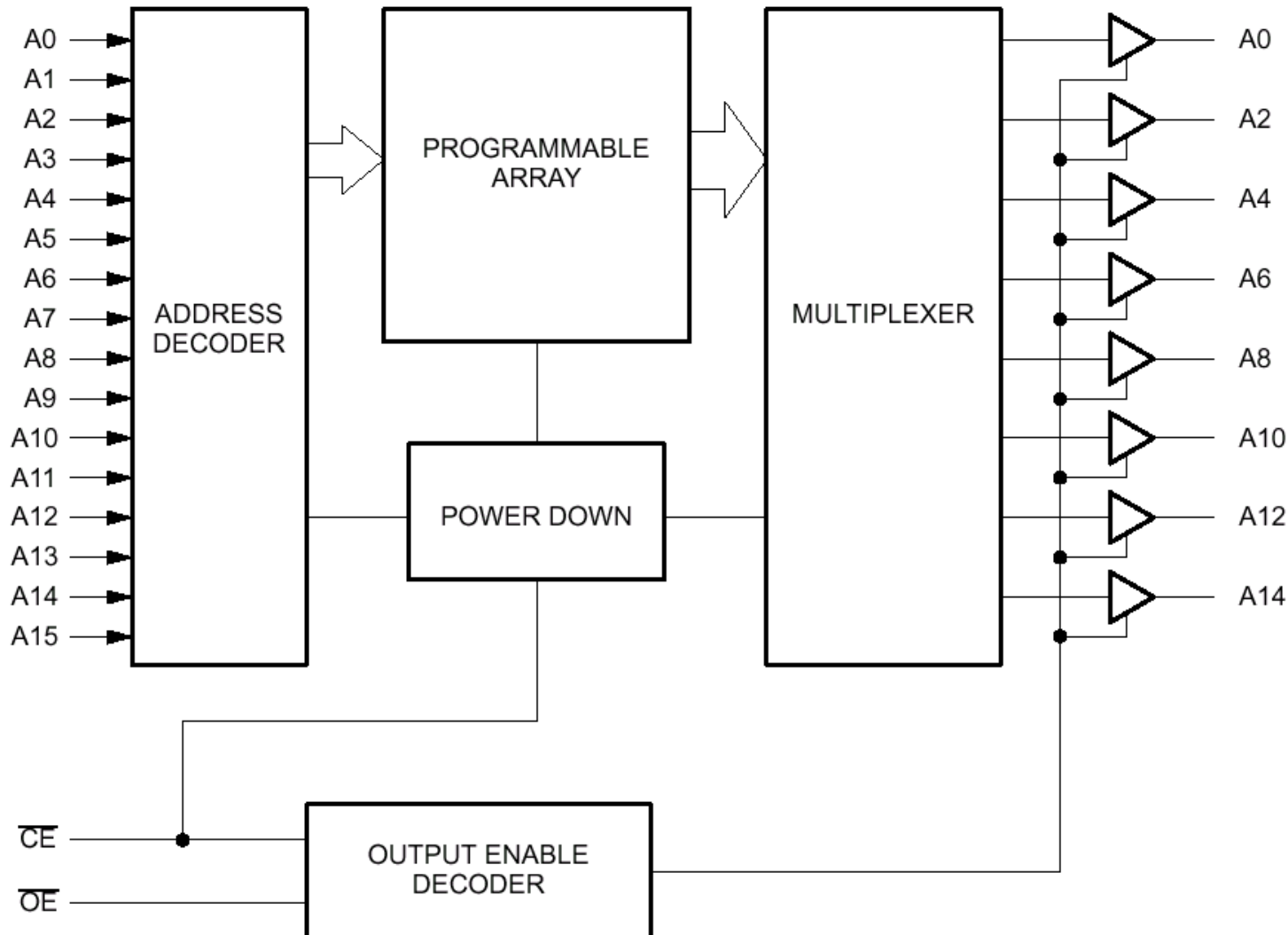
512 KB EPROM



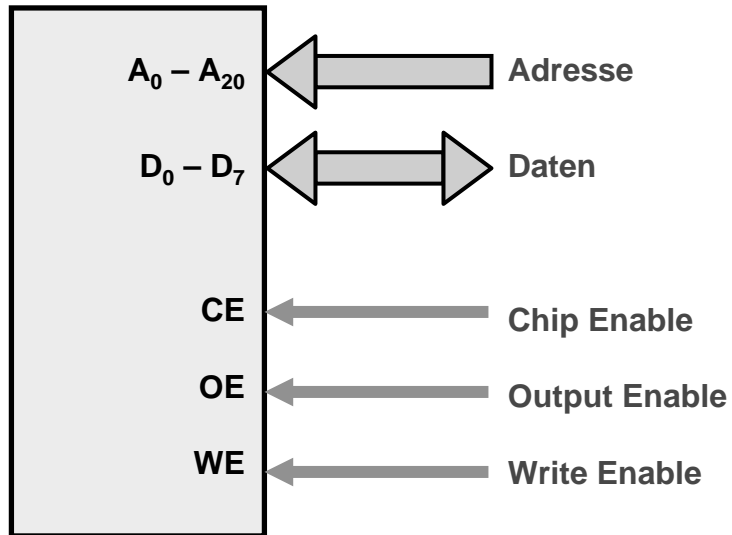
MODE	PIN FUNCTION				
	\overline{CE}	\overline{OE}/V_{PP}	A0	A9	DATA
Read	V_{IL}	V_{IL}	A0	A9	O7 – O0
Output Disable	X	V_{IH}	A0	A9	Hi-Z
Stand-by	V_{IH}	X	X	X	Hi-Z

Wahrheitstabelle 512 KB EPROM

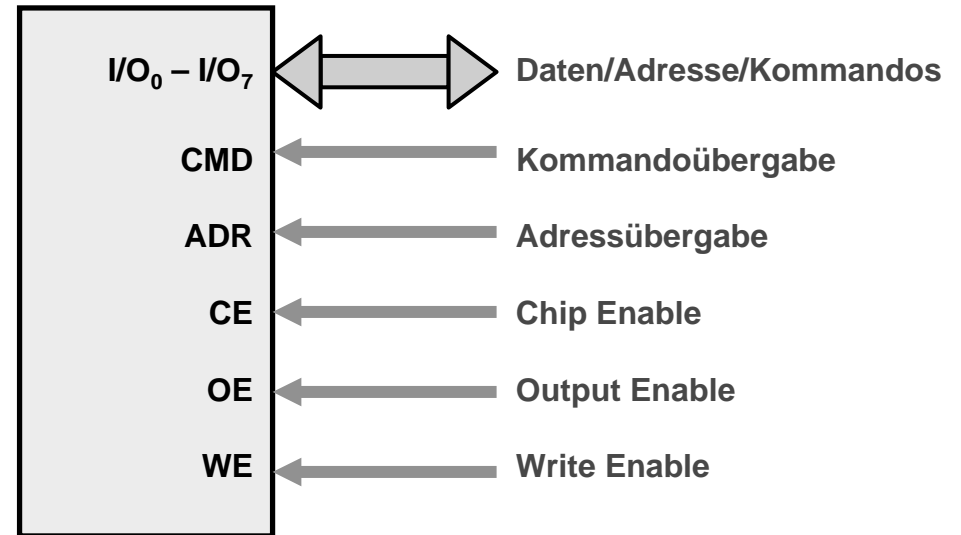
Blockdiagramm 512 KB EPROM



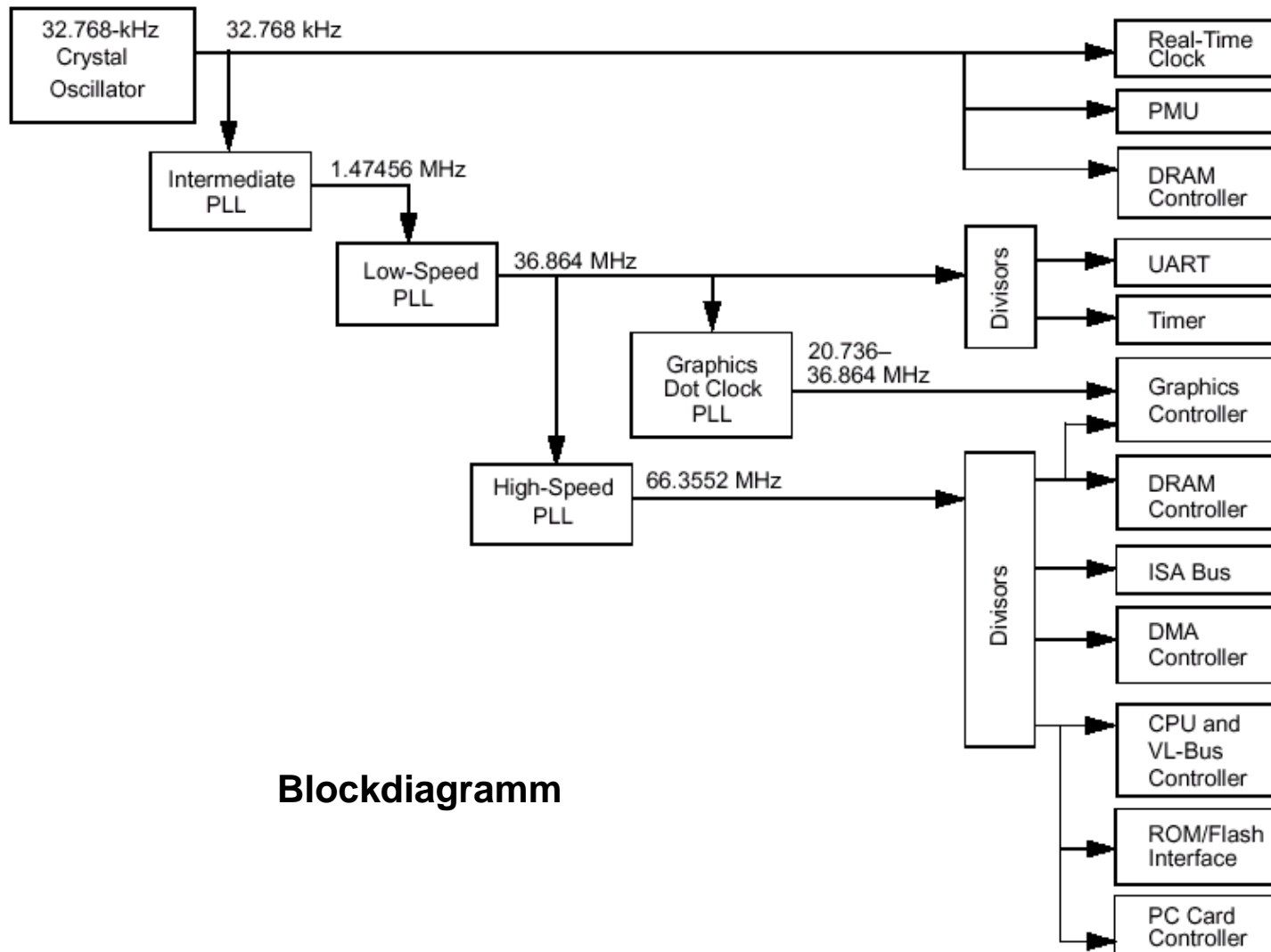
Flash-Speicherbausteine



Flash-Speicherbaustein in NOR-Technologie



Flash-Speicherbaustein in NAND-Technologie



Blockdiagramm

I/O-Zugriff

- ◆ Die Signale S0..S2 entscheiden darüber, ob ein I/O-Read oder I/O-Write durchgeführt wird
- ◆ IO/M wählt den I/O-Bereich aus (erfolgt über die Befehle In/Out)
- ◆ Die Adressleitungen sind wie folgt belegt:
 - A19..A16 Low Pegel (grundsätzlich beim 8086)
 - A15..A10 Low Pegel (beim PC)
 - A9..A0 1024 Ports werden vom PC genutzt
- ◆ Es gilt der Buszyklus nach Folie 18 und 19
- ◆ Bei einem I/O-Zugriff wird das READY-Signal häufiger genutzt, da die Peripheriebausteine i.d.R. langsamer sind als Speicherbausteine.

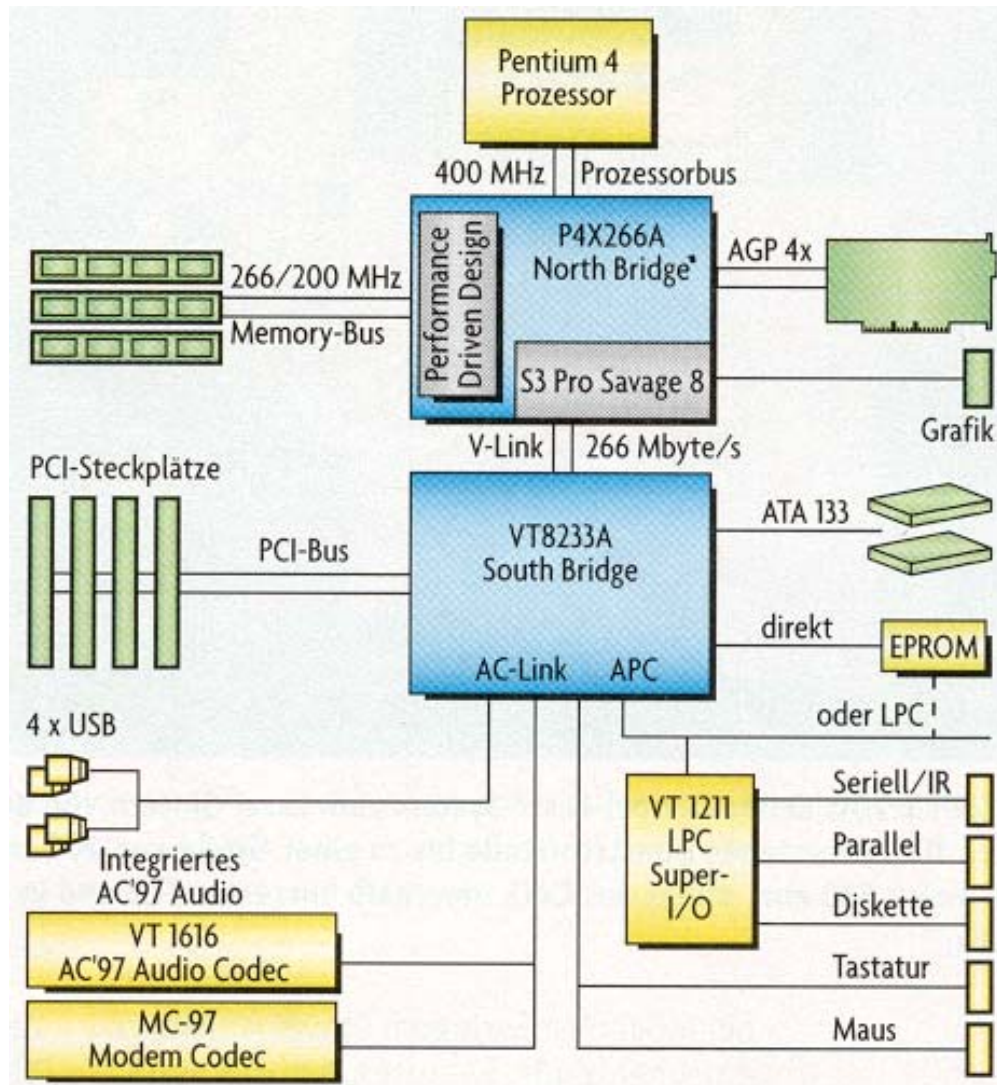
Reset

- ◆ Der Reset-Pin muss mindestens 4 Zyklen lang auf High-Pegel liegen
- ◆ Danach beginnt eine prozessorinterne Initialisierung. Hierbei werden die folgenden Register beschrieben:

Register	Wert
Flag	2H
IP	FFF0H
CS	F000H
DS, ES, SS	0000H

- ◆ ***Das heißt: CS:IP wird zu F000:FFF0 oder anders ausgedrückt: FFFF0H und zeigt auf die Startroutine des BIOS***
- ◆ Da von FFFF0H bis FFFFFH nur 16 Bytes z.V. stehen, besteht einer der ersten Befehle meist aus einem absoluten Sprungbefehl (JMP) auf den eigentlichen Einsprungpunkt
- ◆ Das BIOS bootet nun den PC

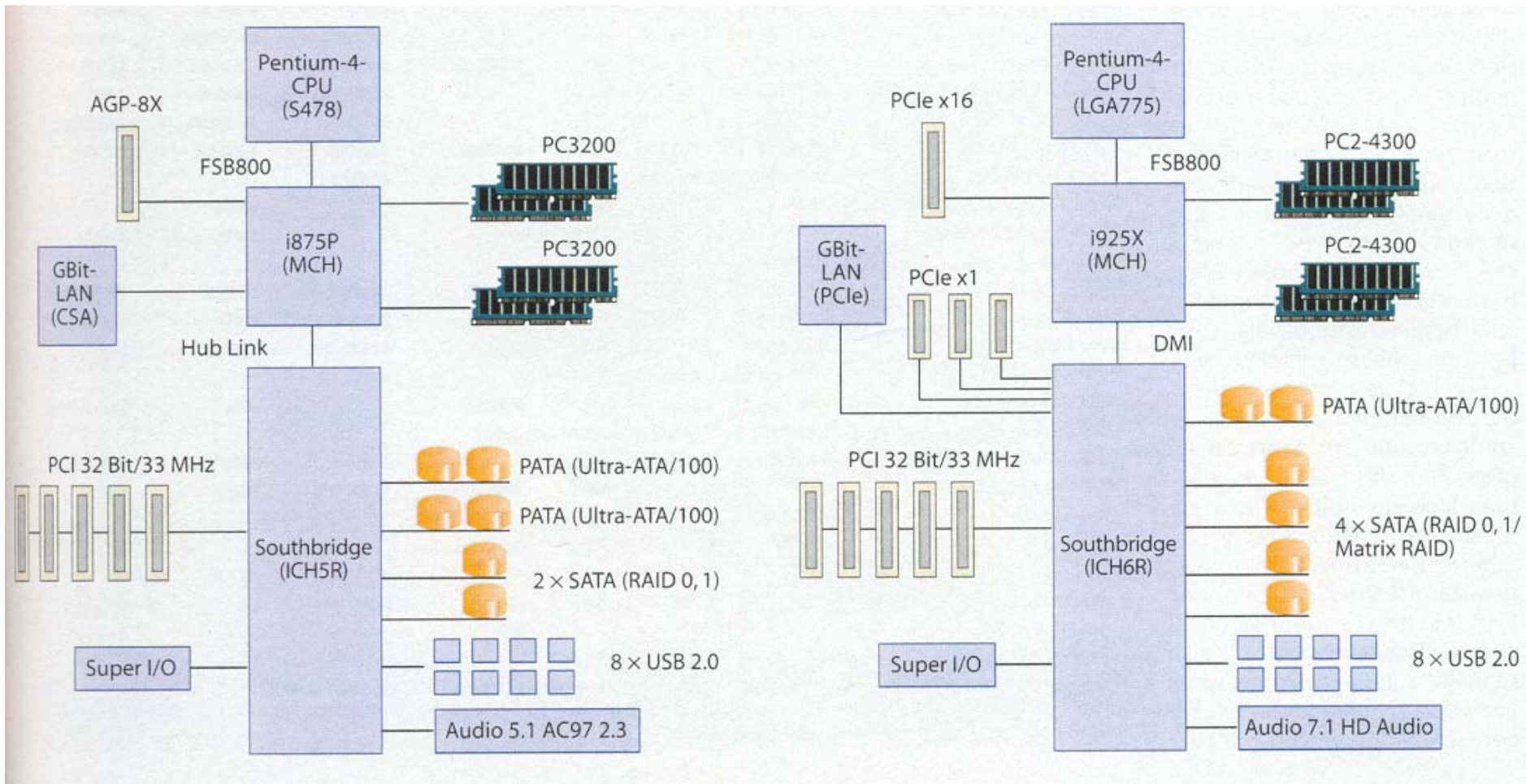
PC-Architektur (Stand 2002)



Beispiel: Via-Chipsatz P4M266

Quelle: Elektronik: 26/2002/S.25

PC-Architektur (Stand 2004)



Chipsatz-Vergleich: Die Blockschaltbilder von i875P und i925X verdeutlichen die von Intel eingeführten Neuerungen.

Quelle: c't: 20/2004/S.102

Datentransferraten im Vergleich

Frontsidebus	Frequenz/Verfahren	theoretisch maximale Datentransferrate	passender Hauptspeicher
FSB100 (Intel Pentium II, Pentium III, Celeron)	100 MHz SDR	800 Mio. Byte/s	1 × PC100 (100 MHz SDR)
FSB133 (Intel Pentium III, Celeron, VIA C3)	133 MHz SDR	1,066 Mrd. Byte/s	1 × PC133 (133 MHz DDR)
FSB200 (VIA C3)	200 MHz SDR	1,6 Mrd. Byte/s	1 × PC1600 (100 MHz DDR)
FSB200 (AMD Athlon, Duron)	100 MHz DDR	1,6 Mrd. Byte/s	1 × PC1600 (100 MHz DDR)
FSB266 (AMD Athlon, Athlon XP, Duron)	133 MHz DDR	2,1 Mrd. Byte/s	1 × PC2100 (133 MHz DDR)
FSB333 (AMD Athlon XP, Sempron)	166 MHz DDR	2,7 Mrd. Byte/s	1 × PC2700 (166 MHz DDR)
FSB400 (AMD Athlon XP)	200 MHz DDR	3,2 Mrd. Byte/s	1 × PC3200 (200 MHz DDR)
FSB400 (Intel Pentium 4, Celeron, Xeon)	100 MHz QDR	3,2 Mrd. Byte/s	1 × PC3200 (200 MHz DDR)
FSB533 (Intel Pentium 4, Celeron, Xeon)	133 MHz QDR	4,3 Mrd. Byte/s	2 × PC2100 (133 MHz DDR)
FSB800 (Intel Pentium 4, Xeon)	200 MHz QDR	6,4 Mrd. Byte/s	2 × PC3200 (200 MHz DDR)
FSB1066 (Intel Pentium 4, Xeon)	266 MHz QDR	8,5 Mrd. Byte/s	2 × PC2-4300 (266 MHz DDR2)
Hyper-Transport (x16, AMD64)	800 MHz DDR	6,4 Mrd. Byte/s	2 × PC3200 (200 MHz DDR)
Hyper-Transport (x16, AMD64)	1 GHz DDR	8,0 Mrd. Byte/s	2 × PC2-4300 (266 MHz DDR2)

Quelle: c't: 20/2004/S.111

Chipsätze (Stand 2004)

Prozessoren, Sockel, Chipsätze und Speicher

Prozessor-Fassung	Prozessoren	Frequenzbereich	(noch) aktuelle Chipsätze	Speicher	Grafikport	PCI-X	PCIe	SATA
LGA775 (Sockel T), FSB800	Pentium 4 Extreme Edition, Pentium 4 mit HT (Prescott-Kern)	2,8 bis 3,6 GHz	Intel i925X (Alderwood), i915-Familie (Grantsdale), SiS656	PC2-4300, PC2-3200, PC3200	PCIe x16	–	✓	✓ (RAID)
Sockel 478, FSB800	Pentium 4 Extreme Edition, Pentium 4 mit HT (Prescott- und Northwood-Kerne)	2,4 bis 3,4 GHz	Intel i875P (Canterwood), i865-Familie (Springdale), ATI Radeon 9100 IGP, SiS655, SiS661, SiS648FX, VIA PT800	PC3200, PC2700	AGP-8X	–	–	✓ (i875/865, PT800) (RAID)
Sockel 478, FSB533	Pentium 4 (Northwood-Kern), Celeron D (Prescott)	2,26 bis 3,06 GHz	Intel E7205 (Granite Bay), i845PE/GE (Brookdale), i850E (Tehama), SiS648, VIA P4X400	PC2700, PC2100, Rambus	AGP-8X	–	–	–
Sockel 478, FSB400	Pentium 4 (Northwood-Kern), Celeron (Northwood)	1,8 bis 2,8 GHz	Intel i845P/G (Brookdale), i850 (Tehama), VIA P4X266	PC2100, Rambus	AGP-8X	–	–	–
Sockel 940	Opteron, Athlon 64 FX (SledgeHammer)	1,6 bis 2,4 GHz	AMD-8000, Nvidia nForce3 Pro, SiS755, SiS760, VIA K8T800 (Pro)	PC3200R, PC2700R (reg.)	AGP-8X	AMD-8000	–	✓ (RAID) (K8T800)
Sockel 939	Athlon 64 (Clawhammer), Athlon 64 FX (Sledgehammer)	2 bis 2,4 GHz	Nvidia nForce3 Pro, SiS755FX, VIA K8T800 Pro	PC3200	AGP-8X	–	–	✓ (RAID) (K8T800 Pro)
Sockel 754	Athlon 64 (Clawhammer, Newcastle), Sempron	1,8 bis 2,2 GHz	AMD-8000, Nvidia nForce3, SiS755, SiS760, VIA K8T800	PC3200	AGP-8X	–	–	✓ (RAID) (K8T800)
Sockel A	Athlon XP (Thoroughbred, Barton), Duron (Applebred, Morgan), Sempron	bis 2,2 GHz	Nvidia nForce2 (diverse), SiS748, SiS741, SiS740, VIA KT880, KT800, KT600, KT400A	PC3200, PC2700, PC2100	AGP-8X	–	–	✓ (RAID) (VIA ab KT600)
Sockel 370	Pentium III, Celeron (Tualatin), VIA C3 (Nehemiah)	bis 1,4 GHz	i815E (Solano), VIA CLE266 (Castle Rock), CN400, PLE133	PC2700, PC2100, PC133, PC100	AGP-4X	–	–	–
✓ vorhanden – nicht vorhanden								

Quelle: c't: 20/2004/S.112

AMD: (Elektronik: 26/2002/S.25)

- ◆ Hohe Speicherbandbreite für Pentium 4 und Athlon Prozessoren durch DDR-SDRAM-Chipsätze (Double-Data-Rate) vom taiwanesischen Chiphersteller Via Technologies (266 MHz)
- ◆ Pro-Savage-8-Grafikkern von S3 ist auf dem Northbridge-Chip integriert
- ◆ Geeignet für APX- und μ APX-Formate
- ◆ Ende 2002 sollen Chipsätze verfügbar sein, die DDR333 Unterstützung bieten.

Intel: (Elektronik: 1/2002/S20)

- ◆ **North-Bridge i845 Chipsatz** mit DDR-Speicherinterface für Pentium 4, 0,13 μm Fertigung. Die North-Bridge kann jetzt auch DDR200- und DDR266-Speichermodule ansteuern. Das Platinenlayout legt fest, ob SDRAMs (3 Sockel) oder DDR-SDRAMs (nur 2 Sockel) in den Speichersteckplätzen verwendet werden können. Der maximale Speicherausbau liegt somit für SDRAMs bei 3 GByte und für DDR-SDRAMs bei 2 Gbyte. Intel setzt dennoch weiter auf Rambus-Chipsätze.
- ◆ Ziel: z.Zt. 400 MHz (Ziel Ende 2002 sind 533 MHz für den Prozessorbus)
- ◆ **South-Bridge ICH2 (I/O-Controller Hub):**
- ◆ Noch keine Unterstützung von USB 2.0. ATA-100 verfügbar. ATA-133-Standard für den Festplattenanschluss will Intel nicht mehr in seine Bausteine integrieren. Geplant ist der Übergang zu einem serial ATA. Ein Chipsatz mit integriertem USB 2.0 erwartet Intel Mitte 2002.
- ◆ **Pentium 4:**
- ◆ 0,13 μm auf 300mm Wafer. 2,0 und 2,2 GHz. Verlustleistung knapp über 70 Watt. 55 Mio. Transistoren. Sockel 478 Spezifikation. 512 kByte L2-Cache.
- ◆ www.viavpsd.com

Bushierarchie und E/A-System

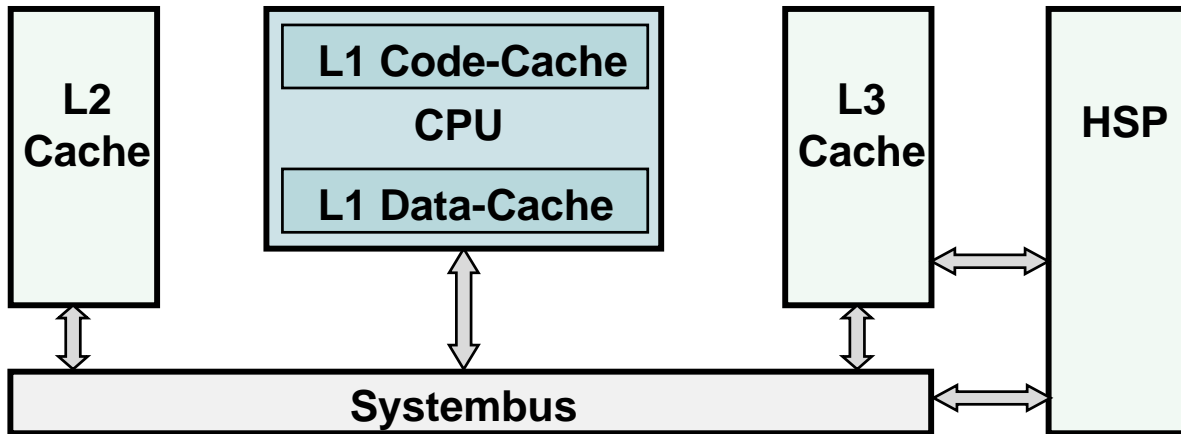


Bild1: Systembus-Struktur

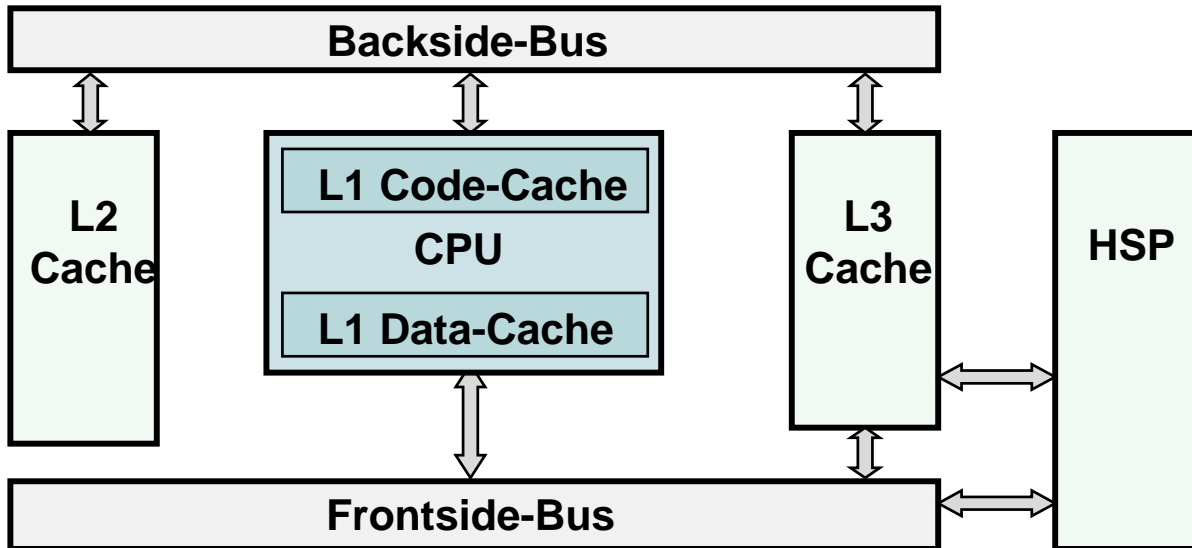


Bild2: Frontside-/Backside-Bus-Struktur

Bushierarchie und E/A-System

Systembus

- ◆ Der System- oder CPU-Bus verbindet den Prozessor direkt oder über zwischengeschaltete Steuerbausteine (Chipsets) mit dem Hauptspeicher. Darüber hinaus stellt er die Verbindung zu L2- und L3-Caches her, sofern für diese keine eigene Busse vorhanden sind (siehe Bild 1).
- ◆ Bei leistungsstarken Prozessoren haben sich dagegen Systemstrukturen mit separaten Bussen für Hauptspeicher-/Peripheriezugriffe einerseits (*Frontside-Bus*) und L2-Cache-Zugriffe andererseits (*Backside-Bus*) durchgesetzt (siehe Bild 2), die von Chipsets unterstützt werden. Ist zusätzlich ein L3-Cache vorhanden, so kann der CPU-Kern auch darauf zugreifen - über teilweise separate Datenwege.

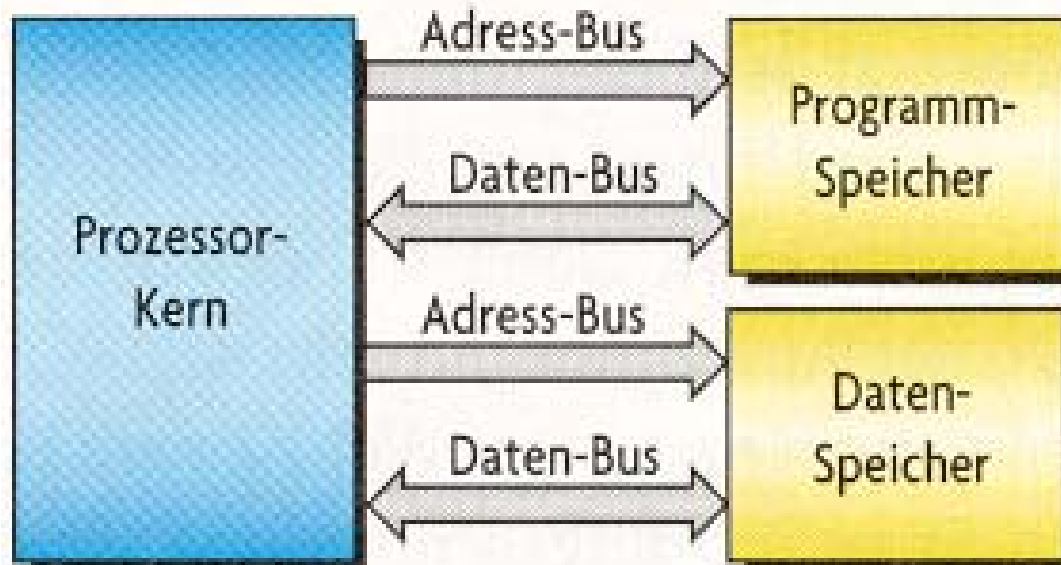
◆ Chipsets

- ◆ Chipsets koordinieren das Zusammenspiel von CPU, Cache, DRAM-Hauptspeicher und Peripheriebussen in Mikroprozessorsystemen und Multiprozessor-Servern. Der Chipset übernimmt unter anderem die effiziente Ansteuerung des Hauptspeichers (DRAM Controller), paralleler und serieller Peripheriebusse (z.B. PCI, USB) und des Plattenlaufwerks (z.B. Master IDE).
- ◆ Systembusse sind meist schnell getaktet und folgen einem standardisierten oder proprietären Busprotokoll. Über Chipsetfunktionalität wird das Busprotokoll umgesetzt in DRAM-Hauptspeicherzugriffe oder Standardprotokolle für schnelle Peripherie (z.B. Grafikcontroller), mäßig schnelle Peripherie (z.B. PCI-Bus-Peripherie) oder langsame Peripherie (z.B. serielle Schnittstellen).

Von-Neumann-Architektur

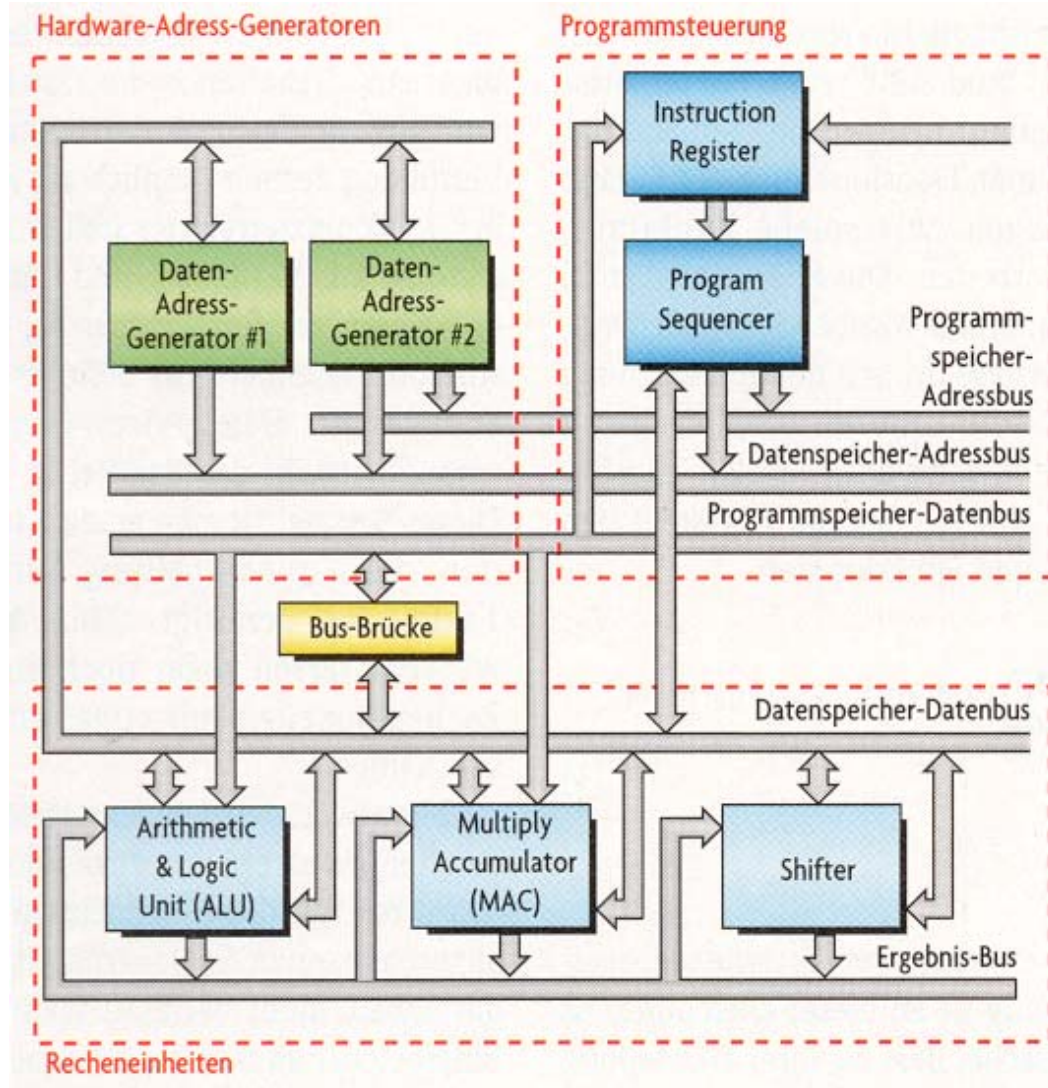


Harvard-Architektur



Durch die Trennung in Programm- und Datenspeicher kann bei der Harvard-Architektur in einem Taktzyklus sowohl ein Befehl wie auch ein Datenwort geholt werden.

DSP-Architektur (Beispiel: Analog Devices)



**Detaillierter Blick ins Innere
eines 16-bit-DSP-Kerns
von Analog Devices
(ADSP-2100 Familie)**