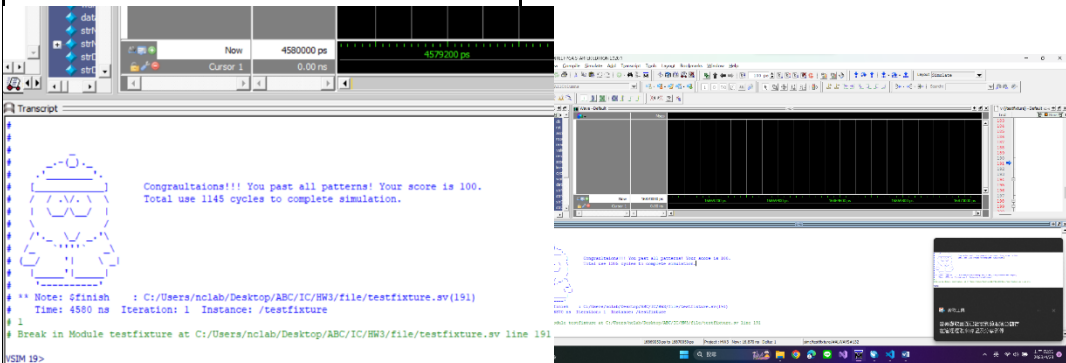
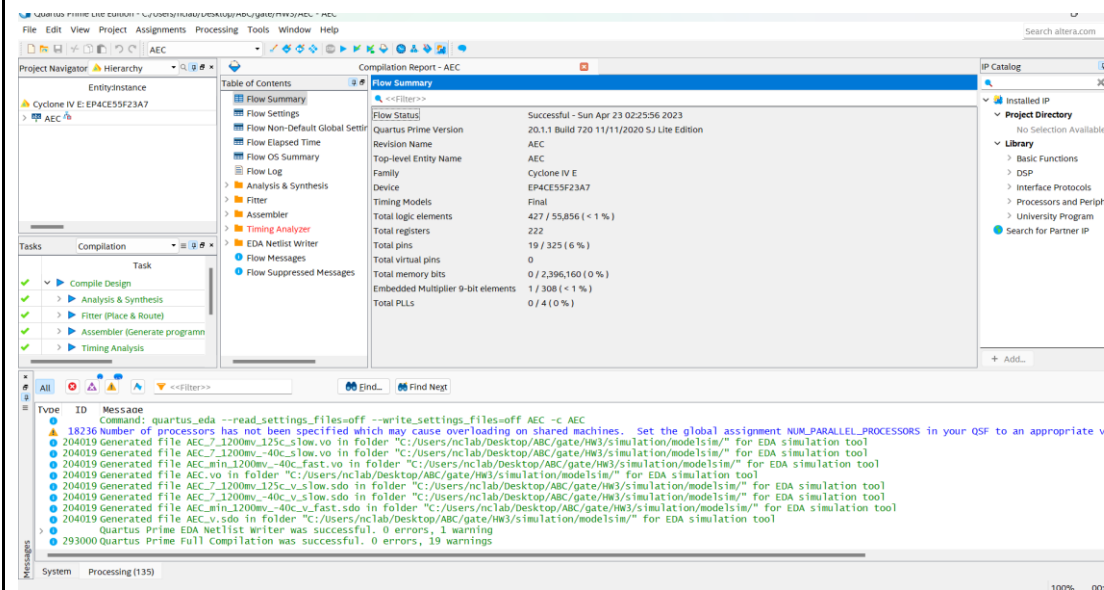


## 2023 Digital IC Design Homework 3

NAME	蔡明璋		
Student ID	N96111540		
Simulation Result			
Functional simulation	100	Gate-level simulation	100/7355320
			
Synthesis Result			
Total logic elements	427		
Total memory bits	0		
Embedded multiplier 9-bit elements	1		
Total cycle used	1205		
Clock width	14		
			
Description of your design			

先做了很多 state 的版本，之後慢慢將能整合的部分合在一起減少時間，同時也能減少 reg 的數量(從[3:0]到[2:0])，過程是先將 ascii 讀近來，根據值判斷數字還是運算子，將要接收並記錄的 stack 命名為 infix 為 5\*15 的陣列，15 是盡可能小的數量，5 是我決定要這樣設的，透過將第 4 個 bit 為 1，可以快速判斷裡面的東西是數字還是運算子，在做下一步的動作。

```
case (ascii_in)
  43:begin infix[infix_size]<=5'b10010; end //+
  45:begin infix[infix_size]<=5'b10001; end //-
  42:begin infix[infix_size]<=5'b10111; end //*
  40:begin infix[infix_size]<=5'b11001; end //(
  41:begin infix[infix_size]<=5'b11000; end //)
endcase
```

在 infix 開始裝東西之後 postfix 也可以開始排序了，配合 stk 一起使用，stk 用來裝一些運算子，infix\_idx 會指向要放的東西，postfix\_size 會在添加新元素時增加，透過一些比較可以將 infix 轉成 postfix，排序的過程比較花時間，所以可以同時進行，另外在排 postfix 時，我也開始計算值，放在 f 裡面，要注意的是計算很快，比排序快，所以要限制指針(我的想像)不能走得比排的還快，在排好的下一兩個 clk，result 就會被生出來，就像我說的，我先做一個一個來的版本，大約需要 2300 個 cycle，在合併第一二部份後來到 1900cycle，合併 123 後來到 1401，我覺得挺好的，主要是我也想不到還能怎麼快了，能改善的部分大概是還能多用一些 switch 會減少一些元件，搞不好能繼續減少 cycle 時間長度(17)，有一些 reg 可能可以重複使用，但我現在還做不到，作業 4 再說。更.後來發現有地方可改善，循環減到 1145。又更，現在 2023/4/23 把元件減少到 427，內容作法概念跟第一部是一樣的，成績也比第二整(直接排序)的好。

*Scoring = Area cost \* Timing cost*

*Area cost = Total logic elements + Total memory bits + 9\*Embedded multipliers 9-bit elements*

*Timing cost = Total cycle used \* Clock width*

**\* Total logic elements must not exceed 1500.**