

**ΟΙΚΟΝΟΜΙΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ**  
**Αρχιτεκτονική Υπολογιστών**

**Εργαστηριακή Άσκηση 1 (25% εργαστηριακού βαθμού)**

**Ομαδική εργασία σε ομάδες τριών (3) μελών**

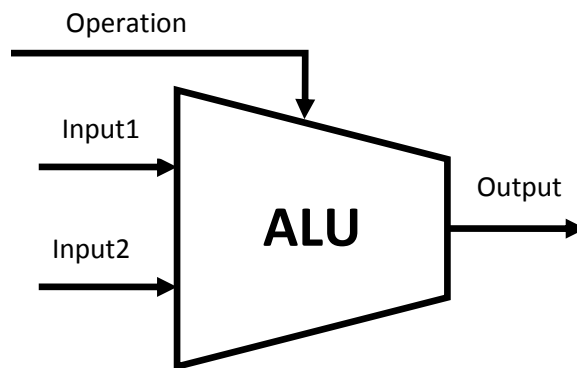
**Ημερ/νία παράδοσης: 28/4/2021, 12.00 μεσημέρι (μέσω e-class)**

- Για όλα τα προβλήματα να πραγματοποιήσετε functional και timing simulation για το πρόβλημα ώστε να επαληθεύσετε τη σωστή λειτουργία του κυκλώματος. Για κάθε κύκλωμα θα πρέπει να παραδίδετε το αρχείο VHDL, το RTL διάγραμμα του κυκλώματος (σε μορφή εικόνας) καθώς και το functional και timing simulation (σε μορφή εικόνας)
- Χρησιμοποιήστε τα ονόματα όταν σας δίνονται για input/output του κυκλώματος.
- Να έχετε (λίγα αλλά περιεκτικά) σχόλια στη VHDL όταν χρειάζεται να εξηγήσετε «δύσκολα» κομμάτια κώδικα, ρουτίνες, κλπ.
- Γράψτε (σε σχόλια στην αρχή του προγράμματος) **τα ονόματά σας και τους ΑΜ.**

### 1) ALU

α) Θα κατασκευάσετε με VHDL σε **structural κώδικα** (όχι σε behavioral, πρέπει να σχεδιάσετε πύλη-προς-πύλη το εργαστήριο αυτό χωρίς να χρησιμοποιήσετε δομικά στοιχεία του Quartus αλλά μόνο αυτά που θα ορίσετε εσείς) μια ALU για κάποιον επεξεργαστή.

Το κύκλωμα θα παίρνει σαν είσοδο δύο 16-bit αριθμούς και ένα 3-bit σήμα το οποίο δηλώνει την πράξη που πρέπει να εκτελεστεί, και θα βγάζει το 16-bit αποτέλεσμα.



Εντολή	Περιγραφή	Πράξη	Operation
ADD	Πρόσθεση	$O = I1 + I2$	000
SUB	Αφαίρεση	$O = I1 - I2$	001
AND	Λογικό AND (bit προς bit)	$O = I1 \text{ AND } I2$	010
OR	Λογικό OR (bit προς bit)	$O = I1 \text{ OR } I2$	011
GEQ	Μεγαλύτερο-Ίσο (Greater Equal)	$O = (I1 \geq 0)$	100
NOT	Not	$O = (I1 == 0)$	101

- Οι αριθμοί θα είναι σε μορφή συμπλήρωμα ως προς 2, συνεπώς οι πράξεις θα πρέπει να γίνονται όπως ορίζονται στο πακέτο *ieee.std\_logic\_signed.all*
- Η εντολή GEQ βάζει στο Output τον αριθμό 1 εάν το Input1 είναι μη αρνητικός ( $\geq 0$ ) ή τον αριθμό 0 εάν είναι αρνητικός ( $< 0$ ). Γι' αυτό μας βοηθάει το πιο σημαντικό ψηφίο του.
- Η εντολή NOT βάζει στο Output τον αριθμό 1 (15 bit 0 και το LSB 1) εάν το Input1 είναι 0 ή τον αριθμό 0 εάν είναι διάφορο του 0. **ΔΕΝ** αλλάζει τον αριθμό bit προς bit.

### Αποστολή και Παρατηρήσεις:

- Για κάθε κύκλωμα θα πρέπει να παραδίδετε το αρχείο VHDL, το RTL διάγραμμα του κυκλώματος (σε μορφή εικόνας) καθώς και το functional simulation (σε μορφή εικόνας)
- Στην αρχή των αρχείων παράδοσης, γράψτε σε comments τα ονόματα της ομάδας σας και τα ΑΜ σας
- Καλούνται οι φοιτητές της ομάδας να αποθηκεύσουν το έργο τους σε αρχείο με όνομα *ergasia1.zip*
- Η παράδοση της άσκησης θα πρέπει να γίνει μέσω του e-class από την επιλογή Εργασίες Φοιτητών σύμφωνα με το παρακάτω υπόδειγμα.

Εργασίες μαθήματος ⓘ

Τίτλος:	Στοιχεία εργασίας
Παραγραφή:	Εργαστηριακή Άσκηση 1
Προβλεπόμενη έναρξη:	Δείτε την Εγκρίση που έχει αναρτηθεί στα Έγγραφα
Προβλεπόμενη υποβολή:	01-03-2010
Έναρξη εργασιών:	24-03-2010 (σημαίνουν 23 ημέρες)
Ομάδα:	Ομάδα 1

Αρχείο:	Υποβολή	Αποδέλωση
Εικόνα:	Υποβολή	

Αν στείλετε κάποιο άλλο αρχείο, το αρχείο που υπάρχει αυτή τη στιγμή θα διαγραφεί και θα αντικατασταθεί με το νέο.

Επιστροφή

Α) Επισύναψη

Υποβολή