https://controllerstech.com/stm32-i2c-configuration-using-registers/

F407

I2C Control register 1 (I2C\_CR1)

Бит 15 SWRST: Программный сброс

Если установлен, I2C находится в состоянии сброса. Перед сбросом этого бита убедитесь, что линии I2C

освобождены и шина свободна.

0: Периферийное устройство I2C не находится в состоянии сброса

1: Периферийное устройство I2C находится в состоянии сброса

Примечание: этот бит можно использовать в случае, если бит BUSY установлен в «1», когда на шине не обнаружено состояние остановки.

Бит 14 Зарезервирован, должен поддерживаться в значении сброса

Бит 13 ALERT: Оповещение SMBus

Этот бит устанавливается и очищается программным обеспечением и очищается аппаратно, когда PE=0.

0: Освобождает вывод SMBA в высоком состоянии. Заголовок адреса ответа оповещения, за которым следует NACK.

1: Переводит вывод SMBA в низкое состояние. Заголовок адреса ответа оповещения, за которым следует ACK.

Бит 12 PEC: проверка ошибок пакета

Этот бит устанавливается и очищается программным обеспечением и очищается аппаратно при передаче PEC или

условием START или Stop или когда PE=0.

0: Нет передачи PEC

1: Передача PEC (в режиме Tx или Rx)

Примечание: расчет PEC поврежден из-за потери арбитража

Бит 11 POS: Подтверждение/позиция PEC (для приема данных)

Этот бит устанавливается и очищается программным обеспечением и очищается аппаратно, когда PE=0.

0: Бит ACK управляет (N)ACK текущего байта, принимаемого в сдвиговом регистре. Бит PEC указывает, что текущий байт в сдвиговом регистре является PEC.

1: Бит ACK управляет (N)ACK следующего байта, который будет получен в сдвиговом регистре.

Бит PEC указывает, что следующий байт в сдвиговом регистре является PEC

Примечание: Бит POS должен использоваться только в конфигурации приема 2 байтов в режиме master. Он

должен быть настроен до начала приема данных, как описано в процедуре приема 2-байтов, рекомендованной в Разделе: Главный приемник на стр. 583.

Примечание:

Бит 10 ACK: включение подтверждения

Этот бит устанавливается и сбрасывается программным обеспечением и сбрасывается аппаратным обеспечением, когда PE=0.

0: подтверждение не возвращается

1: подтверждение возвращается после получения байта (соответствующий адрес или данные)

Бит 9 STOP: остановка генерации

Бит устанавливается и сбрасывается программным обеспечением, сбрасывается аппаратным обеспечением при обнаружении условия Stop, устанавливается аппаратным обеспечением при обнаружении ошибки тайм-аута.

В режиме Master:

0: генерация Stop не выполняется.

1: генерация Stop прекращается после передачи текущего байта или после отправки текущего условия Start.

В режиме Slave:

0: генерация Stop не выполняется.

1: освобождение линий SCL и SDA после передачи текущего байта.

Примечание: Если установлен бит STOP, START или PEC, программное обеспечение не должно выполнять никаких записей в I2C\_CR1 до того, как этот бит будет очищен аппаратно. В противном случае существует риск установки второго запроса STOP, START или PEC.

Бит 8 START: Генерация запуска

Этот бит устанавливается и очищается программно и очищается аппаратно, когда отправляется start или PE=0.

В режиме Master:

0: Генерация запуска отсутствует

1: Повторная генерация запуска

В режиме Slave:

0: Генерация запуска отсутствует

1: Генерация запуска, когда шина свободна

Бит 7 NOSTRETCH: Отключение растяжения тактовой частоты (режим Slave)

Этот бит используется для отключения растяжения тактовой частоты в режиме Slave, когда установлен флаг ADDR или BTF, пока он не будет сброшен программно.

0: Растягивание тактовой частоты включено

1: Растягивание тактовой частоты выключено

Бит 6 ENGC: Включение общего вызова

0: Общий вызов отключен. Адрес 00h NACKed.

1: Общий вызов включен. Адрес 00h подтвержден.

Бит 5 ENPEC: включение PEC

0: расчет PEC отключен

1: расчет PEC включен

Бит 4 ENARP: включение ARP

0: отключение ARP

1: включение ARP

Адрес устройства SMBus по умолчанию распознается, если SMBTYPE=0

Адрес хоста SMBus распознается, если SMBTYPE=1

Бит 3 SMBTYPE: тип SMBus

0: устройство SMBus

1: хост SMBus

Бит 2 Зарезервирован, должен быть сохранен в значении сброса

Бит 1 SMBUS: режим SMBus

0: режим I2C

1: режим SMBus

Бит 0 PE: включение периферии

0: отключение периферии

1: включение периферии: соответствующие IO выбираются как альтернативные функции в зависимости от бита SMBus.

Примечание: если этот бит сбрасывается во время сеанса связи, периферия отключается в конце текущего сеанса связи при возврате в состояние IDLE.

Все сбросы битов из-за PE=0 происходят в конце коммуникации.

В режиме мастера этот бит не должен сбрасываться до окончания коммуникации.

I2C Control register 2 (I2C\_CR2)

Биты 15:13 Зарезервированы, должны быть сохранены в значении сброса

Бит 12 LAST: последняя передача DMA

0: следующая EOT DMA не является последней передачей

1: следующая EOT DMA является последней передачей

Примечание: этот бит используется в режиме главного приемника для разрешения генерации NACK для последних

полученных данных.

Бит 11 DMAEN: запросы DMA включены

0: запросы DMA отключены

1: запрос DMA включен, когда TxE=1 или RxNE =1

Бит 10 ITBUFEN: прерывание буфера включено

0: TxE = 1 или RxNE = 1 не генерирует прерывание.

1:TxE = 1 или RxNE = 1 генерирует прерывание события (независимо от состояния DMAEN)

Бит 9 ITEVTEN: включение прерывания события

0: прерывание события отключено

1: прерывание события включено

Это прерывание генерируется, когда:

–SB = 1 (ведущий)

–ADDR = 1 (ведущий/ведомый)

–ADD10= 1 (ведущий)

–STOPF = 1 (ведомый)

–BTF = 1 без события TxE или RxNE

–событие TxE в 1, если ITBUFEN = 1

–событие RxNE в 1, если ITBUFEN = 1

Бит 8 ITERREN: включение прерывания ошибки

0: прерывание ошибки отключено

1: прерывание ошибки включено

Это прерывание генерируется, когда:

– BERR = 1

– ARLO = 1

– AF = 1

– OVR = 1

– PECERR = 1

– TIMEOUT = 1

– SMBALERT = 1

Биты 7:6 Зарезервированы, должны быть сохранены в значении сброса

Биты 5:0 FREQ[5:0]: Частота периферийного тактового сигнала

Частота периферийного тактового сигнала должна быть настроена с использованием входной частоты тактового сигнала APB (периферийное устройство I2C подключено к APB). Минимально допустимая частота составляет 2 МГц, максимальная частота ограничена максимальной частотой APB 42 МГц и внутренним ограничением 46 МГц.

0b000000: Не разрешено

0b000001: Не разрешено

0b000010: 2 МГц

...

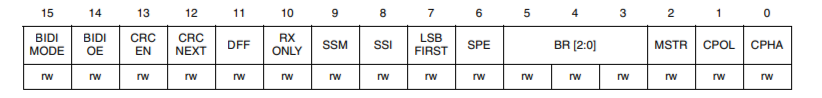
0b101010: 42 МГц

Выше 0b101010: Не разрешено

……………………………………………………………………………………………………………………………………………………………….

F103

SPI control register 1 (SPI\_CR1) (not used in I2S mode)



Бит 15 BIDIMODE: включение режима двунаправленных данных

0: выбран режим однонаправленных данных по 2 линиям

1: выбран режим двунаправленных данных по 1 линии

Примечание: не используется в режиме I2S

Бит 14 BIDIOE: включение вывода в двунаправленном режиме

Этот бит в сочетании с битом BIDImode выбирает направление передачи в двунаправленном режиме

0: вывод отключен (режим только приема)

1: вывод включен (режим только передачи)

Примечание: в режиме ведущего используется вывод MOSI, а в режиме ведомого используется вывод MISO.

Не используется в режиме I2S

Бит 13 CRCEN: аппаратный расчет CRC включен

0: расчет CRC отключен

1: расчет CRC включен

Примечание: этот бит следует записывать только при отключенном SPI (SPE = ‘0’) для корректной работы

Не используется в режиме I2S

Бит 12 CRCNEXT: следующая передача CRC

0: фаза данных (без фазы CRC)

1: следующая передача — CRC (фаза CRC)

Примечание: когда SPI настроен в полнодуплексном режиме или режиме только передатчика, CRCNEXT должен быть

записан, как только последние данные будут записаны в регистр SPI\_DR.

Когда SPI настроен в режиме только приемника, CRCNEXT должен быть установлен после

второго последнего приема данных.

Этот бит следует держать очищенным, когда передачи управляются DMA.

Не используется в режиме I2S

Бит 11 DFF: Формат кадра данных

0: Для передачи/приема выбран 8-битный формат кадра данных

1: Для передачи/приема выбран 16-битный формат кадра данных

Примечание: Этот бит следует записывать только при отключенном SPI (SPE = ‘0’) для корректной работы

Не используется в режиме I2S

Бит 10 RXONLY: Только прием

Этот бит в сочетании с битом BIDImode выбирает направление передачи в 2-линейном

однонаправленном режиме. Этот бит также полезен в многоведомой системе, в которой к этому конкретному

ведомому устройству нет доступа, вывод от полученного ведомого устройства не искажается.

0: Полный дуплекс (передача и прием)

1: Выход отключен (режим только приема)

Примечание: Не используется в режиме I2S

Бит 9 SSM: Программное управление ведомым устройством

Когда установлен бит SSM, входной сигнал контакта NSS заменяется значением из бита SSI.

0: Программное управление подчиненным устройством отключено

1: Программное управление подчиненным устройством включено

Примечание: Не используется в режиме I2S

Бит 8 SSI: Внутренний выбор подчиненного устройства

Этот бит действует только при установленном бите SSM. Значение этого бита принудительно устанавливается на

контакт NSS, а значение IO контакта NSS игнорируется.

Примечание: Не используется в режиме I2S

Бит 7 LSBFIRST: Формат кадра

0: Сначала передается MSB

1: Сначала передается LSB

Примечание: Этот бит не следует изменять во время обмена данными.

Не используется в режиме I2S

Бит 6 SPE: Включение SPI

0: Периферийное устройство отключено

1: Периферийное устройство включено

Примечание: 1- Не используется в режиме I2S.

Примечание: 2- При отключении SPI следуйте процедуре, описанной в Разделе 25.3.8: Отключение

SPI.

Биты 5:3 BR[2:0]: Управление скоростью передачи данных

000: fPCLK/2 100: fPCLK/32

001: fPCLK/4 101: fPCLK/64

010: fPCLK/8 110: fPCLK/128

011: fPCLK/16 111: fPCLK/256

Примечание: эти биты не следует изменять во время обмена данными.

Не используется в режиме I2S

Бит 2 MSTR: Выбор ведущего устройства

0: Конфигурация ведомого устройства

1: Конфигурация ведущего устройства

Примечание: этот бит не следует изменять во время обмена данными.

Не используется в режиме I2S

Бит 1 CPOL: Полярность часов

0: CK в 0 в режиме ожидания

1: CK в 1 в режиме ожидания

Примечание: этот бит не следует изменять во время обмена данными.

Не используется в режиме I2S

Бит 0 CPHA: Фаза тактового сигнала

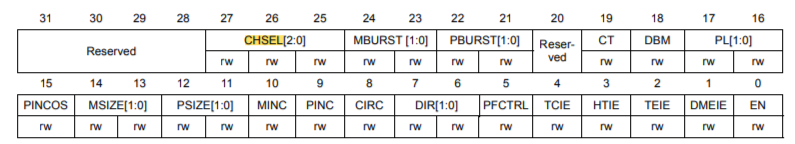
0: Первый переход тактового сигнала является первым фронтом захвата данных

1: Второй переход тактового сигнала является первым фронтом захвата данных

Примечание: этот бит не следует изменять во время сеанса связи.

Примечание: Не используется в режиме I2S

F407

DMA stream x configuration register (DMA\_SxCR) (x = 0..7) This register is used to configure the concerned stream. Address offset: 0x10 + 0x18 × stream number Reset value: 0x0000 0000

Биты 31:28 Зарезервированы, должны быть сохранены в значении сброса.

Биты 27:25 CHSEL[2:0]: Выбор канала

Эти биты устанавливаются и сбрасываются программным обеспечением.

000: выбран канал 0

001: выбран канал 1

010: выбран канал 2

011: выбран канал 3

100: выбран канал 4

101: выбран канал 5

110: выбран канал 6

111: выбран канал 7

Эти биты защищены и могут быть записаны, только если EN равен «0»

Биты 24:23 MBURST: Конфигурация передачи пакета памяти

Эти биты устанавливаются и сбрасываются программным обеспечением.

00: одиночная передача

01: INCR4 (инкрементный пакет из 4 ударов)

10: INCR8 (инкрементный пакет из 8 ударов)

11: INCR16 (инкрементный пакет из 16 ударов)

Эти биты защищены и могут быть записаны, только если EN равен «0»

В прямом режиме эти биты принудительно устанавливаются в 0x0 аппаратным обеспечением, как только бит EN = «1».

Биты 22:21 PBURST[1:0]: Конфигурация периферийной пакетной передачи

Эти биты устанавливаются и очищаются программным обеспечением.

00: одиночная передача

01: INCR4 (инкрементальный пакет из 4 ударов)

10: INCR8 (инкрементальный пакет из 8 ударов)

11: INCR16 (инкрементальный пакет из 16 ударов)

Эти биты защищены и могут быть записаны, только если EN равен «0»

В прямом режиме эти биты принудительно устанавливаются в 0x0 аппаратно.

Бит 20 Зарезервирован, должен сохраняться в значении сброса.

Бит 19 CT: Текущая цель (только в режиме двойной буферизации)

Эти биты устанавливаются и очищаются аппаратно. Также их можно записывать программно.

0: Текущая целевая память — это память 0 (адресуется указателем DMA\_SxM0AR)

1: Текущая целевая память — это память 1 (адресуется указателем DMA\_SxM1AR)

Этот бит может быть записан, только если EN равен «0», что указывает на целевую область памяти первой передачи.

После включения потока этот бит работает как флаг состояния, указывающий, какая область памяти является текущей целью.

Бит 18 DBM: режим двойной буферизации

Эти биты устанавливаются и очищаются программным обеспечением.

0: нет переключения буфера в конце передачи

1: целевой объект памяти переключается в конце передачи DMA

Этот бит защищен и может быть записан, только если EN равен «0».

Биты 17:16 PL[1:0]: уровень приоритета

Эти биты устанавливаются и очищаются программным обеспечением.

00: низкий

01: средний

10: высокий

11: очень высокий

Эти биты защищены и могут быть записаны, только если EN равен «0».

Бит 15 PINCOS: размер смещения периферийного приращения

Этот бит устанавливается и очищается программным обеспечением

0: размер смещения для расчета периферийного адреса связан с PSIZE

1: размер смещения для расчета периферийного адреса фиксирован и равен 4 (32-битное выравнивание).

Этот бит не имеет значения, если бит PINC = '0'.

Этот бит защищен и может быть записан, только если EN = '0'.

Этот бит принудительно устанавливается на низкий уровень аппаратно, когда поток включен (бит EN = '1'), если выбран прямой режим или если PBURST отличен от «00».

Биты 14:13 MSIZE[1:0]: Размер данных памяти

Эти биты устанавливаются и очищаются программным обеспечением.

00: байт (8 бит)

01: полуслово (16 бит)

10: слово (32 бита)

11: зарезервировано

Эти биты защищены и могут быть записаны, только если EN равен «0».

В прямом режиме MSIZE принудительно устанавливается аппаратно на то же значение, что и PSIZE, как только бит EN

= '1'.

Биты 12:11 PSIZE[1:0]: Размер периферийных данных

Эти биты устанавливаются и очищаются программным обеспечением.

00: Байт (8 бит)

01: Полуслово (16 бит)

10: Слово (32 бита)

11: зарезервировано

Эти биты защищены и могут быть записаны, только если EN равен «0»

Бит 10 MINC: Режим приращения памяти

Этот бит устанавливается и очищается программным обеспечением.

0: Указатель адреса памяти фиксирован

1: Указатель адреса памяти увеличивается после каждой передачи данных (приращение выполняется в соответствии с MSIZE)

Этот бит защищен и может быть записан, только если EN равен «0».

Бит 9 PINC: Режим приращения периферийных устройств

Этот бит устанавливается и очищается программным обеспечением.

0: Указатель адреса периферийных устройств фиксирован

1: Указатель адреса периферийных устройств увеличивается после каждой передачи данных (приращение выполняется в соответствии с PSIZE)

Этот бит защищен и может быть записан, только если EN равен «0».

Бит 8 CIRC: кольцевой режим

Этот бит устанавливается и сбрасывается программным обеспечением и может быть сброшен аппаратно.

0: кольцевой режим отключен

1: кольцевой режим включен

Когда периферийное устройство является контроллером потока (бит PFCTRL=1) и поток включен (бит EN=1), то этот бит автоматически принудительно устанавливается аппаратно в 0.

Он автоматически принудительно устанавливается аппаратно в 1, если установлен бит DBM, как только поток включен (бит EN ='1').

Биты 7:6 DIR[1:0]: направление передачи данных

Эти биты устанавливаются и сбрасываются программно.

00: периферийное устройство-память

01: память-периферийное устройство

10: память-память

11: зарезервировано

Эти биты защищены и могут быть записаны, только если EN равен '0'.

Бит 5 PFCTRL: периферийный контроллер потока

Этот бит устанавливается и сбрасывается программно.

0: DMA — контроллер потока

1: Периферийное устройство — контроллер потока

Этот бит защищен и может быть записан, только если EN равен «0».

Когда выбран режим «память-память» (биты DIR[1:0]=10), то этот бит

автоматически принудительно устанавливается в 0 аппаратно.

Бит 4 TCIE: Разрешение прерывания завершения передачи

Этот бит устанавливается и очищается программным обеспечением.

0: Прерывание TC отключено

1: Прерывание TC включено

Бит 3 HTIE: Разрешение прерывания полупередачи

Этот бит устанавливается и очищается программным обеспечением.

0: Прерывание HT отключено

1: Прерывание HT включено

Бит 2 TEIE: Прерывание

Бит 0 EN: включение потока / флаг готовности потока при считывании низкого уровня

Этот бит устанавливается и очищается программным обеспечением.

0: Поток отключен

1: Поток включен

Этот бит может быть очищен аппаратно:

– в конце передачи DMA (поток готов к настройке)

– если на главных шинах AHB происходит ошибка передачи

– когда порог FIFO на порту памяти AHB несовместим с размером

пакета

Когда этот бит считывается как 0, программному обеспечению разрешено программировать регистры битов конфигурации и FIFO. Запрещается записывать эти регистры, когда бит EN считывается как 1.

Примечание: перед установкой бита EN в «1» для начала новой передачи флаги событий c

DMA stream x number of data register (DMA\_SxNDTR) (x = 0..7)

Биты 31:16 Зарезервированы, должны быть сохранены в значении сброса.

Биты 15:0 NDT[15:0]: Количество элементов данных для передачи

Количество элементов данных для передачи (от 0 до 65535). Этот регистр может быть записан только

когда поток отключен. Когда поток включен, этот регистр доступен только для чтения,

указывая оставшиеся элементы данных для передачи. Этот регистр уменьшается после каждой

передачи DMA.

После завершения передачи этот регистр может либо оставаться на нуле (когда поток находится в

нормальном режиме), либо автоматически перезагружаться ранее запрограммированным значением в

следующих случаях:

– когда поток настроен в кольцевом режиме.

– когда поток снова включен путем установки бита EN в «1»

Если значение этого регистра равно нулю, транзакция не может быть выполнена, даже если поток

включен.

DMA stream x memory 0 address register (DMA\_SxM0AR) (x = 0..7)

Биты 31:0 M0A[31:0]: Адрес памяти 0

Базовый адрес области памяти 0, из/в которую считываются/записываются данные.

Эти биты защищены от записи. Они могут быть записаны только если:

– поток отключен (бит EN= '0' в регистре DMA\_SxCR) или

– поток включен (EN=’1’ в регистре DMA\_SxCR) и бит CT = '1' в

регистре DMA\_SxCR (в режиме двойного буфера).

DMA low interrupt flag clear register (DMA\_LIFCR)

Биты 31:28, 15:12 Зарезервированы, должны быть сохранены в значении сброса.

Биты 27, 21, 11, 5 CTCIFx: Поток x очистить флаг прерывания завершения передачи (x = 3..0)

Запись 1 в этот бит очищает соответствующий флаг TCIFx в регистре DMA\_LISR

Биты 26, 20, 10, 4 CHTIFx: Поток x очистить флаг прерывания полупередачи (x = 3..0)

Запись 1 в этот бит очищает соответствующий флаг HTIFx в регистре DMA\_LISR

Биты 25, 19, 9, 3 CTEIFx: Поток x очистить флаг прерывания ошибки передачи (x = 3..0)

Запись 1 в этот бит очищает соответствующий флаг TEIFx в регистре DMA\_LISR

Биты 24, 18, 8, 2 CDMEIFx: Поток x очистить флаг прерывания ошибки прямого режима (x = 3..0)

Запись 1 в этот бит очищает соответствующий флаг DMEIFx в регистре DMA\_LISR

Биты 23, 17, 7, 1 Зарезервированы, должны быть сохранены в значении сброса.

Биты 22, 16, 6, 0 CFEIFx: Поток x очищает флаг прерывания ошибки FIFO (x = 3..0)

Запись 1 в этот бит очищает соответствующий флаг CFEIFx в регистре DMA\_LISR

DMA F103

Биты 31:15 Зарезервированы, должны быть сохранены в значении сброса.

Бит 14 MEM2MEM: режим памяти в память

Этот бит устанавливается и очищается программным обеспечением.

0: режим памяти в память отключен

1: режим памяти в память включен

Биты 13:12 PL[1:0]: уровень приоритета канала

Эти биты устанавливаются и очищаются программным обеспечением.

00: низкий

01: средний

10: высокий

11: очень высокий

Биты 11:10 MSIZE[1:0]: размер памяти

Эти биты устанавливаются и очищаются программным обеспечением.

00: 8 бит

01: 16 бит

10: 32 бита

11: зарезервировано

Биты 9:8 PSIZE[1:0]: размер периферии

Эти биты устанавливаются и очищаются программным обеспечением.

00: 8 бит

01: 16 бит

10: 32 бита

11: Зарезервировано

Бит 7 MINC: Режим приращения памяти

Этот бит устанавливается и сбрасывается программным обеспечением.

0: Режим приращения памяти отключен

1: Режим приращения памяти включен

Бит 6 PINC: Режим периферийного приращения

Этот бит устанавливается и сбрасывается программным обеспечением.

0: Режим периферийного приращения отключен

1: Режим периферийного приращения включен

Бит 5 CIRC: Кольцевой режим

Этот бит устанавливается и сбрасывается программным обеспечением.

0: Кольцевой режим отключен

1: Кольцевой режим включен

Бит 4 DIR: Направление передачи данных

Этот бит устанавливается и сбрасывается программным обеспечением.

0: Чтение с периферийного устройства

1: Чтение из памяти

Бит 3 TEIE: Разрешение прерывания ошибки передачи

Этот бит устанавливается и сбрасывается программным обеспечением.

0: прерывание TE отключено

1: прерывание TE включено

Бит 2 HTIE: разрешение прерывания половинной передачи

Этот бит устанавливается и очищается программным обеспечением.

0: прерывание HT отключено

1: прерывание HT включено

Бит 1 TCIE: разрешение прерывания по завершению передачи

Этот бит устанавливается и очищается программным обеспечением.

0: прерывание TC отключено

1: прерывание TC включено

Бит 0 EN: разрешение канала

Этот бит устанавливается и очищается программным обеспечением.

0: канал отключен

1: канал включен