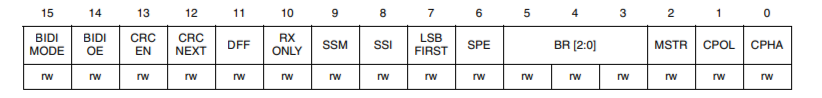
F103

SPI control register 1 (SPI\_CR1) (not used in I2S mode)



Бит 15 BIDIMODE: включение режима двунаправленных данных

0: выбран режим однонаправленных данных по 2 линиям

1: выбран режим двунаправленных данных по 1 линии

Примечание: не используется в режиме I2S

Бит 14 BIDIOE: включение вывода в двунаправленном режиме

Этот бит в сочетании с битом BIDImode выбирает направление передачи в двунаправленном режиме

0: вывод отключен (режим только приема)

1: вывод включен (режим только передачи)

Примечание: в режиме ведущего используется вывод MOSI, а в режиме ведомого используется вывод MISO.

Не используется в режиме I2S

Бит 13 CRCEN: аппаратный расчет CRC включен

0: расчет CRC отключен

1: расчет CRC включен

Примечание: этот бит следует записывать только при отключенном SPI (SPE = ‘0’) для корректной работы

Не используется в режиме I2S

Бит 12 CRCNEXT: следующая передача CRC

0: фаза данных (без фазы CRC)

1: следующая передача — CRC (фаза CRC)

Примечание: когда SPI настроен в полнодуплексном режиме или режиме только передатчика, CRCNEXT должен быть

записан, как только последние данные будут записаны в регистр SPI\_DR.

Когда SPI настроен в режиме только приемника, CRCNEXT должен быть установлен после

второго последнего приема данных.

Этот бит следует держать очищенным, когда передачи управляются DMA.

Не используется в режиме I2S

Бит 11 DFF: Формат кадра данных

0: Для передачи/приема выбран 8-битный формат кадра данных

1: Для передачи/приема выбран 16-битный формат кадра данных

Примечание: Этот бит следует записывать только при отключенном SPI (SPE = ‘0’) для корректной работы

Не используется в режиме I2S

Бит 10 RXONLY: Только прием

Этот бит в сочетании с битом BIDImode выбирает направление передачи в 2-линейном

однонаправленном режиме. Этот бит также полезен в многоведомой системе, в которой к этому конкретному

ведомому устройству нет доступа, вывод от полученного ведомого устройства не искажается.

0: Полный дуплекс (передача и прием)

1: Выход отключен (режим только приема)

Примечание: Не используется в режиме I2S

Бит 9 SSM: Программное управление ведомым устройством

Когда установлен бит SSM, входной сигнал контакта NSS заменяется значением из бита SSI.

0: Программное управление подчиненным устройством отключено

1: Программное управление подчиненным устройством включено

Примечание: Не используется в режиме I2S

Бит 8 SSI: Внутренний выбор подчиненного устройства

Этот бит действует только при установленном бите SSM. Значение этого бита принудительно устанавливается на

контакт NSS, а значение IO контакта NSS игнорируется.

Примечание: Не используется в режиме I2S

Бит 7 LSBFIRST: Формат кадра

0: Сначала передается MSB

1: Сначала передается LSB

Примечание: Этот бит не следует изменять во время обмена данными.

Не используется в режиме I2S

Бит 6 SPE: Включение SPI

0: Периферийное устройство отключено

1: Периферийное устройство включено

Примечание: 1- Не используется в режиме I2S.

Примечание: 2- При отключении SPI следуйте процедуре, описанной в Разделе 25.3.8: Отключение

SPI.

Биты 5:3 BR[2:0]: Управление скоростью передачи данных

000: fPCLK/2 100: fPCLK/32

001: fPCLK/4 101: fPCLK/64

010: fPCLK/8 110: fPCLK/128

011: fPCLK/16 111: fPCLK/256

Примечание: эти биты не следует изменять во время обмена данными.

Не используется в режиме I2S

Бит 2 MSTR: Выбор ведущего устройства

0: Конфигурация ведомого устройства

1: Конфигурация ведущего устройства

Примечание: этот бит не следует изменять во время обмена данными.

Не используется в режиме I2S

Бит 1 CPOL: Полярность часов

0: CK в 0 в режиме ожидания

1: CK в 1 в режиме ожидания

Примечание: этот бит не следует изменять во время обмена данными.

Не используется в режиме I2S

Бит 0 CPHA: Фаза тактового сигнала

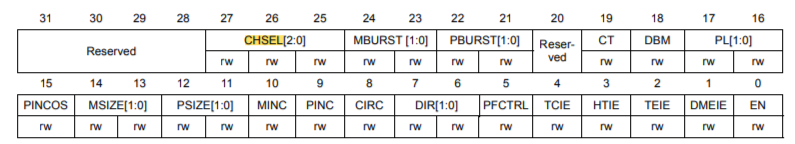
0: Первый переход тактового сигнала является первым фронтом захвата данных

1: Второй переход тактового сигнала является первым фронтом захвата данных

Примечание: этот бит не следует изменять во время сеанса связи.

Примечание: Не используется в режиме I2S

F407

DMA stream x configuration register (DMA\_SxCR) (x = 0..7) This register is used to configure the concerned stream. Address offset: 0x10 + 0x18 × stream number Reset value: 0x0000 0000

Биты 31:28 Зарезервированы, должны быть сохранены в значении сброса.

Биты 27:25 CHSEL[2:0]: Выбор канала

Эти биты устанавливаются и сбрасываются программным обеспечением.

000: выбран канал 0

001: выбран канал 1

010: выбран канал 2

011: выбран канал 3

100: выбран канал 4

101: выбран канал 5

110: выбран канал 6

111: выбран канал 7

Эти биты защищены и могут быть записаны, только если EN равен «0»

Биты 24:23 MBURST: Конфигурация передачи пакета памяти

Эти биты устанавливаются и сбрасываются программным обеспечением.

00: одиночная передача

01: INCR4 (инкрементный пакет из 4 ударов)

10: INCR8 (инкрементный пакет из 8 ударов)

11: INCR16 (инкрементный пакет из 16 ударов)

Эти биты защищены и могут быть записаны, только если EN равен «0»

В прямом режиме эти биты принудительно устанавливаются в 0x0 аппаратным обеспечением, как только бит EN = «1».

Биты 22:21 PBURST[1:0]: Конфигурация периферийной пакетной передачи

Эти биты устанавливаются и очищаются программным обеспечением.

00: одиночная передача

01: INCR4 (инкрементальный пакет из 4 ударов)

10: INCR8 (инкрементальный пакет из 8 ударов)

11: INCR16 (инкрементальный пакет из 16 ударов)

Эти биты защищены и могут быть записаны, только если EN равен «0»

В прямом режиме эти биты принудительно устанавливаются в 0x0 аппаратно.

Бит 20 Зарезервирован, должен сохраняться в значении сброса.

Бит 19 CT: Текущая цель (только в режиме двойной буферизации)

Эти биты устанавливаются и очищаются аппаратно. Также их можно записывать программно.

0: Текущая целевая память — это память 0 (адресуется указателем DMA\_SxM0AR)

1: Текущая целевая память — это память 1 (адресуется указателем DMA\_SxM1AR)

Этот бит может быть записан, только если EN равен «0», что указывает на целевую область памяти первой передачи.

После включения потока этот бит работает как флаг состояния, указывающий, какая область памяти является текущей целью.

Бит 18 DBM: режим двойной буферизации

Эти биты устанавливаются и очищаются программным обеспечением.

0: нет переключения буфера в конце передачи

1: целевой объект памяти переключается в конце передачи DMA

Этот бит защищен и может быть записан, только если EN равен «0».

Биты 17:16 PL[1:0]: уровень приоритета

Эти биты устанавливаются и очищаются программным обеспечением.

00: низкий

01: средний

10: высокий

11: очень высокий

Эти биты защищены и могут быть записаны, только если EN равен «0».

Бит 15 PINCOS: размер смещения периферийного приращения

Этот бит устанавливается и очищается программным обеспечением

0: размер смещения для расчета периферийного адреса связан с PSIZE

1: размер смещения для расчета периферийного адреса фиксирован и равен 4 (32-битное выравнивание).

Этот бит не имеет значения, если бит PINC = '0'.

Этот бит защищен и может быть записан, только если EN = '0'.

Этот бит принудительно устанавливается на низкий уровень аппаратно, когда поток включен (бит EN = '1'), если выбран прямой режим или если PBURST отличен от «00».

Биты 14:13 MSIZE[1:0]: Размер данных памяти

Эти биты устанавливаются и очищаются программным обеспечением.

00: байт (8 бит)

01: полуслово (16 бит)

10: слово (32 бита)

11: зарезервировано

Эти биты защищены и могут быть записаны, только если EN равен «0».

В прямом режиме MSIZE принудительно устанавливается аппаратно на то же значение, что и PSIZE, как только бит EN

= '1'.

Биты 12:11 PSIZE[1:0]: Размер периферийных данных

Эти биты устанавливаются и очищаются программным обеспечением.

00: Байт (8 бит)

01: Полуслово (16 бит)

10: Слово (32 бита)

11: зарезервировано

Эти биты защищены и могут быть записаны, только если EN равен «0»

Бит 10 MINC: Режим приращения памяти

Этот бит устанавливается и очищается программным обеспечением.

0: Указатель адреса памяти фиксирован

1: Указатель адреса памяти увеличивается после каждой передачи данных (приращение выполняется в соответствии с MSIZE)

Этот бит защищен и может быть записан, только если EN равен «0».

Бит 9 PINC: Режим приращения периферийных устройств

Этот бит устанавливается и очищается программным обеспечением.

0: Указатель адреса периферийных устройств фиксирован

1: Указатель адреса периферийных устройств увеличивается после каждой передачи данных (приращение выполняется в соответствии с PSIZE)

Этот бит защищен и может быть записан, только если EN равен «0».

Бит 8 CIRC: кольцевой режим

Этот бит устанавливается и сбрасывается программным обеспечением и может быть сброшен аппаратно.

0: кольцевой режим отключен

1: кольцевой режим включен

Когда периферийное устройство является контроллером потока (бит PFCTRL=1) и поток включен (бит EN=1), то этот бит автоматически принудительно устанавливается аппаратно в 0.

Он автоматически принудительно устанавливается аппаратно в 1, если установлен бит DBM, как только поток включен (бит EN ='1').

Биты 7:6 DIR[1:0]: направление передачи данных

Эти биты устанавливаются и сбрасываются программно.

00: периферийное устройство-память

01: память-периферийное устройство

10: память-память

11: зарезервировано

Эти биты защищены и могут быть записаны, только если EN равен '0'.

Бит 5 PFCTRL: периферийный контроллер потока

Этот бит устанавливается и сбрасывается программно.

0: DMA — контроллер потока

1: Периферийное устройство — контроллер потока

Этот бит защищен и может быть записан, только если EN равен «0».

Когда выбран режим «память-память» (биты DIR[1:0]=10), то этот бит

автоматически принудительно устанавливается в 0 аппаратно.

Бит 4 TCIE: Разрешение прерывания завершения передачи

Этот бит устанавливается и очищается программным обеспечением.

0: Прерывание TC отключено

1: Прерывание TC включено

Бит 3 HTIE: Разрешение прерывания полупередачи

Этот бит устанавливается и очищается программным обеспечением.

0: Прерывание HT отключено

1: Прерывание HT включено

Бит 2 TEIE: Прерывание

Бит 0 EN: включение потока / флаг готовности потока при считывании низкого уровня

Этот бит устанавливается и очищается программным обеспечением.

0: Поток отключен

1: Поток включен

Этот бит может быть очищен аппаратно:

– в конце передачи DMA (поток готов к настройке)

– если на главных шинах AHB происходит ошибка передачи

– когда порог FIFO на порту памяти AHB несовместим с размером

пакета

Когда этот бит считывается как 0, программному обеспечению разрешено программировать регистры битов конфигурации и FIFO. Запрещается записывать эти регистры, когда бит EN считывается как 1.

Примечание: перед установкой бита EN в «1» для начала новой передачи флаги событий c

DMA stream x number of data register (DMA\_SxNDTR) (x = 0..7)

Биты 31:16 Зарезервированы, должны быть сохранены в значении сброса.

Биты 15:0 NDT[15:0]: Количество элементов данных для передачи

Количество элементов данных для передачи (от 0 до 65535). Этот регистр может быть записан только

когда поток отключен. Когда поток включен, этот регистр доступен только для чтения,

указывая оставшиеся элементы данных для передачи. Этот регистр уменьшается после каждой

передачи DMA.

После завершения передачи этот регистр может либо оставаться на нуле (когда поток находится в

нормальном режиме), либо автоматически перезагружаться ранее запрограммированным значением в

следующих случаях:

– когда поток настроен в кольцевом режиме.

– когда поток снова включен путем установки бита EN в «1»

Если значение этого регистра равно нулю, транзакция не может быть выполнена, даже если поток

включен.

DMA stream x memory 0 address register (DMA\_SxM0AR) (x = 0..7)

Биты 31:0 M0A[31:0]: Адрес памяти 0

Базовый адрес области памяти 0, из/в которую считываются/записываются данные.

Эти биты защищены от записи. Они могут быть записаны только если:

– поток отключен (бит EN= '0' в регистре DMA\_SxCR) или

– поток включен (EN=’1’ в регистре DMA\_SxCR) и бит CT = '1' в

регистре DMA\_SxCR (в режиме двойного буфера).

DMA low interrupt flag clear register (DMA\_LIFCR)

Биты 31:28, 15:12 Зарезервированы, должны быть сохранены в значении сброса.

Биты 27, 21, 11, 5 CTCIFx: Поток x очистить флаг прерывания завершения передачи (x = 3..0)

Запись 1 в этот бит очищает соответствующий флаг TCIFx в регистре DMA\_LISR

Биты 26, 20, 10, 4 CHTIFx: Поток x очистить флаг прерывания полупередачи (x = 3..0)

Запись 1 в этот бит очищает соответствующий флаг HTIFx в регистре DMA\_LISR

Биты 25, 19, 9, 3 CTEIFx: Поток x очистить флаг прерывания ошибки передачи (x = 3..0)

Запись 1 в этот бит очищает соответствующий флаг TEIFx в регистре DMA\_LISR

Биты 24, 18, 8, 2 CDMEIFx: Поток x очистить флаг прерывания ошибки прямого режима (x = 3..0)

Запись 1 в этот бит очищает соответствующий флаг DMEIFx в регистре DMA\_LISR

Биты 23, 17, 7, 1 Зарезервированы, должны быть сохранены в значении сброса.

Биты 22, 16, 6, 0 CFEIFx: Поток x очищает флаг прерывания ошибки FIFO (x = 3..0)

Запись 1 в этот бит очищает соответствующий флаг CFEIFx в регистре DMA\_LISR