



МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования

«МИРЭА – Российский технологический университет»

РТУ МИРЭА

Институт Информационных Технологий

Кафедра Вычислительной техники

ОТЧЕТ О ВЫПОЛНЕНИИ ПРАКТИЧЕСКОЙ РАБОТЫ №3

«Проектирование вычислительного устройства»

по дисциплине
«Теория автоматов»

Выполнил студент группы ИВБО-10-23

Кудряшов Д.С.

Принял старший преподаватель

Боронников А.С.

Практическая работа выполнена

«__»_____ 2024 г.

«Зачтено»

«__»_____ 2024 г.

Москва 2024

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	3
1 ПОСТАНОВКА ЗАДАЧИ И ПЕРСОНАЛЬНЫЙ ВАРИАНТ	4
2 ПРОЕКТИРОВАНИЕ ВЫЧИСЛИТЕЛЬНОГО УСТРОЙСТВА.....	5
2.1 Анализ исходного вычислительного устройства.....	5
2.2 Схематическое представление исходного вычислительного устройства в виде блок-схемы	5
2.3 Проектирование таблицы признаков вычислительного устройства	7
2.4 Проектирование таблицы переходов между устойчивыми состояниями	8
2.5 Проектирование таблицы инициализации микрокоманд	9
2.6 Разработка вычислительного устройства и вспомогательных схем в лабораторном комплексе Logisim.....	9
3 ТЕСТИРОВАНИЕ РАЗРАБОТАННОГО ВЫЧИСЛИТЕЛЬНОГО УСТРОЙСТВА ...	19
3.1 Тестирование выполнения операции деления чисел, заданных в дополнительном коде.....	19
3.2 Тестирование выполнения операции умножения чисел, заданных в формате IEEE 754	21
ЗАКЛЮЧЕНИЕ	25

ВВЕДЕНИЕ

Целью данной работы является проектирование вычислительного устройства с учетом заданных параметров и требований к его функционированию. Основная задача состоит в разработке схемы устройства с использованием различных методов проектирования и моделирования, реализуемых в программной среде Logisim.

Процесс проектирования вычислительного устройства включает в себя несколько этапов:

1. Выполняется анализ задачи, который позволяет определить основные функции устройства и его структуру.
2. Составляется блок-схема исходного вычислительного устройства.
3. Строится таблица признаков, которые операционный автомат будет передавать в управляющий автомат и от которых будет зависеть следующее устойчивое состояние.
4. Моделируется таблица переходов между устойчивыми состояниями.
5. Воспроизводится таблица микрокоманд, благодаря которым управляющий автомат сможет указывать на те действия, которые должен совершить операционный автомат.
6. На завершающем этапе разработанная схема вычислительного устройства реализуется в лабораторной среде Logisim. Проект проходит тестирование и верификацию для проверки его корректности и соответствия заданным параметрам.

1 ПОСТАНОВКА ЗАДАЧИ И ПЕРСОНАЛЬНЫЙ ВАРИАНТ

В рамках данной практической работы требуется разработать вычислительное устройство, состоящее из двух взаимосвязанных частей – операционного и управляющего автоматов – и выполняющее следующие операции:

1. Деление двух целых чисел в дополнительном коде.
2. Умножение двух чисел, представленных в экспоненциальном формате.

Тип управляющего автомата: схема с двумя адресами в памяти.

Функциональные схемы должны разрабатываться с использованием многоразрядных мультиплексоров, дешифраторов, сумматоров, регистров, счётчиков, компараторов, ПЗУ с чётким указанием информационных, управляющих и синхронизирующих входов.

2 ПРОЕКТИРОВАНИЕ ВЫЧИСЛИТЕЛЬНОГО УСТРОЙСТВА

2.1 Анализ исходного вычислительного устройства

Для построения вычислительного устройства с двумя заданными операциями необходимо определиться с разрядностью входных чисел:

- для операции деления будут использоваться 8-ми разрядные числа в дополнительном коде, где старший разряд отвечает за знак числа;
- для операции умножения чисел в экспоненциальном формате будут использоваться 16-ти разрядно представимые числа. Будет использован формат IEEE754 для чисел с половинной точностью.

Также при моделировании устройства следует учесть ошибки, возникающие при вводе чисел. В моем случае, ошибки при вводе будут возникать, если делитель равен нулю, введенное число является бесконечностью или ему присвоено значение NaN.

2.2 Схематическое представление исходного вычислительного устройства в виде блок-схемы

В данном разделе представлено схематическое описание исходного вычислительного устройства. Построение блок-схемы позволяет визуализировать структуру устройства, определить его основные функциональные блоки и проанализировать взаимосвязи между ними. Такой подход обеспечивает ясность при проектировании и дальнейшей реализации модели. Блок-схема отражена на Рисунке 2.1:

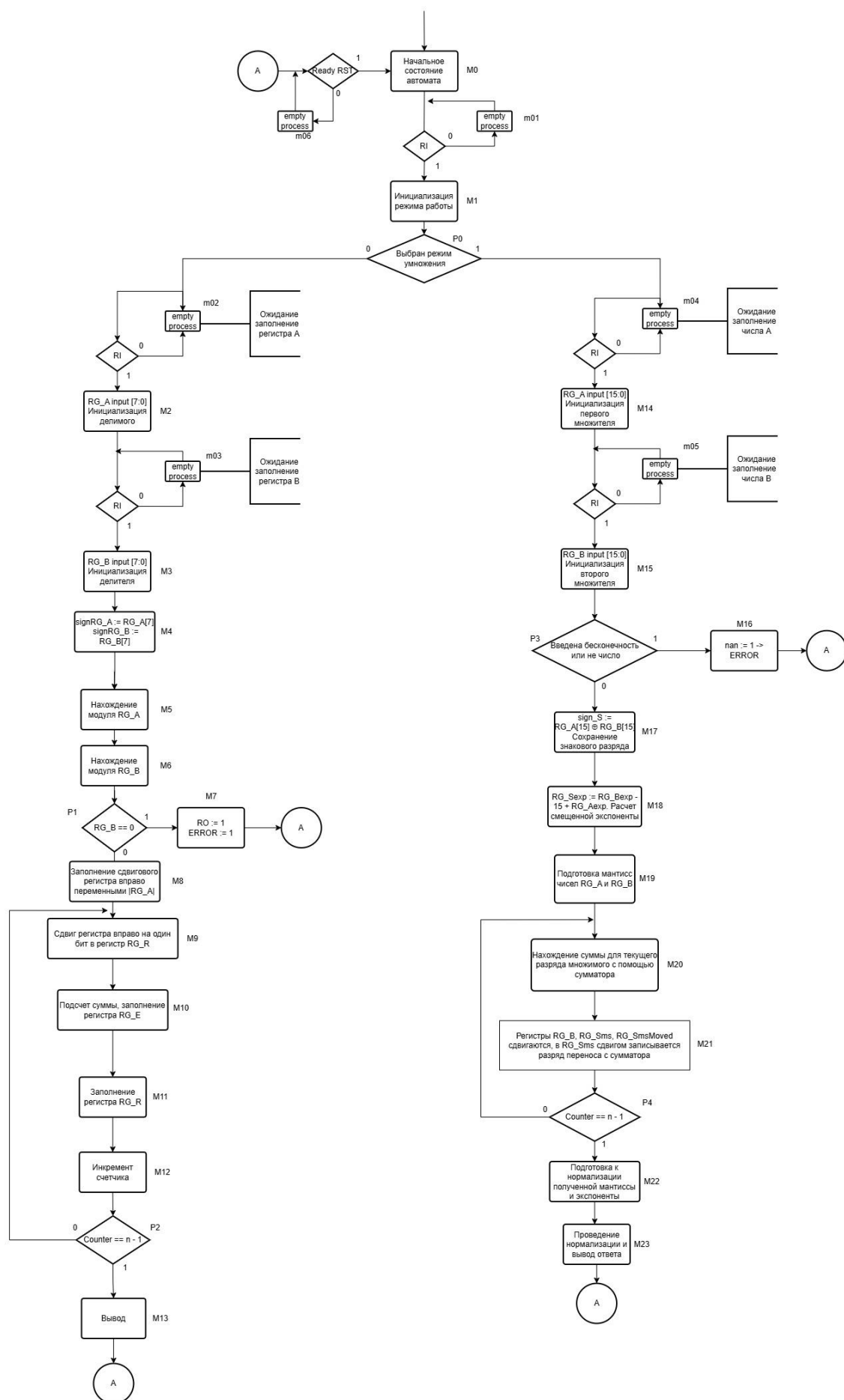


Рисунок 2.1 – Блок-схема вычислительного устройства

2.3 Проектирование таблицы признаков вычислительного устройства

На основе разработанной блок-схемы требуется сформировать таблицу признаков, определяющих ключевые аспекты взаимодействия между управляющим и операционным автоматами. Эти признаки обеспечивают корректное определение устойчивого состояния, в которое должен переключиться управляющий автомат. Составленная таблица представлена на Рисунке 2.2:

Н	Р
0	RI
1	P0
2	P1
3	P2
4	P3
5	P4
6	Ready RST

Рисунок 2.2 – Таблица признаков исходного вычислительного устройства

2.4 Проектирование таблицы переходов между устойчивыми состояниями

Смоделируем таблицу переходов между устойчивыми состояниями для управляющего автомата с двумя адресами в памяти. Исходная таблица переходов представлена на Рисунке 2.3:

A	Y	H	A0	A1
0	M0	0	18	1
1	M1	1	19	1B
2	M2	0	1A	3
3	M3	*	4	4
4	M4	*	5	5
5	M5	*	6	6
6	M6	2	8	7
7	M7	6	1D	0
8	M8	*	9	9
9	M9	*	A	A
A	M10	*	B	B
B	M11	*	C	C
C	M12	3	9	D
D	M13	6	1D	0
E	M14	0	1C	F
F	M15	4	11	10
10	M16	6	1D	0
11	M17	*	12	12
12	M18	*	13	13
13	M19	*	14	14
14	M20	*	15	15
15	M21	5	14	16
16	M22	*	17	17
17	M23	6	1D	0
18	m01	0	18	1
19	m02	0	19	2
1A	m03	0	1A	3
1B	m04	0	1B	E
1C	m05	0	1C	F
1D	m06	6	1D	0

Рисунок 2.3 – Таблица переходов между устойчивыми состояниями

2.5 Проектирование таблицы инициализации микрокоманд

Составим таблицу, в которой для каждого устойчивого состояния определена соответствующая микрокоманда, управляющая его функционированием. Данная таблица представлена на Рисунке 2.4:

	OMLoad	Load_A	Load_B	signA	Load	signB	Load	absA	Load	absB	Load	error	Load	loadRG_A	moveRG_J	loadRG_K	moveRG_F	loadRG_E	moveRG_I	count	Load	E	loadA	loadB	Error	Load	sign	Load	Sexp	Calc	loadA	andB	RG_Sload	move	RG_Sm	Load	RG_Sexp	Load	rst	HEX
M0																																							1	0000000
M1	1																																						4000000	
M2		1																																					2000000	
M3			1																																				1000000	
M4				1		1																																	0C00000	
M5							1																																0200000	
M6								1																															0100000	
M7									1																														0080000	
M8										1																													0040000	
M9															1		1																						0028000	
M10																		1																					0002000	
M11																1																							0010000	
M12																				1																			0001000	
M13																					1																		0000800	
M14																							1																0000400	
M15																								1															0000200	
M16																									1														0000100	
M17																										1													0000080	
M18																											1												0000040	
M19																												1											0000020	
M20																													1										0000010	
M21																														1									0000008	
M22																															1				1				0000006	
M23																																							0000000	
m01																																							0000000	
m02																																							0000000	
m03																																							0000000	
m04																																							0000000	
m05																																							0000000	
m06																						1																	0000800	

Рисунок 2.4 – Таблица инициализации микрокоманд

2.6 Разработка вычислительного устройства и вспомогательных схем в лабораторном комплексе Logisim

Для реализации вычислительного устройства было спроектировано несколько вспомогательных схем, необходимых для выполнения операции деления чисел, заданных в дополнительном коде:

1. 8-ми битный сдвиговый регистр вправо необходим для хранения и проведения операций над числами, при выполнении операции деления (Рисунок 2.5).

2. Модуль числа необходима для восстановления модуля числа (Рисунок 2.6).
3. Деление числа необходима для выполнения деление двух чисел, записанных в дополнительном коде (Рисунок 2.7).
4. Блок вывода необходим для организации вывода частного, полученного при делении двух чисел, заданных в дополнительном коде (Рисунок 2.8).

Также было спроектировано несколько вспомогательных схем, необходимых для операции умножения чисел в экспоненциальном формате:

1. 16-ти битный сдвиговый регистр вправо необходимый для хранения и проведения операций над числами при выполнении операции умножения (Рисунок 2.9).
2. 16-ти битный сдвиговый регистр влево необходимый для хранения и проведения операций над числами при выполнении операции умножения (Рисунок 2.10).
3. Блок проверки введенных чисел (Рисунок 2.11).
4. Схема подсчета значения смещенной экспоненты (Рисунок 2.12).
5. Блок умножения мантисс (Рисунок 2.13).
6. Блок вывода необходим для организации вывода произведения, полученного при умножении двух чисел, заданных в экспоненциальном формате (Рисунок 2.14).

Также дополнительно была добавлена схема filter для организации корректного ввода (Рисунок 2.15).

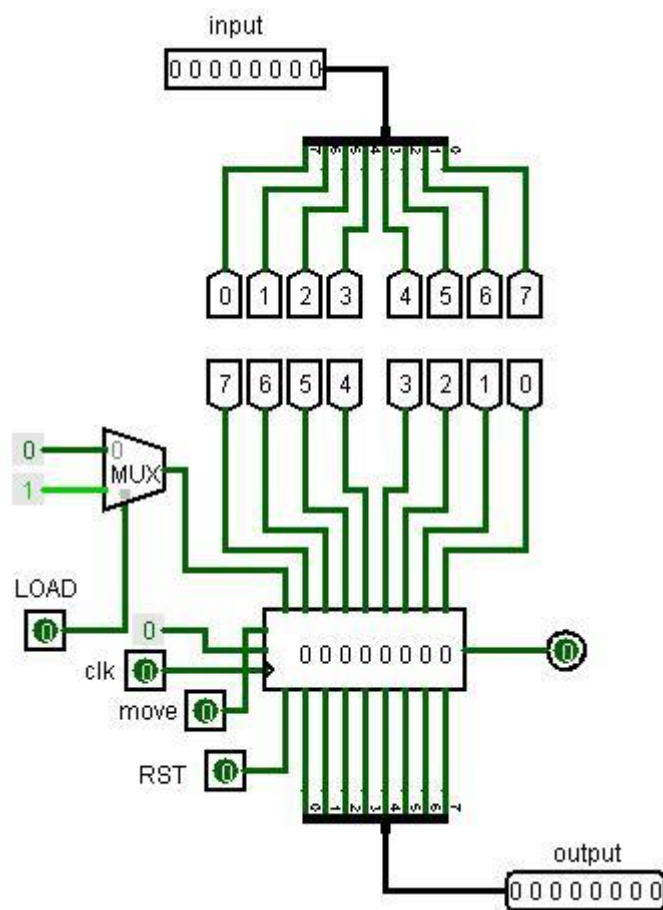


Рисунок 2.5 – Схема 8-ми битного сдвигового регистра вправо

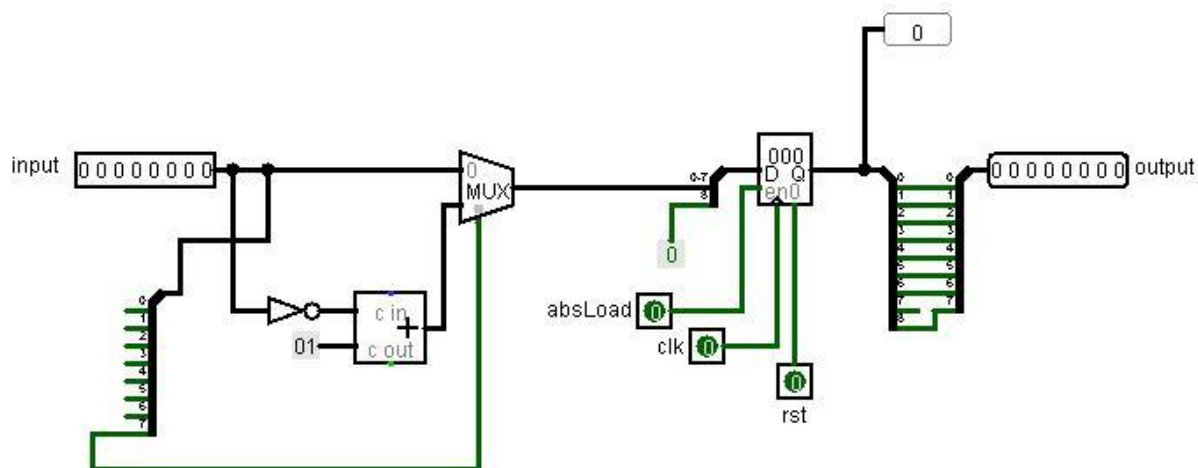


Рисунок 2.6 – Схема нахождения модуля числа

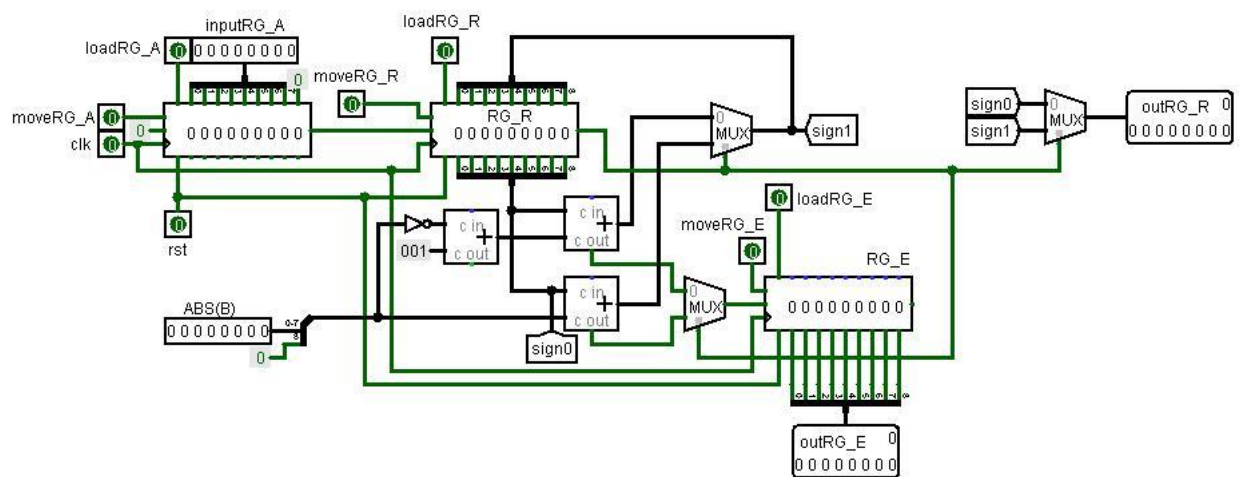


Рисунок 2.7 – Схема выполнения операции деления чисел, заданных в дополнительном коде

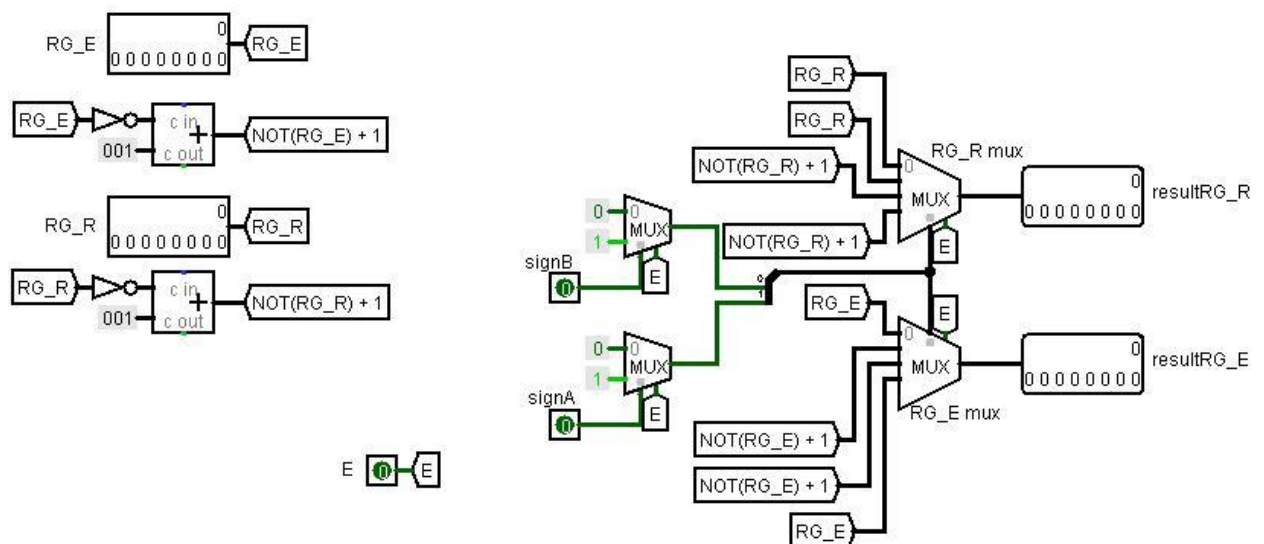


Рисунок 2.8 – Схема блока вывода

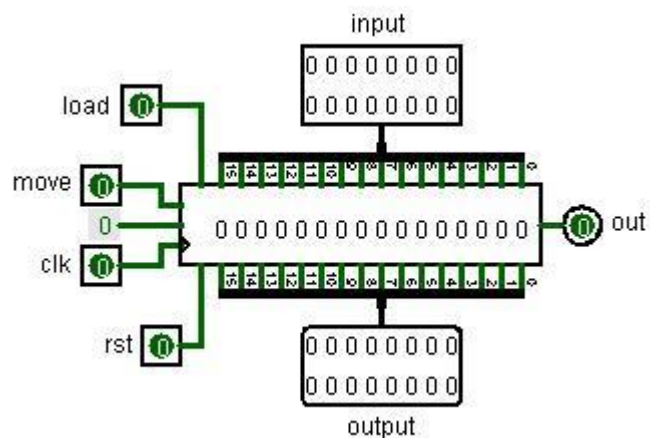


Рисунок 2.9 – Схема 16-ти битного сдвигового регистра вправо

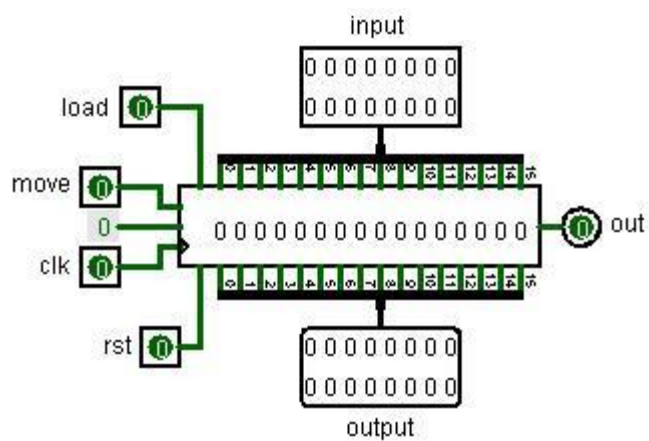


Рисунок 2.10 – Схема 16-ти битного сдвигового регистра влево

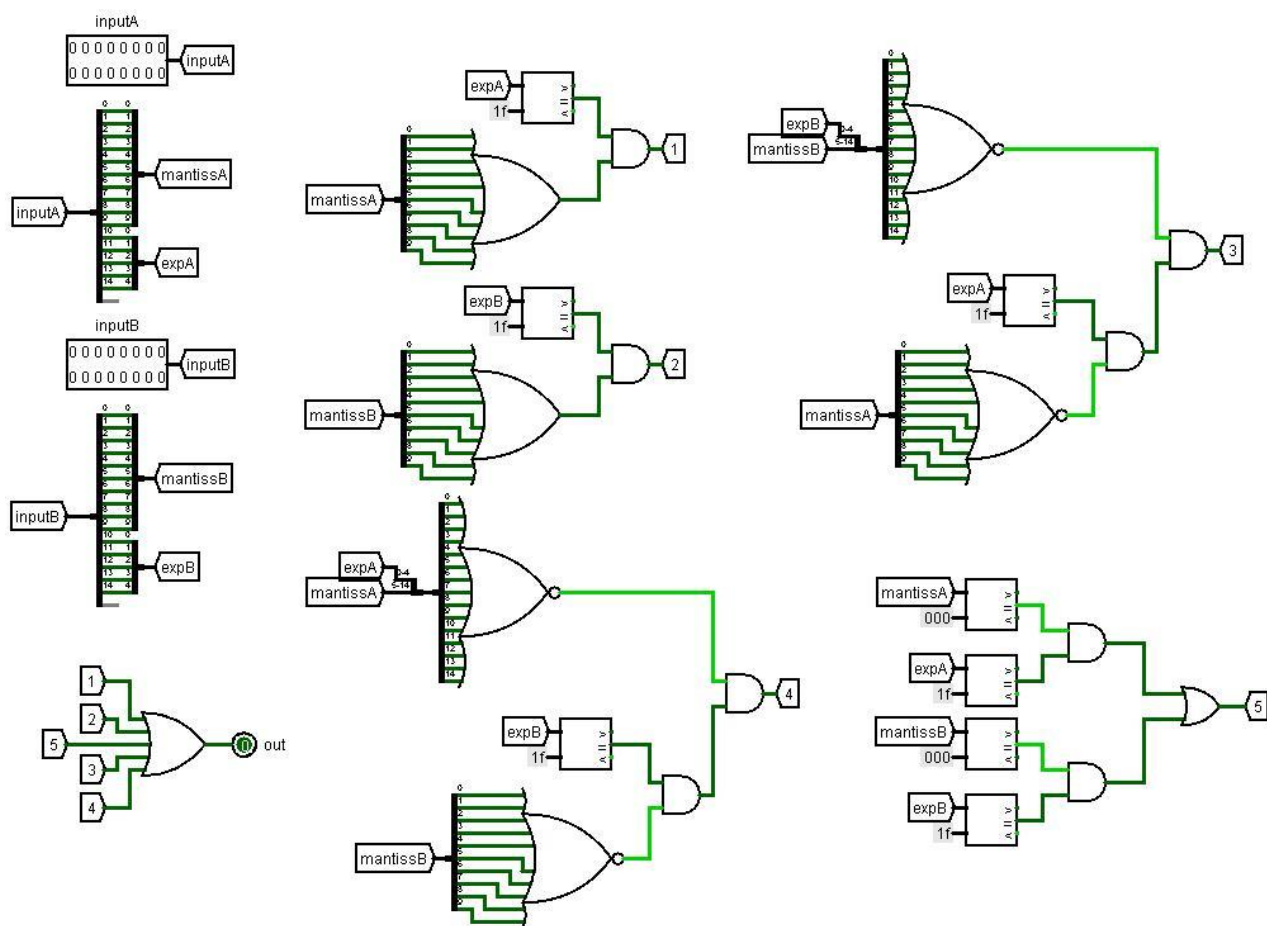


Рисунок 2.11 – Схема блоки проверки введенных данных

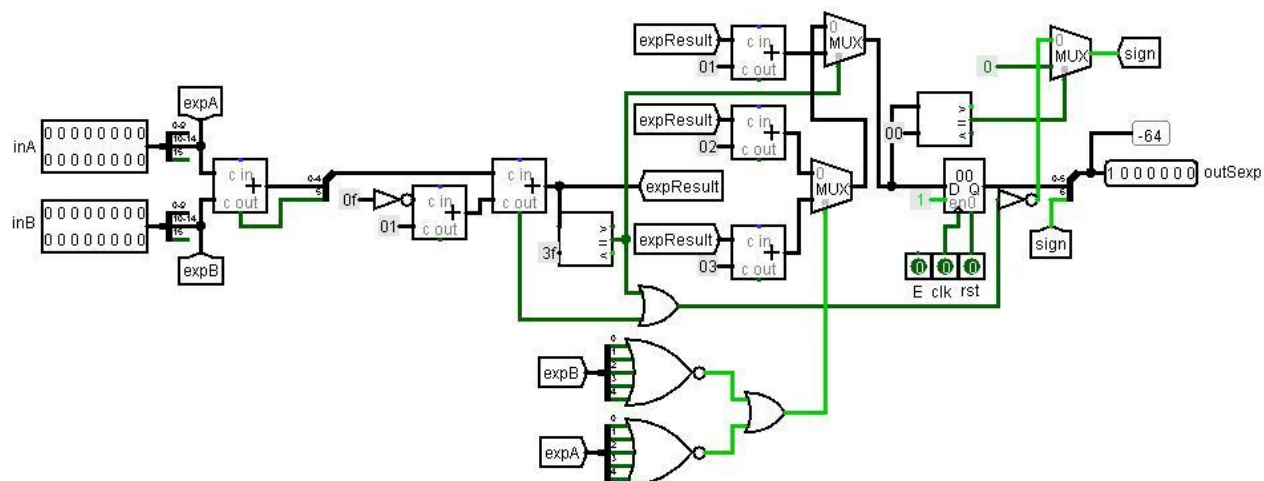


Рисунок 2.12 – Схема подсчета значения смещенной экспоненты

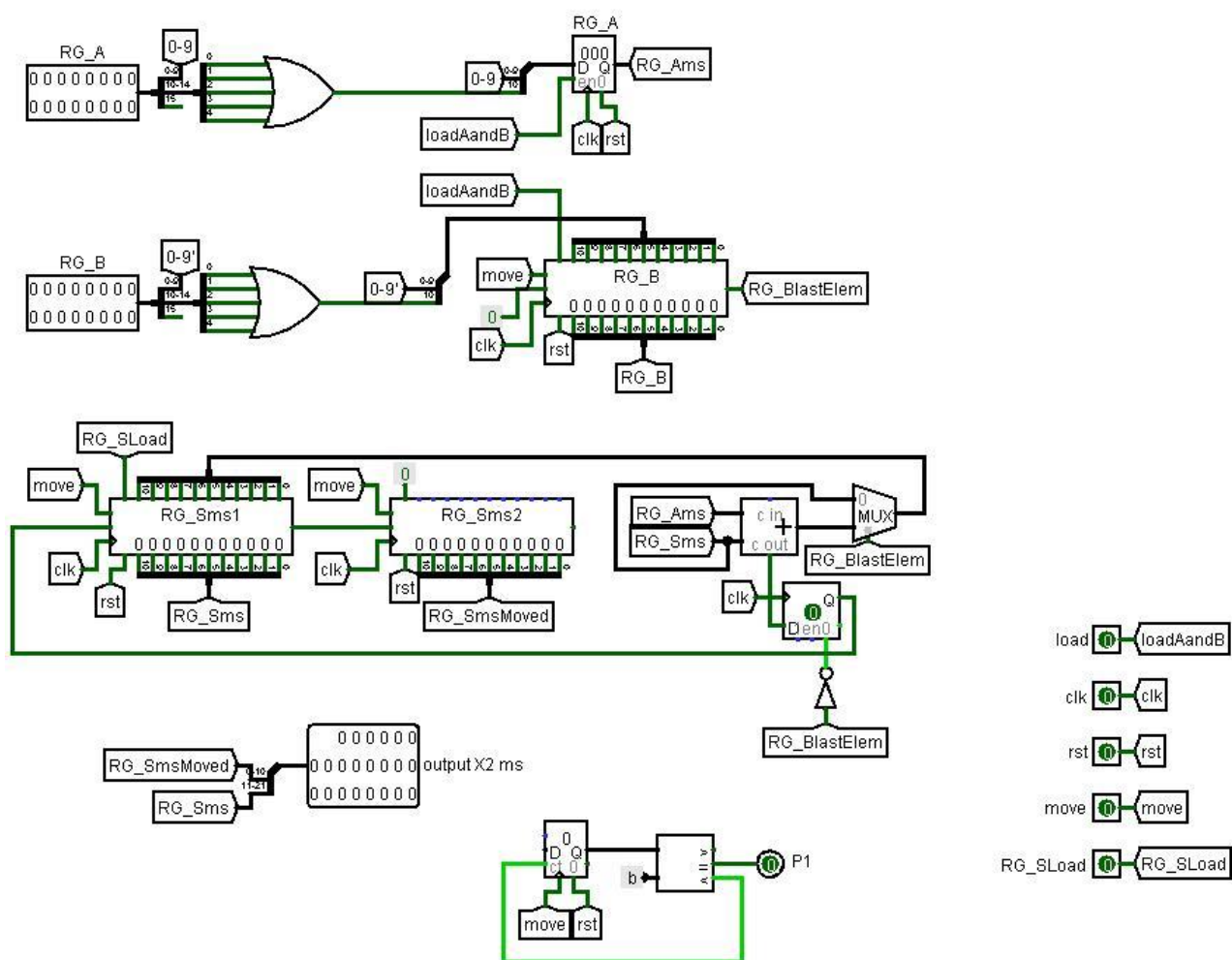


Рисунок 2.13 – Схема блока подсчета значения мантииссы

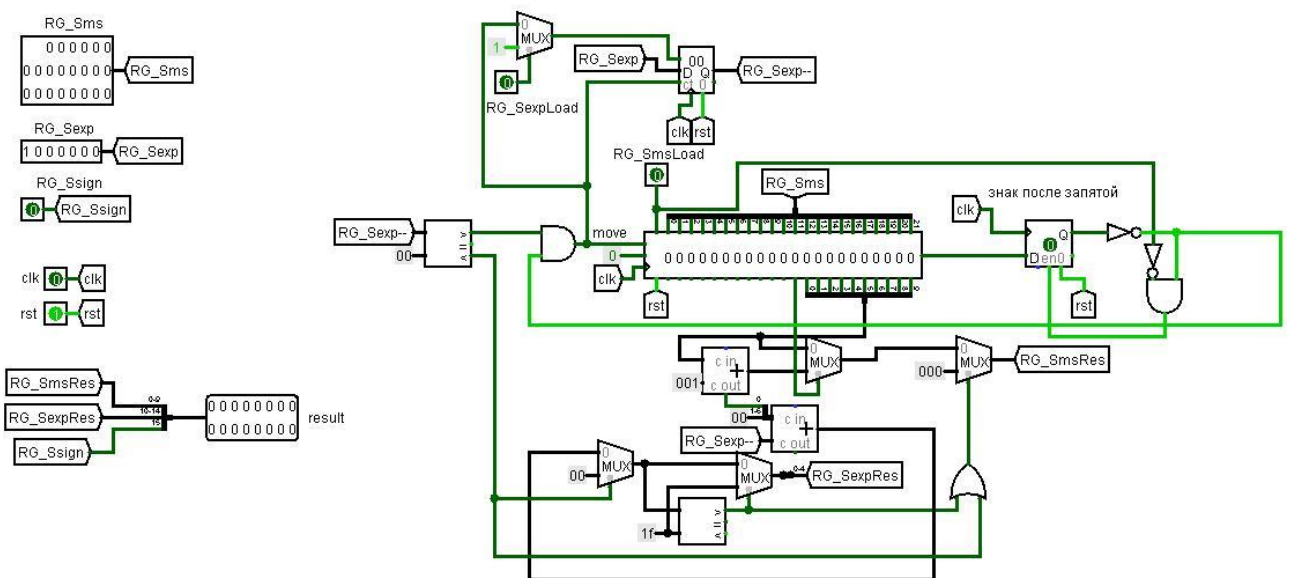


Рисунок 2.14 – Схема блока вывода, необходимая для организации вывода произведения, полученного при умножении двух чисел, заданных в экспоненциальном формате

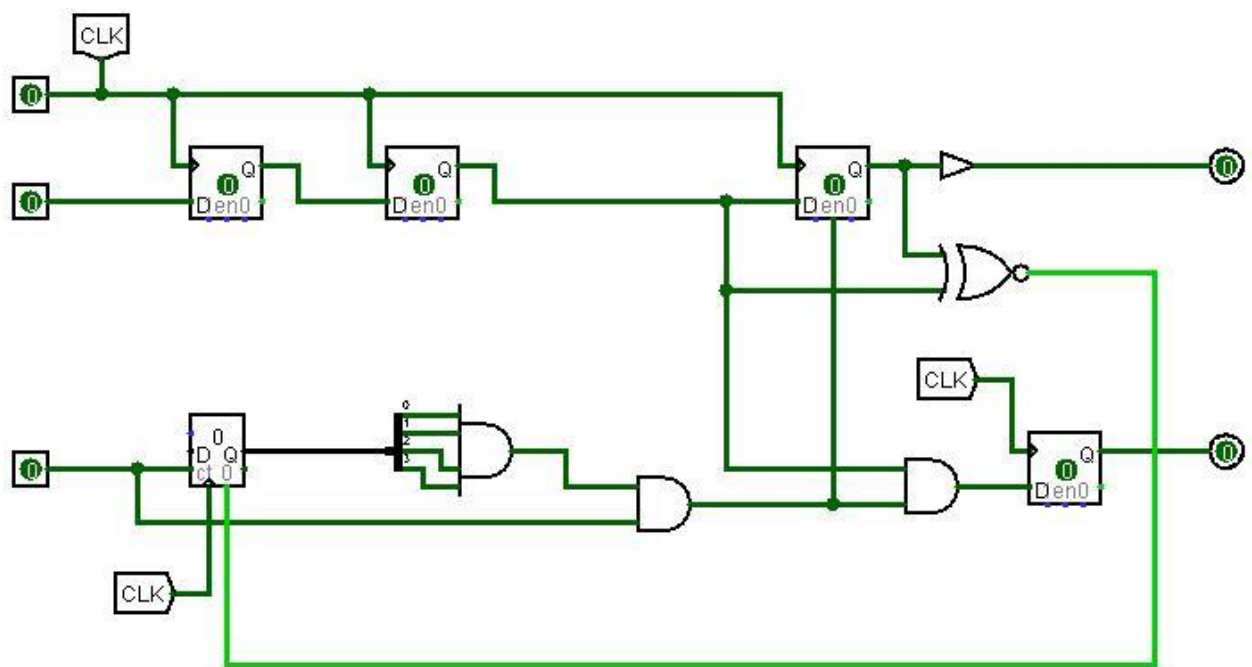


Рисунок 2.15 – Реализация блока фильтра

С помощью всех ранее описанных блоков реализуем операционный автомат, выполняющий две операции: деления 8-ми битных чисел, заданных в дополнительном коде и умножения чисел, заданных в формате IEEE 754 половинной точности (Рисунки 2.16, 2.17).

В данному операционному автомату в соответствие поставим управляющий автомат (Рисунок 2.18).

Свяжем операционный и управляющие автоматы воедино и получим вычислительное устройство, выполняющее две операции (Рисунок 2.19).

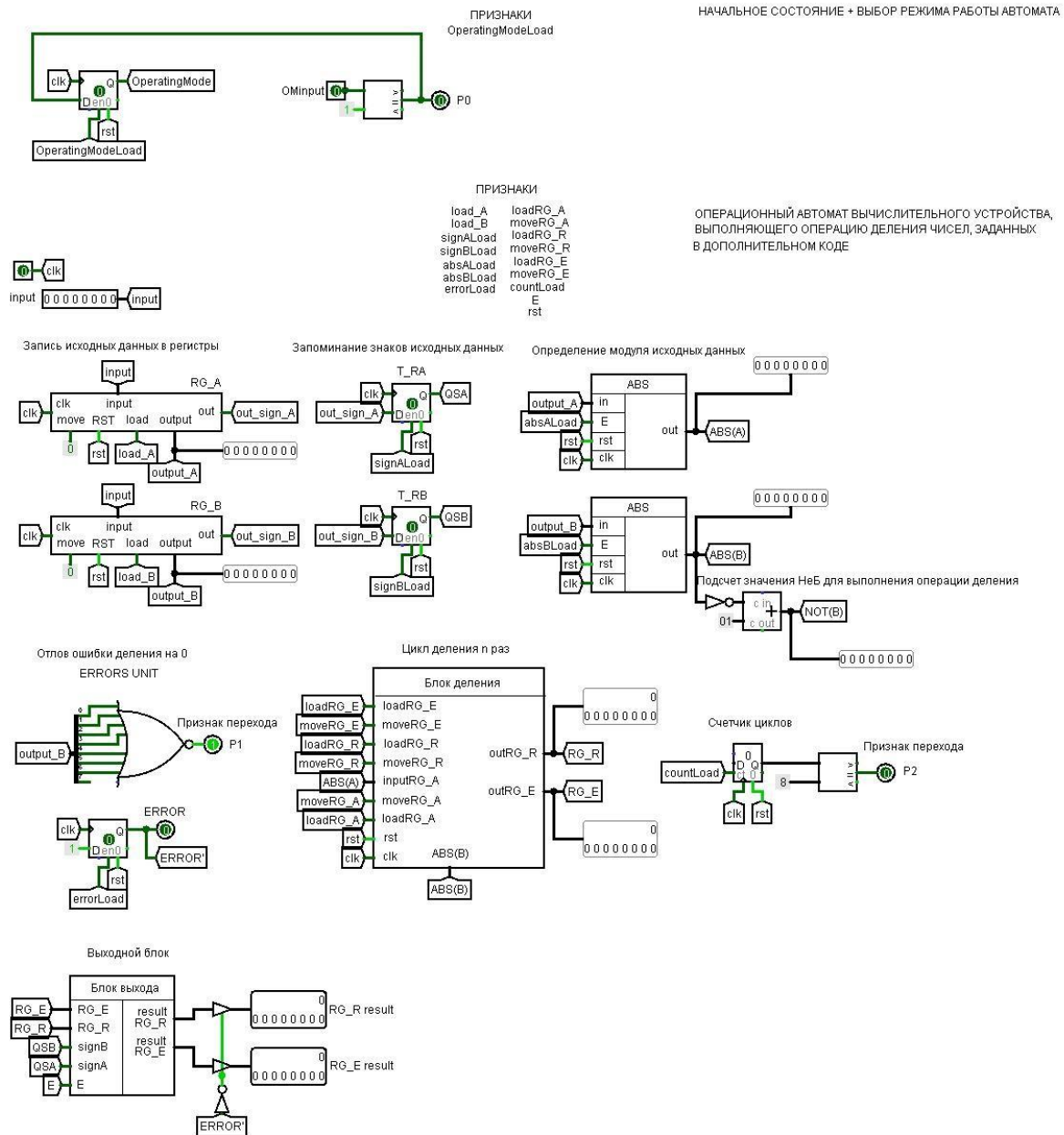


Рисунок 2.16 – Схема операционного автомата вычислительного устройства

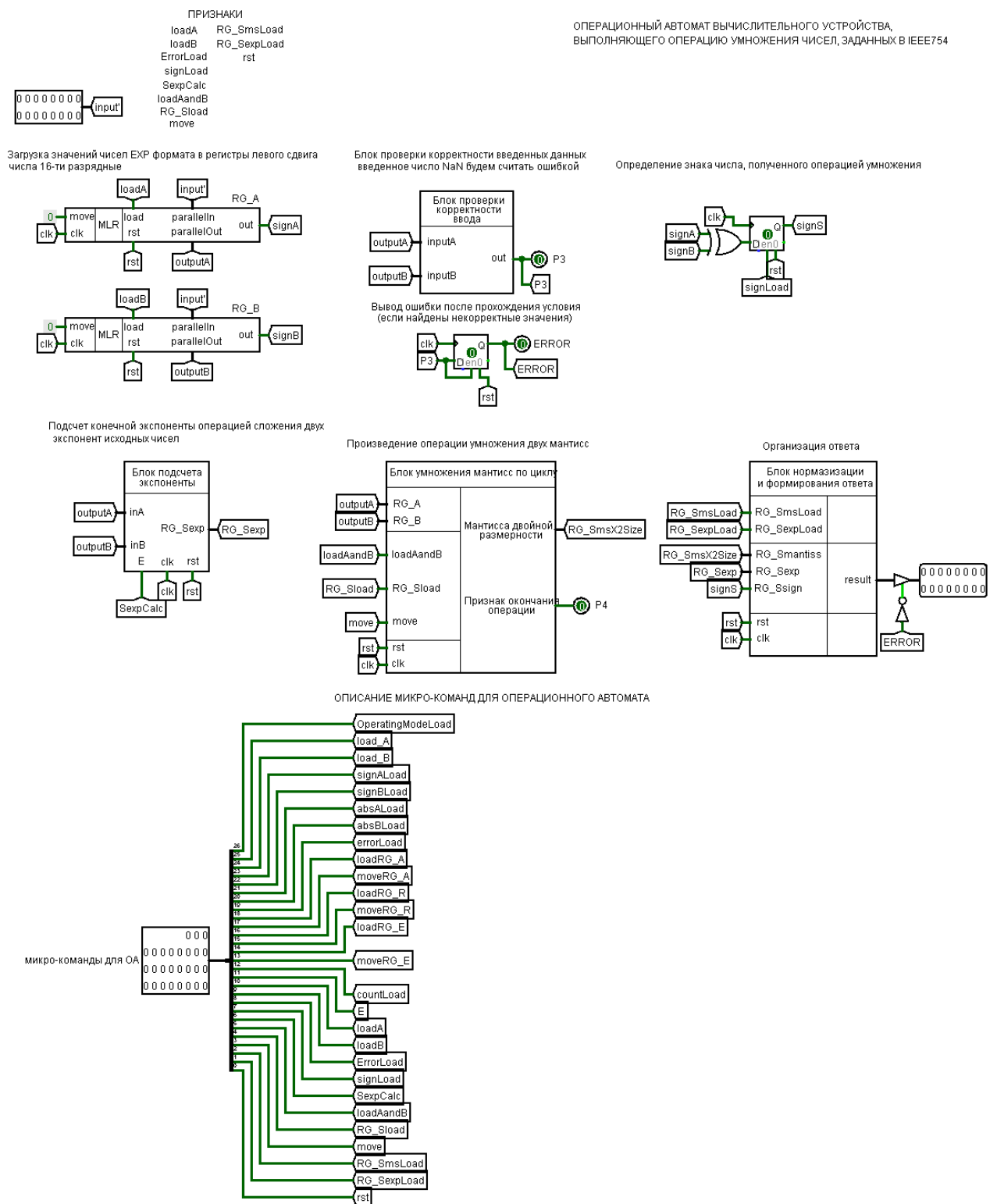


Рисунок 2.17 – Схема операционного автомата вычислительного устройства

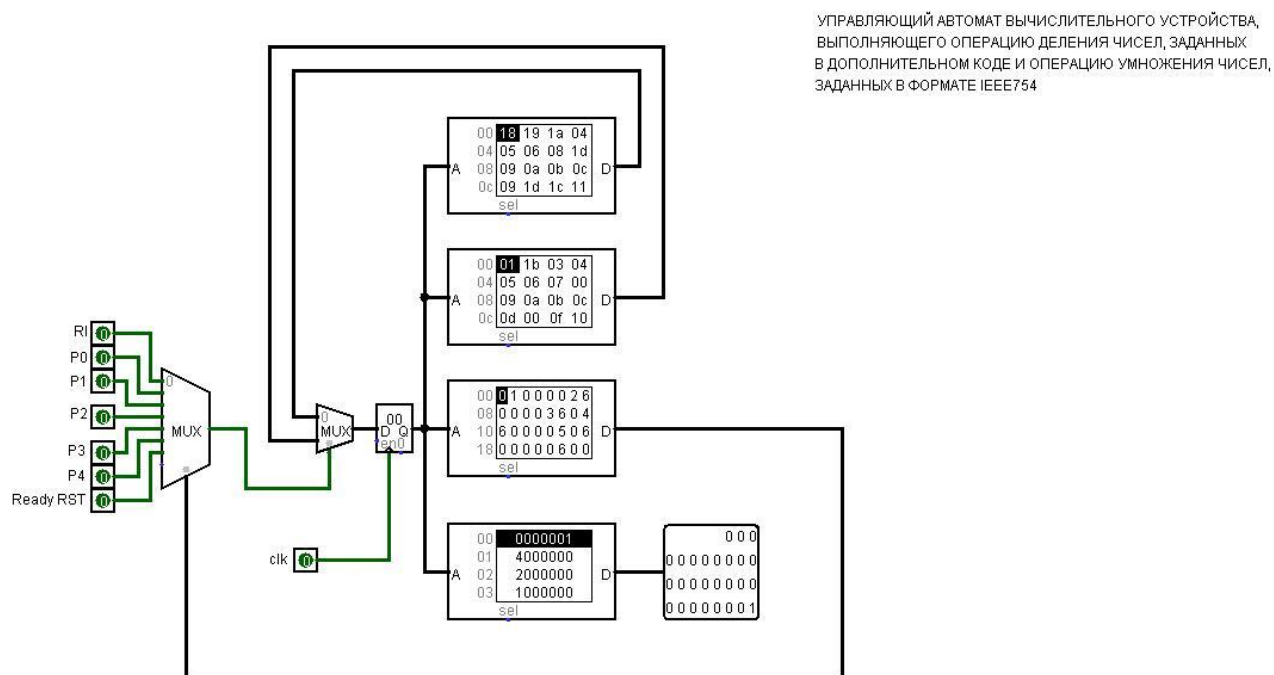


Рисунок 2.18 – Схема управляющего автомата вычислительного устройства

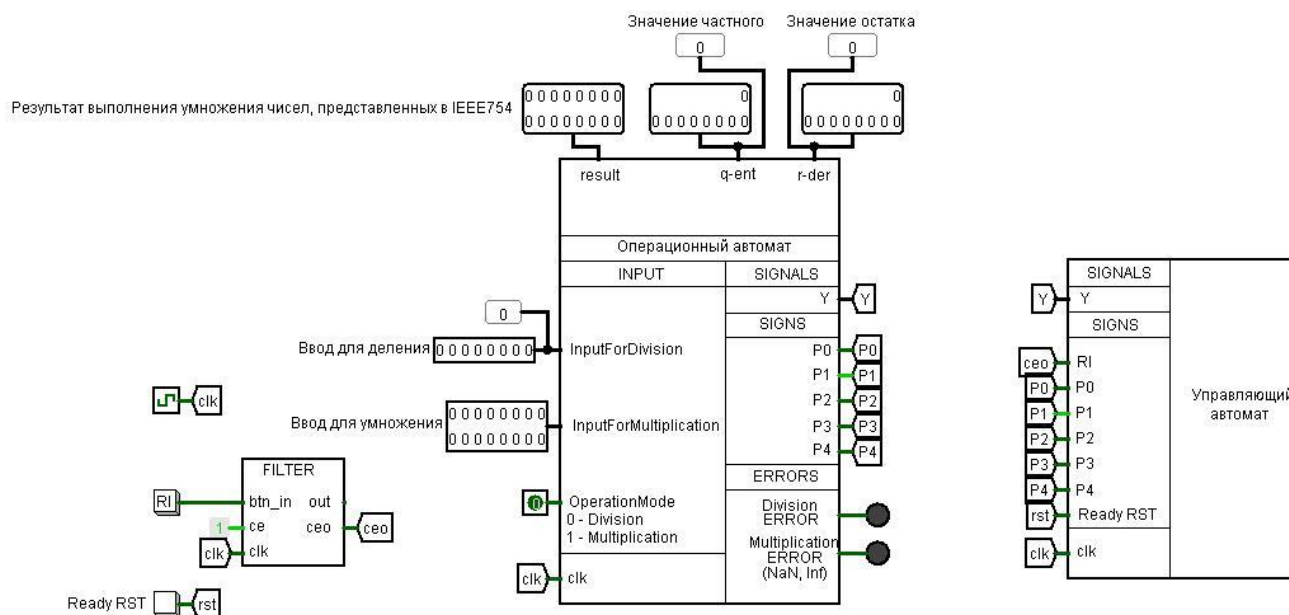


Рисунок 2.19 – Схема вычислительного устройства

3 ТЕСТИРОВАНИЕ РАЗРАБОТАННОГО ВЫЧИСЛИТЕЛЬНОГО УСТРОЙСТВА

3.1 Тестирование выполнения операции деления чисел, заданных в дополнительном коде

Целью данного раздела является проверка корректности выполнения операции деления чисел, заданных в дополнительном коде, с использованием разработанного вычислительного устройства. Данные о значениях делимого, делителя, ожидаемых частного и остатка и фактических значениях частного и остатка приведены в Таблице 3.1 и представлены на Рисунках 3.1 – 3.5.

Таблица 3.1 – Данные для проведения тестирования корректности выполнения операции деления чисел, заданных в дополнительном коде

Делимое	Делитель	Ожидаемое частное	Ожидаемый остаток	Фактическое частное	Фактический остаток
-12	0	ERROR	ERROR	ERROR	ERROR
-12	-2	6	0	6	0
102	116	0	102	0	102
64	15	4	4	4	4
72	-13	-5	7	-5	7

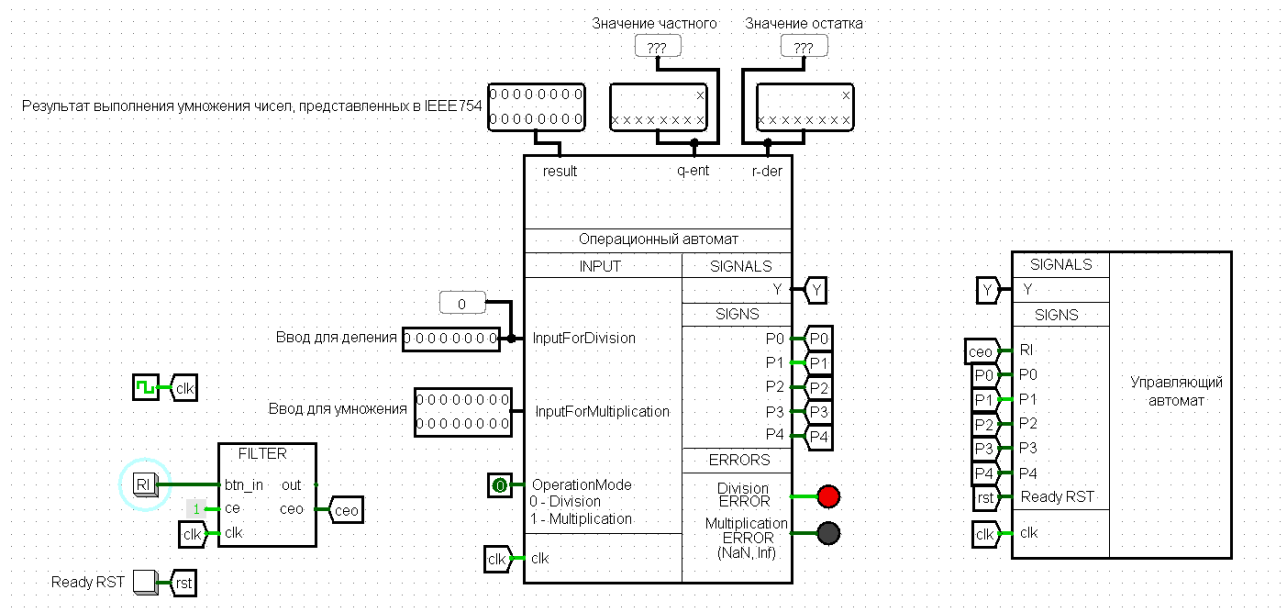


Рисунок 3.1 – Результат выполнения операции деления -12 на 0

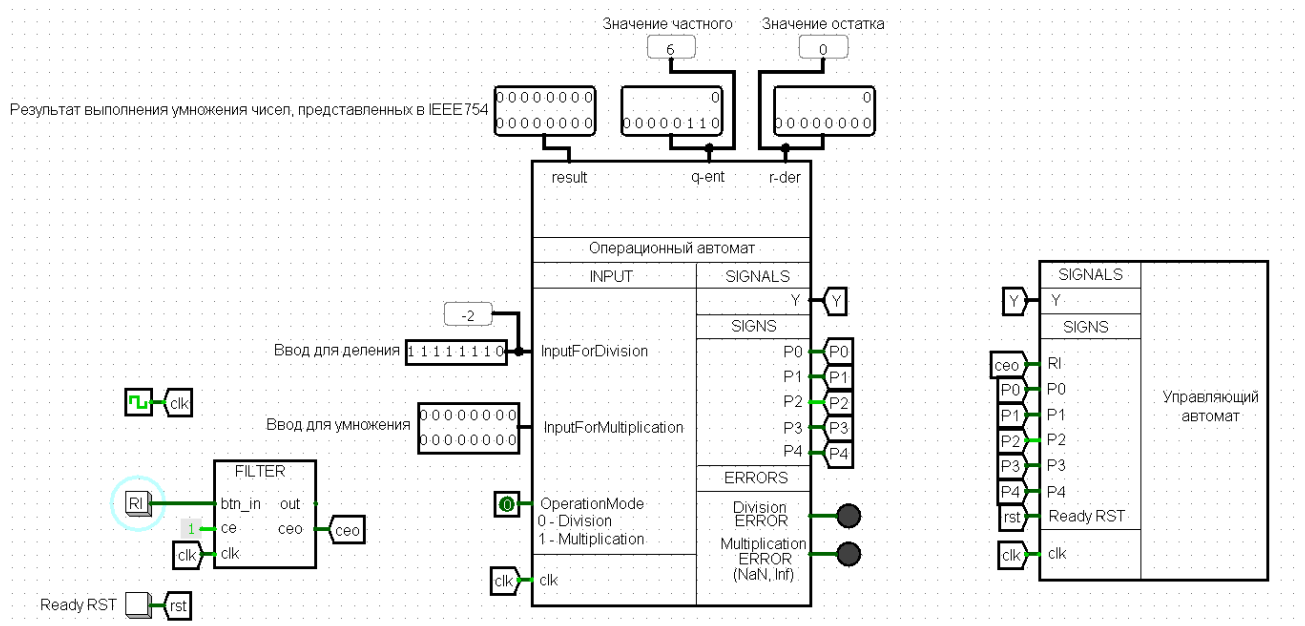


Рисунок 3.2 – Результат выполнения операции деления -12 на -2

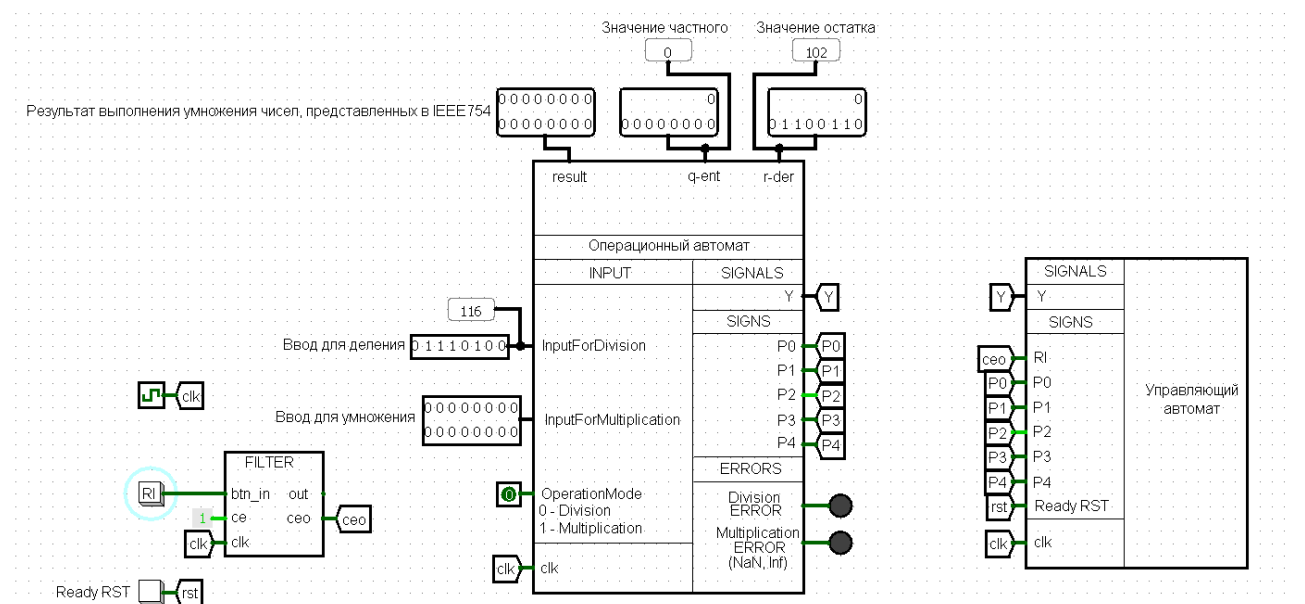


Рисунок 3.3 – Результат выполнения операции деления 102 на 116

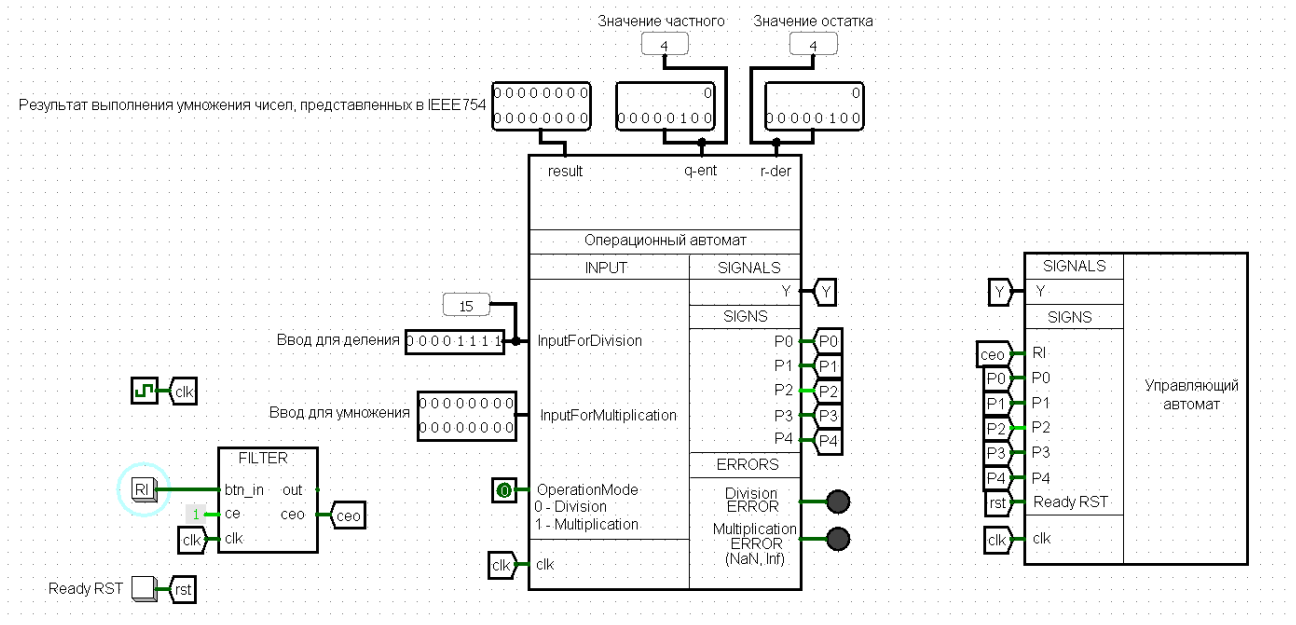


Рисунок 3.4 – Результат выполнения операции деления 64 на 15

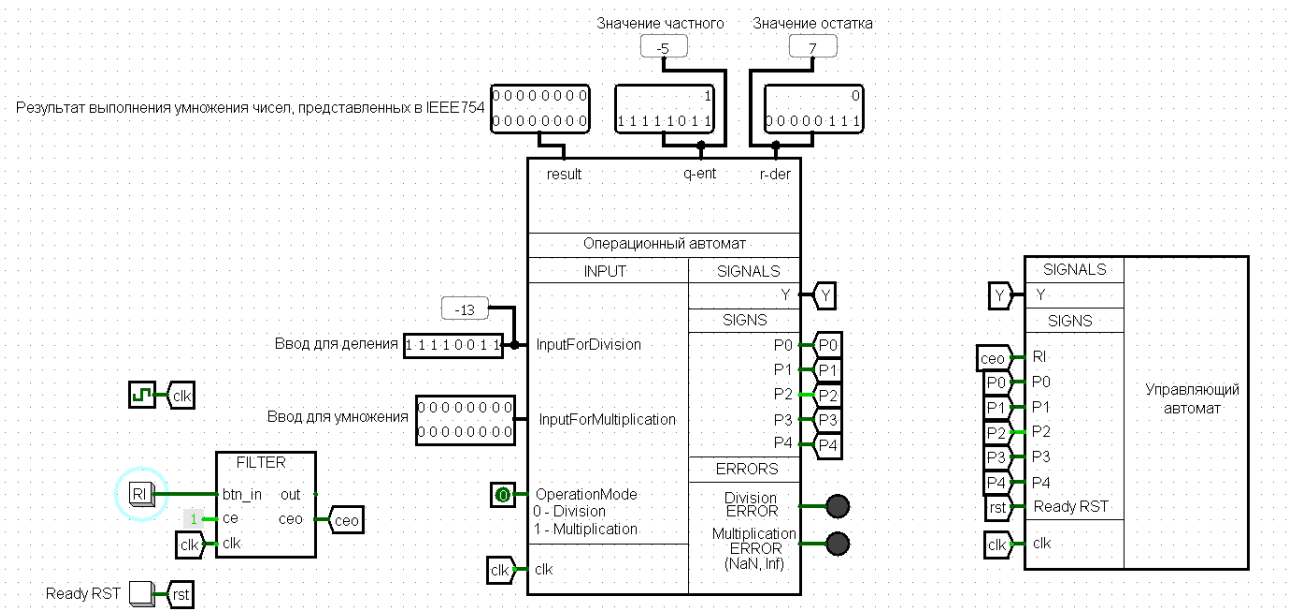


Рисунок 3.5 – Результат выполнения операции деления 72 на -13

3.2 Тестирование выполнения операции умножения чисел, заданных в формате IEEE 754

Целью данного раздела является проверка корректности выполнения операции умножения чисел, заданных в формате IEEE 754, с использованием разработанного вычислительного устройства. Данные о значениях множителей,

ожидаемого и фактического значения произведения приведены в Таблице 3.2 и представлены на Рисунках 3.6 – 3.10.

Таблица 3.2 – Данные для проведения тестирования корректности выполнения операции умножения чисел, заданных в формате IEEE 754

Множитель	Множитель	Ожидаемое произведение	Фактическое произведение
0100011100110011	0011110101010101	0100100011001100	0100100011001100
0111111111111111	0111111111111111	ERROR	ERROR
0001111100000011	0001110101010101	0000001001010110	0000001001010110
1111101000000001	0000001000000001	1011111000000100	1011111000000100
0000011111111111	0000001111111111	0000000000000000	0000000000000000

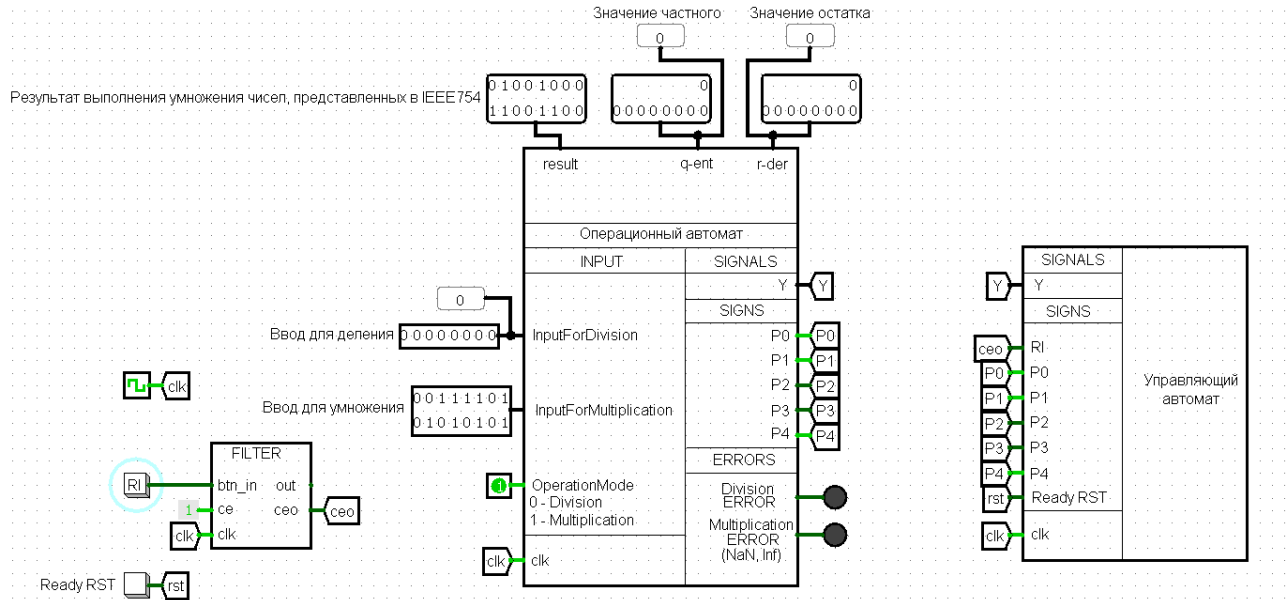


Рисунок 3.6 – Результат выполнения операции умножения 0100011100110011 на 0011110101010101

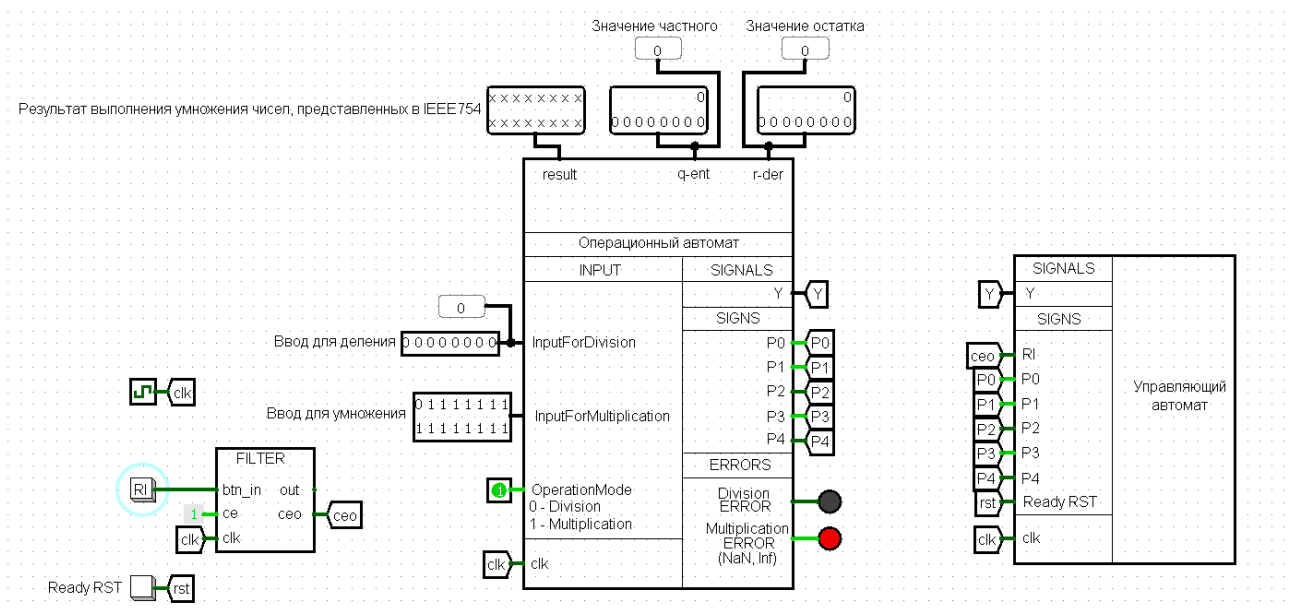


Рисунок 3.7 – Результат выполнения операции умножения 0111111111111111 на 0111111111111111

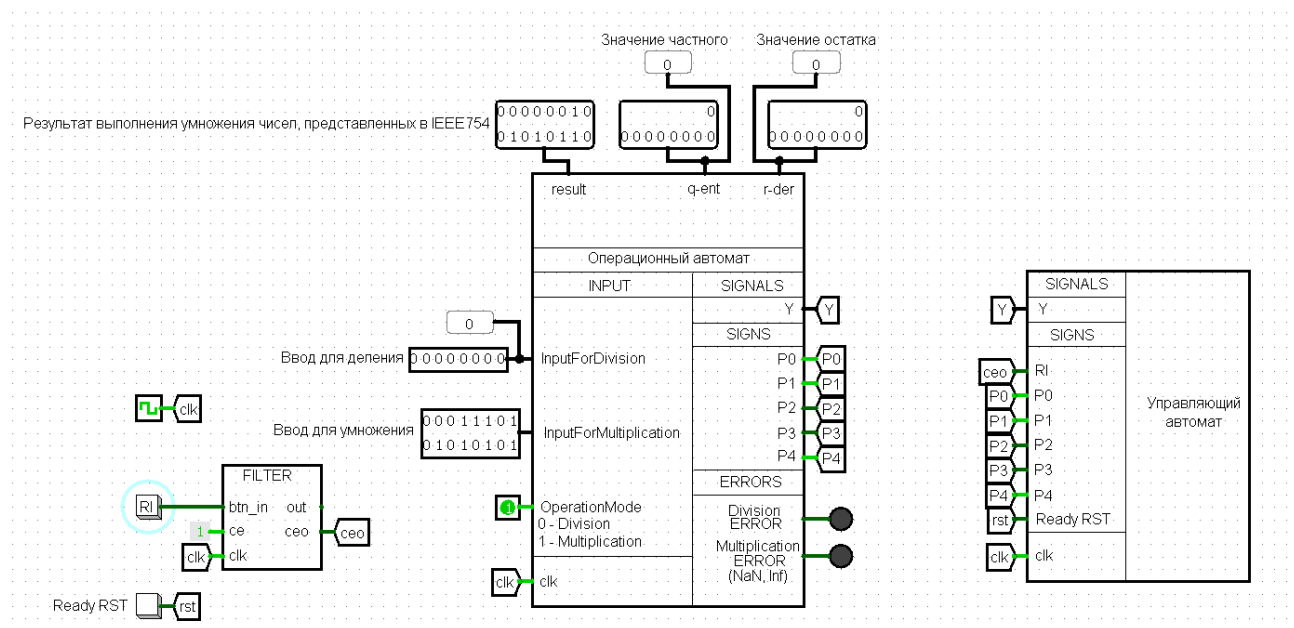


Рисунок 3.8 – Результат выполнения операции умножения 0001111100000011 на 000110101010101

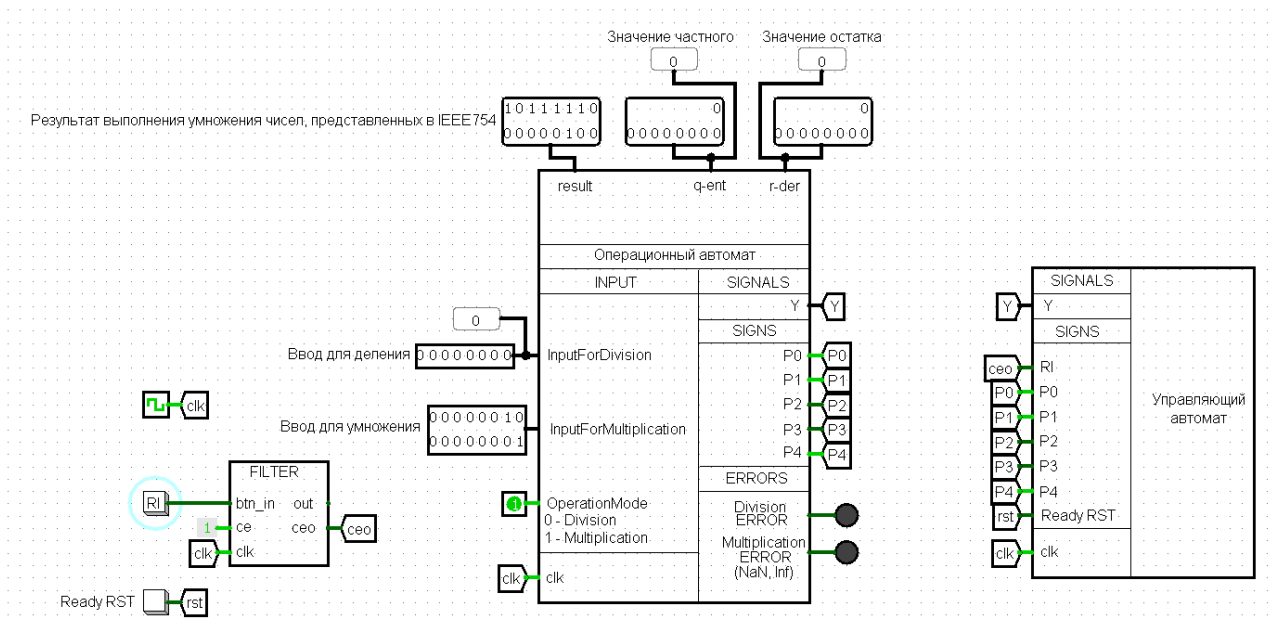


Рисунок 3.9 – Результат выполнения операции умножения 1111101000000001 на 0000001000000001

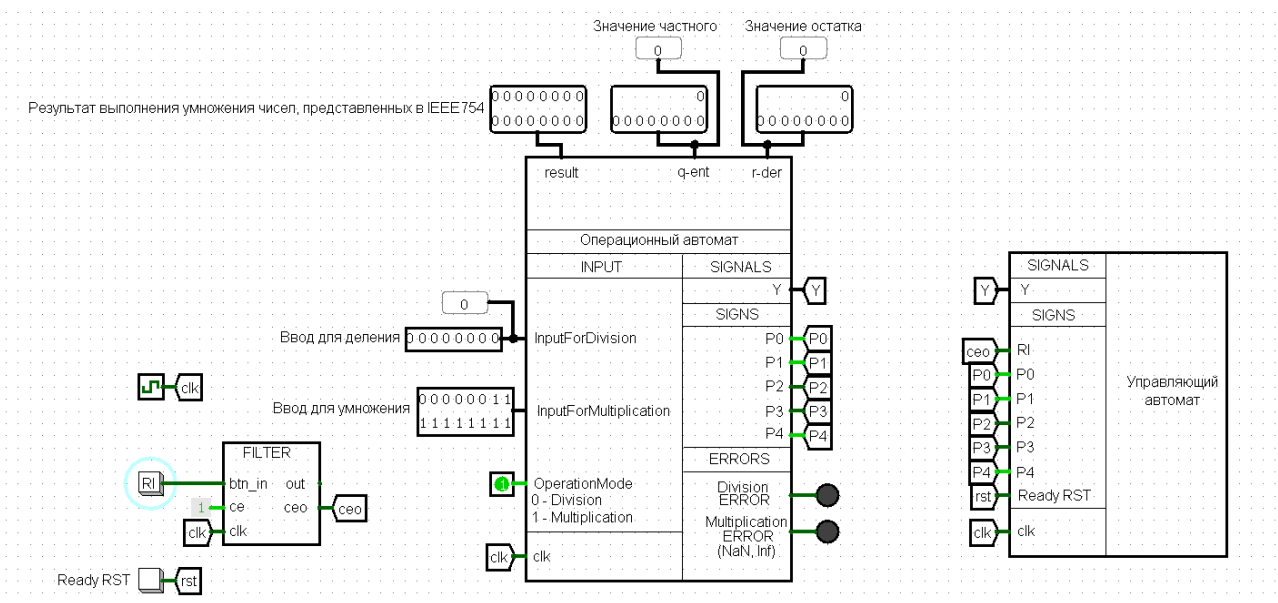


Рисунок 3.10 – Результат выполнения операции умножения 0000011111111111 на 0000001111111111

ЗАКЛЮЧЕНИЕ

В ходе выполнения данной практической работы было спроектировано и реализовано вычислительное устройство, включающее операционный и управляющий автоматы, предназначенные для выполнения двух операций: деления чисел в дополнительном коде и умножения чисел в формате IEEE 754.

На этапе проектирования были выполнены следующие задачи:

1. Построена блок-схема вычислительного устройства (Рисунок 2.1).
2. Построены таблицы переходов, признаков и микрокоманд для операционного и управляющего автоматов, определяющие их взаимодействие (Рисунки 2.2 – 2.4).
3. Разработаны вспомогательные схемы, необходимые для выполнения операций деления и умножения (Рисунки 2.5 – 2.15).
4. Реализованы операционный и управляющий автоматы, которые были объединены в единое вычислительное устройство (Рисунки 2.16 – 2.19).

Тестирование разработанного устройства проведено для проверки корректности выполнения операций. Результаты тестирования:

1. Операция деления чисел в дополнительном коде: данные о делимом, делителе, ожидаемом и фактическом значениях частного и остатка представлены в Таблице 3.1 и на Рисунках 3.1 – 3.5.
2. Операция умножения чисел в формате IEEE 754: Данные о множителях, ожидаемом и фактическом произведении представлены в Таблице 3.2 и на Рисунках 3.6 – 3.10.

Таким образом, результаты проектирования и тестирования показали, что разработанное вычислительное устройство функционирует корректно и соответствует поставленным требованиям. Полученные схемы могут быть использованы для выполнения вычислений с высокой точностью и эффективностью.