

Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Πανεπιστήμιο Θεσσαλίας

ECE333 - Εργαστήριο Ψηφιακών Συστημάτων

Χειμερινό Εξάμηνο — Ακαδημαϊκό Έτος 2022-2023

Εργαστηριακή Εργασία 4η

Ψηφιακή Διαμόρφωση Σημάτων Ήχου

Digital Modulation for Sound Signals

11/12/2022 έως 15/01/2023

X. Σωτηρίου

Περιεχόμενα

1	Στόχος της 4ης Εργασίας	2
2	Διαμόρφωση Παλμών PDM/PWM Πρωτοκόλλων	2
2.1	Ψηφιακή Διακριτοποίηση PDM/PWM	2
2.2	Μικρόφωνο και Ψηφιακή Καταγραφή Ήχου	3
2.3	Αναπαραγωγή Μονοφωνικού (Mono) Ήχου	4
2.4	Διαθέσιμες Μονάδες Μνήμης (BRAM και DDR2)	4
2.4.1	Σειριοποίηση και Αποσειριοποίηση Δεδομένων	4
2.4.2	Μνήμη DDR	5
3	Δομή της Μονάδας Ελεγκτή/Οδηγού Ήχου	5
4	Μέρος Α - Υλοποίηση Οδηγού Μικροφώνου και Αποσειριοποίηση Δεδομένων	6
5	Μέρος Β - Υλοποίηση Οδηγού Αναπαραγωγής Ήχου και Σειριοποίηση Δεδομένων	7
6	Μέρος Γ - Υλοποίηση Ελεγκτή Μνήμης DDR2	7
7	Προθεσμία Παράδοσης, Υποβολή της Εργασίας και Αναφορά	7
8	Ερωτήσεις και Απορίες	8

1 Στόχος της 4ης Εργασίας

Ο στόχος της 4^{ης} εργαστηριακής εργασίας είναι η υλοποίηση ενός οδηγού καταγραφής και αναπαραγωγής ήχου χρησιμοποιώντας Ψηφιακή Διαμόρφωση. Πρακτικά ο οδηγός που καλείστε να υλοποιήσετε μετατρέπει ένα αναλογικό σήμα από το πεδίο του συνεχούς χρόνου σε ψηφιακό σήμα διακριτών τιμών για τη διαδικασία της καταγραφής (record) ήχου. Για την αναπαραγωγή (playback) ήχου πρέπει να ακολουθηθεί η αντίστροφη διαδικασία (από το διακριτό πεδίο σε συνεχές).

Η μετατροπή από αναλογικό σε ψηφιακό σήμα αλλά και από ψηφιακό σε αναλογικό πραγματοποιούνται εσωτερικά από τις περιφερειακές συσκευές που θα χρησιμοποιηθούν, δηλαδή από το μικρόφωνο ADMP421 και το χαμηλοπερατό φίλτρο Sallen-Key Butterworth που οδηγεί τη θύρα εξόδου ήχου jack. Άρα μπορείτε να αντιμετωπίσετε τις διαδικασίες της μετατροπής από και προς το συνεχές πεδίο του χρόνου σαν "μαύρο κουτί" (black box). Έτσι, στα πλαίσια της εργασίας διαχειρίζεστε μόνο ψηφιακά σήματα. Πιο συγκεκριμένα:

- (1) με το πάτημα ενός κουμπιού πρέπει να ενεργοποιείται το μικρόφωνο και να ξεκινάει η δειγματοληψία διαμόρφωσης **Pulse-Density Modulation (PDM)** στα 2MHz.
- (2) η δειγματοληψία στο Μέρος Α [4] θα είναι διάρκειας $\sim 0.015\text{sec}$ και τα δεδομένα μετά από αποσειριοποίηση (*deserialisation*) θα αποθηκεύονται σε μια Block RAM. Αρχικά, ο χρόνος δειγματοληψίας είναι τόσο μικρός, διότι ο διαθέσιμος χώρος των 36Kbits είναι αρκετά περιορισμένος για τη λειτουργία που θέλουμε να υποστηριχθεί.
- (3) έπειτα, για το Μέρος Β [5], με το πάτημα ενός άλλου κουμπιού θα αρχίζει η σειριοποίηση (*serialisation*) και η αποστολή της αποθηκευμένης πληροφορίας με διαμόρφωση **Pulse-Width Modulation (PWM)**, ώστε να γίνει αναπαραγωγή ήχου στα 2MHz με διάρκεια $\sim 5\text{sec}$. Για να επιτευχθεί η αναπαραγωγή των $\sim 5\text{sec}$ το ήδη αποθηκευμένο μήνυμα θα επαναλαμβάνεται όσες φορές χρειάζεται.
- (4) τέλος, για το Μέρος Γ [6], η Block RAM θα αντικατασταθεί από μία DDR2 μνήμη των 128MiB με συχνότητα λειτουργίας τα 2MHz.

Το υπόλοιπο σύστημα πέρα από την επικοινωνία με τις μονάδες ήχου απαιτείται να ρυθμιστεί ώστε να λειτουργεί στα 200MHz.

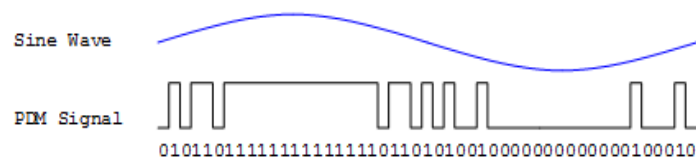
2 Διαμόρφωση Παλμών PDM/PWM Πρωτοκόλλων

2.1 Ψηφιακή Διακριτοποίηση PDM/PWM

Η ψηφιακή αναπαράσταση ηχητικών δεδομένων γίνεται μέσω της δειγματοληψίας και διακριτοποίησης του αναλογικού ηχητικού σήματος. Η μέθοδος δειγματοληψίας και διακριτοποίησης που είναι η πλέον συγχρονότερη και χρησιμοποιείται από το μικρόφωνο ADMP421 της πλακέτας ονομάζεται Pulse Density Modulation (PDM).

Στη διαμόρφωση αυτή, η τιμή 1 αντιστοιχίζεται σε θετικούς παλμούς ενώ η τιμή 0 σε αρνητικούς. Μια σειρά από 1 αναπαριστά τη μέγιστη θετική τιμή (V_{peak}) ενώ μια σειρά από 0 την ελάχιστη ($-V_{peak}$). Η συνεχής ακολουθία 101010 αναπαριστά μηδενική τιμή του αναλογικού σήματος.

Μια εξειδίκευση της PDM είναι η μέθοδος Pulse-width Modulation (PWM), στην οποία η συχνότητα εναλλαγής 0-1 διατηρείται σταθερή και το duty cycle αναπαριστά το amplitude

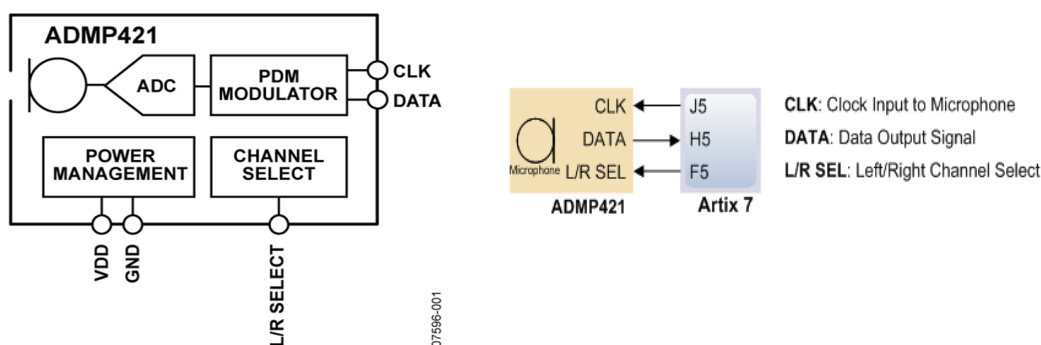


Σχήμα 1: Παράδειγμα μετατροπής αναλογικού σήματος σε PDM bitstream

του αναλογικού σήματος. Αυτή η μεθοδολογία χρησιμοποιείται συνήθως για την μετατροπή ψηφιακών σημάτων σε αναλογικά.

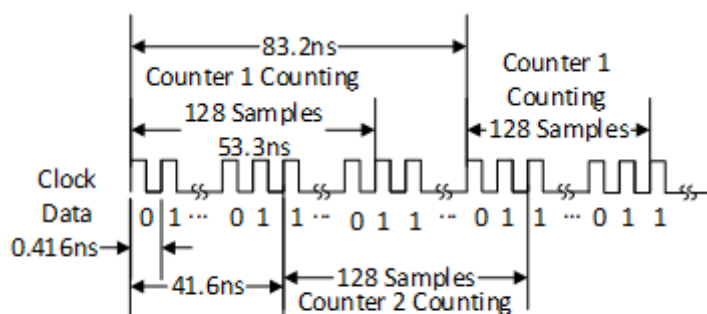
2.2 Μικρόφωνο και Ψηφιακή Καταγραφή Ήχου

Το αναλογικό ολοκληρωμένο ADMP421 που περιέχεται στην πλακέτα είναι μια συσκευή που περιέχει μικρόφωνο, ενισχυτή και ΣΔ Modulator για να παράγει απευθείας ψηφιακά PDM δεδομένα.



Σχήμα 2: Μικρόφωνο ADMP421

Η συχνότητα του CLK του ADMP421 πρέπει να είναι από 1 MHz έως 3.3 MHz, ανάλογα με τον ρυθμό και την απαιτούμενη ακρίβεια λήψης. Το σήμα L/R SEL ρυθμίζει την ενεργή ακμή του ρολογιού, δηλαδή το αν τα δεδομένα δειγματοληπτούνται στη θετική ή την αρνητική ακμή του ρολογιού. Όταν το L/R SEL είναι 0 επιλέγεται η θετική ακμή ως ενεργή. Αντίστοιχα όταν το σήμα είναι 1 επιλέγεται η αρνητική.

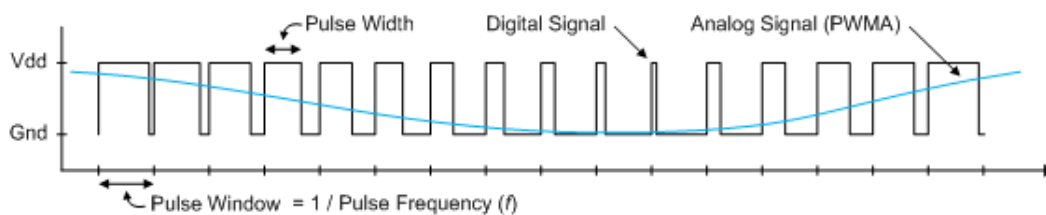


Σχήμα 3: Παράδειγμα δειγματοληψίας στα 2.4 MHz

Μια τυπική συχνότητα δειγματοληψίας είναι τα 2.4 MHz. Στο Σχήμα 3, φαίνεται ένα παράδειγμα δειγματοληψίας 24 KHz και ακρίβεια 7 bits.

2.3 Αναπαγωγή Μονοφωνικού (Mono) Ήχου

Η αναπαγωγή ήχου γίνεται μέσω του βύσματος εξόδου J8 με τη χρήση ενός χαμηλοπερατού φίλτρου Sallen-Key Butterworth 4ης τάξης. Ουσιαστικά αποτελεί την αντίστροφη διαδικασία από αυτή που εκτελεί το μικρόφωνο κατά τη δειγματοληψία. Η διαμόρφωση που χρησιμοποιεί είναι η PWM της ενότητας 2.1. Πιο αναλυτικά, η PWM κατασκευάζει μια αλληλουχία παλμών με σταθερή συχνότητα και διαφορετικό πλάτος έτσι ώστε στη μονάδα του χρόνου να ρυθμίζεται το amplitude του αναλογικού σήματος που προκύπτει. Για παράδειγμα, στην περίπτωση που το duty cycle είναι 10% το amplitude του αναλογικού σήματος θα είναι στο 10% του V_{peak} .



Σχήμα 4: Παράδειγμα κυματομορφής PWM

2.4 Διαθέσιμες Μονάδες Μνήμης (BRAM και DDR2)

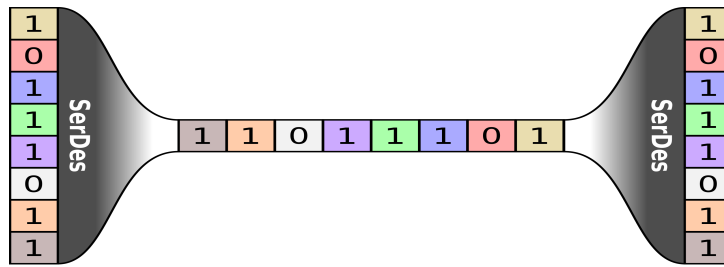
Η πλακέτα Nexys A7-100T πέρα από τις Block RAM και CLB της FPGA, διαθέτει επιπλέον μονάδες μνήμης. Οι επιπλέον μονάδες αυτές είναι μία Double Data Rate (DDR) SDRAM, μία Serial Flash και μία υποδοχή κάρτας microSD. Για την εργασία θα χρησιμοποιηθεί μία Block RAM και η DDR2. Η πρώτη επιλέχθηκε λόγω της εύκολης διαχείρισης του περιβάλλοντος επικοινωνίας που διαθέτει, ενώ η δεύτερη εξαιτίας του διαθέσιμου χώρου, καθώς είναι εφικτό να αποθηκευτεί ένα ηχητικό μήνυμα επαρκούς διάρκειας, ώστε να είναι κατανοητό από τον άνθρωπο.

Για την Block RAM προτείνεται να χρησιμοποιήσετε το Verilog Primitive RAMB36E1 της πλακέτας και να ρυθμιστεί ώστε το πλάτος δεδομένων εγγραφής και διαβάσματος να είναι είτε 16 είτε 32 bit. Το ηχητικό μήνυμα που θα καταχωρηθεί σε μία Block RAM είναι διάρκειας ~0.015sec, λόγω του μεγέθους της που είναι 36Kbits. Περισσότερες πληροφορίες για τις Block RAM θα βρείτε στην αντίστοιχη ενότητα του οδηγού χρήστη 7 Series FPGAs Memory Resources.

2.4.1 Σειριοποίηση και Αποσειριοποίηση Δεδομένων

Ένας Σειριοποιητής/Αποσειριοποιητής (Serialiser/Deserialiser) ψηφιακών δεδομένων χρησιμοποιείται ώστε να επιτευχθεί μία γρήγορη επικοινωνία σε περιορισμένα κανάλια εισόδου και εξόδου, όπως φαίνεται στο Σχήμα 5.

Στις μονάδες της εργασίας ο περιορισμός των δεδομένων εμφανίζεται στην επικοινωνία με τις περιφερειακές μονάδες, όπου το μικρόφωνο και η έξοδος ήχου επικοινωνούν με τον επεξεργαστή της πλακέτας ανταλλάσσοντας μόνο 1 δεδομένο (bit) τη φορά στην ταχύτητα των 2MHz. Σε αντιδιαστολή, η Block RAM έχει πιο γρήγορο και μεγαλύτερο κανάλι επικοινωνίας για ανάγνωση (read) και εγγραφή (write) δεδομένων. Άρα, η μνήμη θα διαβάζει **αποσειριοποιημένα (deserialised)** τα δεδομένα από το μικρόφωνο, δηλαδή τα δεδομένα από σειριακά του 1 bit πρέπει να γίνουν παράλληλα των 16 ή 32 bit, ώστε να χρησιμοποιηθεί ορθά ολόκληρη η πόρτα “εγγραφής” (write) της μνήμης. Η αντίστροφη διαδικασία

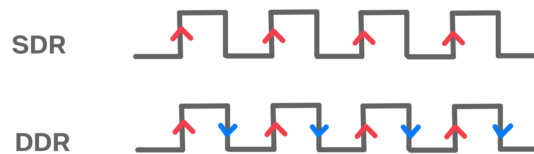


Σχήμα 5: Παράδειγμα σειριοποίησης και αποσειριοποίησης δεδομένων

της **σειριοποίησης** (**serialisation**) πρέπει να επιτευχθεί μεταξύ της πόρτας “ανάγνωσης” (read) της μνήμης και την έξοδο αναπαραγωγής ήχου (16/32 bit \rightarrow 1 bit).

2.4.2 Μνήμη DDR

Όπως ήδη συζητήθηκε το μέγεθος της Block RAM είναι αρκετά περιοριστικό για την εφαρμογή της εργασίας. Για να αντιμετωπισθεί αυτό σας προτείνετε η χρήση της Double Data Rate Synchronous Dynamic Random Access Memory (DDR SDRAM) της πλακέτας. Μία μνήμη DDR επιτυγχάνει μεγαλύτερο ρυθμό επικοινωνίας (bandwidth) με καλύτερη χρονική απόδοση (performance) σε σύγκριση με παλαιότερες αρχιτεκτονικές μνήμης. Το βασικό πλεονέκτημα είναι ότι μπορεί και ανταλλάσει δεδομένα και στις δύο ακμές του ρολογιού, δηλαδή και στη θετική και την αρνητική όπως φαίνεται και στο Σχήμα 6.



Σχήμα 6: Παράδειγμα επικοινωνίας μνημών Single Data Rate SDR και Double Data Rate DDR, όπου παρουσιάζονται οι παλμοί ρολογιού, ενώ τα βέλη στους παλμούς συμβολίζουν την ενεργοποίηση της επικοινωνίας

Η ιδέα της διπλής δειγματοληψίας είναι αρκετά εύκολη να κατανοηθεί, ωστόσο δεν είναι τόσο εύκολο να υποστηριχθεί καθώς απαιτούνται πολύπλοκες κυκλωτικές δομές, όπως και η χρήση Phase-Locked Loops (PLL) ώστε να επιτευχθεί σωστός και ακριβής χρονισμός κατά την επικοινωνία. Για τη σχεδίαση με τη χρήση της DDR2 θα χρειαστεί να οριστεί μία αναλυτική διεπαφή (interface) και στη συνέχεια να σχεδιαστεί η αντίστοιχη μονάδα ελέγχου. Ο οδηγός χρήστη Zynq-7000 SoC and 7 Series Devices Memory Interface Solutions είναι αρκετά λεπτομερής και περιγράφει βήμα προς βήμα τη διαδικασία που πρέπει να ακολουθηθεί για τη χρήση της DDR2 της πλακέτας.

Στα πλαίσια της εργασίας είναι ζητούμενο να ρυθμιστεί ορθά το πλάτος των καναλιών επικοινωνίας στα 16bits και το ρολόι να λειτουργεί στη συχνότητα των 200MHz.

3 Δομή της Μονάδας Ελεγκτή/Οδηγού Ήχου

Η προτεινόμενη μορφή του Ελεγκτή/Οδηγού Ήχου φαίνεται στο Σχήμα 7. Όλα τα σήματα του Ελεγκτή/Οδηγού Ήχου θα πρέπει να αντιστοιχηθούν στα κατάλληλα σήματα της πλακέτας, μέσω περιορισμών στο αρχείο XDC (Xilinx Design Constraints). Η κατάλληλη αντιστοίχιση βρίσκεται στα αντίστοιχα τεχνικά δελτία της πλακέτας Nexys A7-100T.

```

module sounddriver(reset, clk, \
                    recordEN, micGenCLK, micDataPDM, micLRselPDM, \
                    playbackEN, audDataPWM, audEnPWM);

    input reset;
    input clk;

    // Recording Interface //
    input recordBtnEN;
    input micDataPDM;
    output micGenCLK, micLRselPDM;

    // Playback Interface //
    input playbackBtnEN;
    output audDataPWM, output audEnPWM;

    ...

endmodule

```

Σχήμα 7: Μια Μορφή Υλοποίησης του Ελεγκτή/Οδηγού Ήχου

Σημείωση: για την οδήγηση στην έξοδο jack δε χρειάζεται να οδηγήσετε το pin J8, άλλα αρκεί να οδηγηθούν τα pins του Low Pass Filter Sallen-Key Butterworth. Το χαμηλοπερατό φίλτρο είναι αυτό που οδηγεί το pin J8.

4 Μέρος Α - Υλοποίηση Οδηγού Μικροφώνου και Αποσειριοποίηση Δεδομένων

Αρχικά θα πρέπει να κατασκευάσετε μία μονάδα που θα παράγει τα 2 ρολόγια που θα χρησιμοποιηθούν. Προτείνεται η χρήση μίας MMCM μονάδας, ώστε αυτή να παράγει και τα 2 ρολόγια, με συχνότητες λειτουργίας τα 200MHz και 2MHz το καθένα. Για να επιτευχθεί η συχνότητα των 2MHz απαιτείται η χρήση της cascading λειτουργίας της MMCM μονάδας.

Έπειτα θα πρέπει να σχεδιαστεί ο **Οδηγός Καταγραφής Ήχου** όπου με το πάτημα ενός κουμπιού θα λαμβάνει δεδομένα από το μικρόφωνο για $\sim 0.015\text{sec}$ και θα τα αποθηκεύει στη BRAM. Το μικρόφωνο θα πρέπει να ενεργοποιείται με συχνότητα των 2MHz και η δειγματοληψία από αυτό θα γίνεται μόνο στη θετική ακμή του ρολογιού. Τέλος, όπως αναλύθηκε στην ενότητα 2.4.1, θα πρέπει να γίνει αποσειριοποίηση των δεδομένων, καθώς οι εγγραφές στη μνήμη πρέπει να γίνονται όλες παράλληλα με πλάτος 16 ή 32 bits.

Τέλος, ένα διαφορετικό κουμπί θα πρέπει να αρχικοποιεί όλες τις μονάδες του υλοποιημένου κυκλώματος.

Όταν η κυκλωματική υλοποίηση είναι ορθή, επιδείξτε τον κώδικα Verilog που γράψατε για το κύκλωμα (RTL Design) και το πλαίσιο δοκιμής (Testbench) και τα αποτελέσματα της προσομοίωσης σε επιτηρητή του εργαστηρίου.

5 Μέρος Β - Υλοποίηση Οδηγού Αναπαραγωγής Ήχου και Σειριοποίηση Δεδομένων

Υλοποιήστε τον Οδηγό Αναπαραγωγής Ήχου όπου με το πάτημα ενός καινούριου κουμπιού θα διαβάσει τα δεδομένα από τη BRAM ώστε να τα αποστείλει στην αντίστοιχη έξοδο οδηγώντας το Low Pass Filter Sallen-Key Butterworth για διάρκεια ~5sec. Ωστόσο, επειδή το αποθηκευμένο μήνυμα είναι πολύ μικρότερης διάρκειας, προτείνεται το αποθηκευμένο μήνυμα να επαναλαμβάνεται όσες φορές χρειάζεται. Η επανάληψη του μηνύματος απαιτεί σωστή διαχείριση της διεύθυνσης εγγραφής. Τέλος, είναι απαραίτητη η σειριοποίηση δεδομένων επικοινωνίας από τη μνήμη προς το φίλτρο (ενότητα 2.4.1).

Όταν η κυκλωματική υλοποίηση είναι ορθή, επιδείξτε τον κώδικα Verilog που γράψατε για το κύκλωμα (RTL Design) και το πλαίσιο δοκιμής (Testbench), τα αποτελέσματα της προσομοίωσης, και το κύκλωμα εν λειτουργία σε επιτηρητή του εργαστηρίου.

6 Μέρος Γ - Υλοποίηση Ελεγκτή Μνήμης DDR2

Σε αυτό το σημείο θα πρέπει να χρησιμοποιήσετε τη μνήμη DDR2 της πλακέτας και να σχεδιάσετε την αντίστοιχη μονάδα ελέγχου αυτής ακολουθώντας τα βήματα από τον οδηγό χρήστη Zynq-7000 SoC and 7 Series Devices Memory Interface Solutions. Υπάρχει η ελευθερία είτε να αντικατασταθεί τελείως η BRAM από τα προηγούμενα μέρη, είτε μπορείτε να ενσωματώσετε τη DDR σε κάποιο σημείο της επικοινωνίας μεταξύ των μονάδων που σχεδιάσατε έως τώρα.

Όταν η κυκλωματική υλοποίηση είναι ορθή, επιδείξτε τον κώδικα Verilog που γράψατε για το κύκλωμα (RTL Design) και το πλαίσιο δοκιμής (Testbench), τα αποτελέσματα της προσομοίωσης, και το κύκλωμα εν λειτουργία σε επιτηρητή του εργαστηρίου.

7 Προθεσμία Παράδοσης, Υποβολή της Εργασίας και Αναφορά

Η προθεσμία παράδοσης της 4^{ης} εργασίας είναι η 15/01/2023.

Μέχρι την προθεσμία της εργασίας θα πρέπει:

- να έχετε επιδείξει όλα τα επιμέρους μέρη της εργασίας στους επιτηρητές,
- να έχετε υποβάλλει τον κώδικα σας (RTL Design και Testbench) για κάθε σκέλος υλοποίησης ξεχωριστά,
- να έχετε υποβάλλει μια εργαστηριακή αναφορά, βάση των σημειώσεων από το βιβλίο του εργαστηρίου, με όλη την απαραίτητη πληροφορία (*Dataflow, FSM State Graph(s), Simulation Screenshot(s), etc.*).

8 Ερωτήσεις και Απορίες

Για οποιεσδήποτε ερωτήσεις και απορίες εκμεταλλευτείτε τον ιστιότοπο του e-Class και το χρόνο του εργαστηρίου ρωτώντας τους επιτηρητές.