

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Запорізький національний технічний університет

МЕТОДИЧНІ ВКАЗІВКИ
до лабораторного практикуму з дисципліни
“Цифрова схемотехніка”
(Частина І)
для студентів спеціальності 6.090801
“Мікроелектроніка та напівпровідникові прилади ”
денної і заочної форм навчання

2009

Методичні вказівки до лабораторного практикуму з дисципліни “Цифрова схемотехніка”. Частина І. Для студентів спеціальності 6.090801 “Мікроелектроніка та напівпровідникові прилади” денної і заочної форм навчання / Укл.: Н.М. Нагорна, Є.Л. Жавжаров. – Запоріжжя: ЗНТУ, 2009. - 42 с.

Укладачі: Н.М. Нагорна, ст.викладач
Є.Л. Жавжаров, асист.

Рецензент: О.В. Томашевський, доц., канд.техн.наук

Відповідальний за випуск: Г.В. Сніжной, доц., канд.фіз.-матем. наук

Затверджено
на засіданні кафедри
„Мікро- та наноелектроніка”

Протокол № 1
від 27 серпня 2009

ЗМІСТ

Частина перша	
Загальні методичні вказівки.....	4
1 Лабораторна робота №1 “Однорозрядні компаратори”.....	5
1.1 Мета роботи.....	5
1.2 Теоретичні відомості.....	5
1.2.1 Математичний апарат цифрової схемотехніки.....	5
1.2.2 Логічні базиси та логічні елементи.....	8
1.2.3 Синтез логічної структури цифрового однорозрядного компаратора.....	10
1.3 Обладнання.....	12
1.4 Порядок виконання роботи.....	13
1.5 Зміст звіту.....	13
1.6 Контрольні запитання.....	14
2 Лабораторна робота №2 “Біполярний ключ”.....	15
2.1 Мета роботи.....	15
2.2 Теоретичні відомості.....	15
2.2.1. Ключова схема на біполярному транзисторі.....	15
2.2.2 Режим роботи біполярного транзистора.....	16
2.2.3 Режим роботи біполярного ключа.....	19
2.2.4 Критерій насичення і навантажувальна здатність ключа.....	22
2.3 Порядок проведення досліджень.....	24
2.4 Зміст звіту.....	25
2.5 Контрольні запитання.....	26
3 Лабораторна робота №3 “Транзисторно-транзисторна логіка”.....	27
3.1 Мета роботи.....	27
3.2 Теоретичні відомості.....	27
3.2.1 Принцип роботи логічного елемента ТТЛ.....	27
3.2.2 Статичні характеристики і параметри ЛЕ ТТЛ.....	30
3.3 Порядок виконання роботи.....	32
3.4 Зміст звіту.....	34
3.5 Контрольні запитання.....	34
4 Лабораторна робота №4 “Емітерно – зв’язана логіка”.....	35
4.1 Мета роботи.....	35
4.2 Теоретичні відомості.....	35
4.2.1 Принцип роботи схеми ЕЗЛ.....	35
4.2.2 Вхідна, передавальні характеристики і параметри схеми ЕЗЛ.....	36
4.3 Порядок виконання роботи.....	40
4.4 Зміст звіту.....	41
4.5 Контрольні запитання.....	42
5 Перелік рекомендованої літератури.....	42
Частина друга	

ЧАСТИНА І

ЗАГАЛЬНІ МЕТОДИЧНІ ВКАЗІВКИ

Лабораторний практикум виконує важливу роль при вивченні сучасної електроніки, що становить основу забезпечення схемотехніки переважної більшості систем управління. Лабораторні заняття дають студентам наочне уявлення про роботу окремих електронних елементів і мікросхем, про їх властивості, характеристики та можливості.

В процесі лабораторних занять з дисципліни "Цифрова схемотехніка" студент отримує необхідні знання, уміння і навички в організації та проведенні досліджень із самостійною оцінкою одержаних результатів, а також освоює технологію монтажу, настроювання і експлуатації електронних схем.

Задачами лабораторного практикуму є: поглиблене вивчення прослуханого на лекціях і придбаного в результаті самостійної роботи теоретичного матеріалу, розвиток практичних навиків розрахунку, побудови і налагодження електронних схем, їх експериментальне дослідження, обробка одержаних результатів, оформлення звітної документації.

Основні принципи, що складають основу лабораторного практикуму:

- послідовність проведення досліджень з наростаючою складністю досліджуваних елементів і мікросхем;
- дослідження типових базових схем мікросхемотехніки;
- максимальна самостійність студентів як під час підготовки до робіт, так і під час проведення досліджень.

Виконання кожної лабораторної роботи складається з 3-х етапів:

- підготовка до лабораторної роботи, вивчення теоретичного матеріалу, виконання попередніх розрахунків, ознайомлення з ходом виконання роботи;
- збирання схем і проведення досліджень відповідно до плану виконання роботи, а також реєстрація практичних результатів, їх аналіз;
- оформлення звіту з лабораторної роботи відповідно вимогам ЄСКД до текстових документів.

1 ЛАБОРАТОРНА РОБОТА №1 “ОДНОРОЗРЯДНІ КОМПАРАТОРИ”

1.1 Мета роботи

Метою роботи є: ознайомлення з теоретичними підходами, що застосовуються при синтезі логічних структур; засвоєння принципів синтезу логічної структури цифрового одnorozрядного компаратора; дослідження роботи цифрового одnorozрядного компаратора.

1.2 Теоретичні відомості

1.2.1 Математичний апарат цифрової схемотехніки

Теоретичною основою проектування цифрових систем є алгебра логіки, розробка основ якої пов'язана з ім'ям англійського математика Джорджа Буля (1815 – 1864 рр.). Тому алгебра логіки називається також булевою алгеброю. У булевій алгебрі різноманітні логічні вирази можуть приймати лише два значення - 0 або 1. Під час подачі цифрових сигналів у додатній логіці логічному нулеві відповідає низький рівень напруги U^0 , а логічній одиниці - високий рівень U^1 .

Логічні функції утворюються з логічних змінних, об'єднаних знаками логічних операцій. Як і логічні змінні, логічні функції можуть приймати лише значення логічного нуля та логічної одиниці.

Якщо кількість логічних змінних дорівнює k , то вони можуть утворити 2^k можливих логічних наборів з нулів і одиниць. Наприклад, у випадку двох логічних змінних ($k = 2$) утворюється 4 набори: 00, 01, 10, 11. Для кожного набору змінних логічна функція може приймати тільки два значення: 0 або 1.

Усі можливі логічні функції k змінних можна утворити за допомогою трьох основних операцій під назвами:

- *логічне заперечення* (інверсія, операція НЕ), що позначається символом "—" над відповідною змінною;
- *логічне додавання* (диз'юнкція, операція АБО), що позначається символами "+", "∨";
- *логічне множення* (кон'юнкція, операція І), що позначається символами "·", "∧". Знак "·" на практиці найчастіше опускають.

Для розглянутих логічних операцій справедливий ряд аксіом і законів.

Аксіоми алгебри логіки:

$$\begin{array}{lll} 1 + A = 1; & 0 \cdot A = 0; & A + \overline{A} = 1; \\ 0 + A = A; & 1 \cdot A = A; & A \cdot \overline{A} = 0; \\ A + A = A; & A \cdot A = A; & \overline{\overline{A}} = A. \end{array}$$

Закони алгебри логіки:

комутативний:

$$A + B = B + A; \quad A \cdot B = B \cdot A;$$

асоціативний:

$$(A + B) + C = A + (B + C); \quad (A \cdot B) \cdot C = A \cdot (B \cdot C);$$

дистрибутивний:

$$A \cdot (B + C) = A \cdot B + A \cdot C; \quad A + B \cdot C = (A + B) \cdot (A + C);$$

дуальності (теорема де Моргана):

$$\overline{A + B} = \overline{A} \cdot \overline{B}; \quad \overline{A \cdot B} = \overline{A} + \overline{B};$$

поглинання:

$$A + A \cdot B = A; \quad A \cdot (A + B) = A.$$

При використанні аксіом і законів алгебри логіки можна одержати нові логічні вирази, а також доказати справедливість одних законів на підставі інших. Застосування даних аксіом і законів дозволяє здійснювати спрощення логічних функцій, тобто знаходити для них вирази, що мають найбільш просту форму.

Логічні функції можуть мати різноманітні форми представлення: словесне, табличне, алгебраїчне, графічне. Наприклад, функцію $F = f(A, B)$, задану у вигляді такого словесного опису: $F=0$, коли $A=B$ і $F=1$, коли $A \neq B$, можна представити у вигляді таблиці істинності (табл. 1.1), або в алгебраїчній формі:

$$F = \overline{A}B + A\overline{B}.$$

Таблиця істинності містить всі 2^k можливих наборів значень - логічних змінних і значення функції, відповідні кожному з наборів.

Таблиця 1.1 - Таблиця істинності функції "Виключне АБО"

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

Щоб здійснити перехід від табличного уявлення функції до алгебраїчного, кожному набору змінних ставиться у відповідність мінтерм.

Мінтерм - це кон'юнкція всіх змінних, що входять у функцію, або в прямому вигляді, якщо значення даної змінної в наборі дорівнює 1, або в інверсному вигляді, якщо значення змінної дорівнює 0.

Для k змінних можна скласти $q = 2^k$ мінтермів. Всі мінтерми двох змінних наведені в табл. 1.2. У цій же таблиці приведені значення функції "Виключне АБО". Алгебраїчне представлення функції F є сумою мінтермів, що відповідають наборам змінних, для котрих $F=1$:

$$F = \overline{A}B + A\overline{B}.$$

Таке представлення функції називається *досконалою диз'юнктивною нормальною формою* (ДДНФ).

Таблиця 1.2 - Мінтерми, макстерми та значення функції "Виключне АБО"

A	B	Мінтерми	Макстерми	F
0	0	$\overline{A}\overline{B}$	$A+B$	0
0	1	$\overline{A}B$	$A+\overline{B}$	1
1	0	$A\overline{B}$	$\overline{A}+B$	1
1	1	AB	$\overline{A}+\overline{B}$	0

Інша алгебраїчна форма представлення функції утворюється при використанні макстермів.

Макстерм - це диз'юнкція всіх змінних, що входять у функцію, або в прямому вигляді, якщо значення даної змінної в наборі дорівнює 0, або в інверсному вигляді, якщо значення змінної дорівнює 1 (табл.1.2).

Число макстермів, як і мінтермів, для функції k змінних дорівнює $q = 2^k$. Алгебраїчне уявлення функції F є добутком макстермів, що відповідають наборам змінних, для котрих $F = 0$:

$$F = (A + B) \cdot (\bar{A} + \bar{B}).$$

Таке уявлення функції називається її *досконалою кон'юнктивною нормальною формою* (ДКНФ).

Використовуючи закони булевої алгебри, неважко довести еквівалентність отриманих ДДНФ і ДКНФ функції F .

Таким способом здійснюється перехід від таблиці істинності до алгебраїчного представлення логічної функції. Будь-яку логічну функцію можна представити у вигляді ДДНФ або ДКНФ, тобто відповідною комбінацією найпростіших логічних функцій І, АБО, НЕ.

Проте, ДДНФ або ДКНФ функцій частіше не є найбільш простими їхніми виразами. Використовуючи логічні аксіоми і закони, можна в багатьох випадках одержати більш прості представлення функцій, що називаються мінімізованими.

Зворотний перехід від алгебраїчного до табличного уявлення функції виконується шляхом послідовного підставлення в їх алгебраїчні вирази всіх q можливих наборів змінних, визначення відповідних значень F і заповнення таблиці істинності.

1.2.2 Логічні базиси і логічні елементи

Функціонально повним логічним базисом називається набір логічних операцій, за допомогою якого можна представити будь-яку логічну функцію.

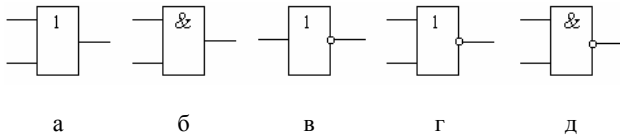
Прикладом такого набору є сукупність операцій диз'юнкції, кон'юнкції та інверсії.

Логічний базис називається мінімальним, якщо виключення хоча б однієї з його операцій перетворює цей набір у функціонально неповний.

Логічний базис І, АБО, НЕ не є мінімальним, тому що за допомогою законів дуальності можна виключити з логічних виразів функцію І чи АБО. В цьому разі будуть одержані мінімальні базиси І, НЕ чи АБО, НЕ. Існують мінімальні логічні базиси, що містять тільки одну функцію: І-НЕ (штрых Шеффера), АБО-НЕ (стрілка Пірса) тощо.

Схеми, які реалізують одну з елементарних операцій, називаються логічними елементами. Логічний елемент, який реалізує операцію диз'юнкції, називається диз'юнктором; кон'юнкції – кон'юнктором; інверсії - інвертором; "АБО-НЕ" - елементом Пірса; "І-НЕ" - елементом Шеффера.

Позначення найпростіших логічних елементів та їх таблиці істинності наведені на рис. 1.1 та в табл. 1.3.



а - двохходовий диз'юнктор; б - двохходовий кон'юнктор; в - інвертор;
г - двохходовий елемент Пірса; д - двохходовий елемент Шеффера

Рисунок 1.1 - Схемні позначення логічних елементів

Таблиця 1.3 - Таблиці істинності логічних елементів

Диз'юнктор			Кон'юнктор			Інвертор		Елемент Пірса (АБО-НЕ)			Елемент Шеффера (І-НЕ)		
x_1	x_2	F	x_1	x_2	F	x	F	x_1	x_2	F	x_1	x_2	F
0	0	0	0	0	0	0	1	0	0	1	0	0	1
0	1	1	0	1	0	1	0	0	1	0	0	1	1
1	0	1	1	0	0			1	0	0	1	0	1
1	1	1	1	1	1			1	1	0	1	1	0

Реальні логічні елементи мають ряд особливостей, які відрізняють їх від ідеальних:

- кількість входів логічних елементів є обмеженою, що може привести до необхідності додаткового перетворення синтезованих логічних функцій;
- навантажувальна здатність логічних елементів скінченна;
- затримки сигналів при проходженні через логічні елементи можуть спричиняти перегони сигналів і приводити до збоїв.

Для ілюстрації збоїв розглянемо двохходовий елемент Шеффера, який характеризується запізненням t у поширенні сигналу x_1 порівняно з сигналом x_2 . Якщо в деякий момент часу t_0 відбудеться зміна входних сигналів, то на виході елемента Шеффера виникне збій (рис. 1.2).

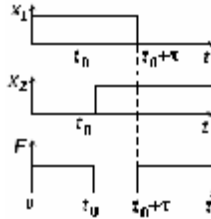


Рисунок 1.2 - Пояснення механізму виникнення збоїв

1.2.3 Синтез логічної структури цифрового однорозрядного компаратора

Цифрові компаратори виконують порівняння двох чисел A і B , заданих у двійковому коді. У залежності від кількості розрядів порівнюваних чисел розрізняють одно-, дво- і більш розрядні компаратори. Цифрові однорозрядні компаратори виконують порівняння двійкових однорозрядних чисел.

У загальному випадку компаратор має три виходи: $F1$, $F2$ і $F3$. При будь-якій комбінації сигналів на входах на одному із виходів буде спостерігатися логічний рівень, відмінний від логічних рівнів на інших виходах. Такий логічний рівень називається *активним*, а вихід, на якому він спостерігається, - *активним виходом*.

Який конкретно логічний рівень буде активним - "0" або "1" - визначається логічною схемою. У випадку, коли активний рівень "0", маємо на одному з виходів "0", а на всіх інших "1". Який із виходів буде активним, залежить від того, яке з трьох можливих співвідношень $A < B$, $A = B$ або $A > B$ має місце.

Нехай потрібно синтезувати цифровий однорозрядний компаратор, що порівнює два однорозрядних числа A і B . Компаратор має два входи A і B і три виходи $F1$, $F2$ та $F3$.

Алгоритм його роботи:

$$\begin{aligned} F1 &= 0, & \text{якщо } A < B, & \text{інакше } 1; \\ F2 &= 0, & \text{якщо } A = B, & \text{інакше } 1; \\ F3 &= 0, & \text{якщо } A > B, & \text{інакше } 1. \end{aligned}$$

На підставі заданого алгоритму складається таблиця істинності компаратора (табл. 1.4).

Таблиця 1.4 - Таблиця істинності цифрового однорозрядного компаратора

A	B	$F1$	$F2$	$F3$
0	0	1	0	1
0	1	0	1	1
1	0	1	1	0
1	1	1	0	1

Опис роботи компаратора в аналітичному вигляді є системою з трьох логічних рівнянь.

У даному випадку простіше одержати рівняння у вигляді ДКНФ, бо нулів у стовпцях функцій таблиці істинності менше, ніж одиниць.

Система логічних рівнянь, що відповідає даному компараторові, має вигляд:

$$\begin{aligned} F1 &= A + \bar{B}, \\ F2 &= (A + B) \cdot (\bar{A} + \bar{B}), \\ F3 &= \bar{A} + B. \end{aligned}$$

ДКНФ функцій $F1$, $F2$, $F3$ є мінімізованими, тобто їх неможливо спростити стандартними методами.

Проте, майстерність проектування в тому і складається, щоб знаходити нестандартні рішення. У даному конкретному випадку таких нестандартних рішень може бути знайдено два.

По-перше, кожна з трьох реалізованих функцій $F1$, $F2$ або $F3$ достатньо просто може бути виражена через дві інші. Такою функцією доцільно вибрати функцію $F2$, тому що саме вона має найбільш складний логічний вираз.

Як було зазначено вище, $F2=0$ тільки тоді, коли $F1=1$ і $F3=1$, інакше $F2=1$. Цей вислів є словесним описом функції І-НЕ, причому $F1$ і $F3$ відіграють роль аргументів (входів елемента І-НЕ), а $F2$ - роль функції (виходу І-НЕ). Відповідний логічний вираз має вигляд:

$$F2 = \overline{F1 \cdot F3}.$$

Друге з нестандартних рішень: при потребі реалізації декількох логічних функцій, виділяються в їхніх логічних виразах однакові фрагменти, щоб потім реалізувати їх однією підсхемою.

Для реалізації другого рішення проводяться такі перетворення:

$$F1 = A + \bar{B} = \overline{\bar{A}B} = \overline{\bar{A}B(B + \bar{B})} = \overline{\bar{A}B + B\bar{B}} = \overline{B(\bar{A} + \bar{B})} = \overline{B(\overline{AB})},$$

$$F3 = \bar{A} + B = \overline{A\bar{B}} = \overline{A\bar{B}(A + \bar{A})} = \overline{A\bar{B} + A\bar{A}} = \overline{A(\bar{A} + \bar{B})} = \overline{A(\overline{AB})}.$$

У обох отриманих виразах утворився фрагмент \overline{AB} . Логічна структура, яка відповідає одержаним виразам для $F1$, $F2$, $F3$, будуватиметься в базисі І-НЕ (рис. 1.3).

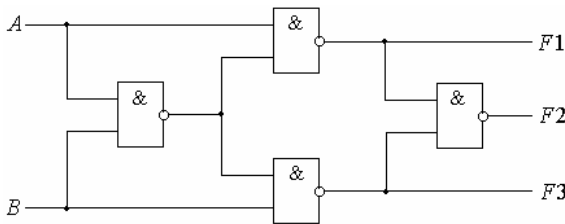


Рисунок 1.3 - Логічна структура однорозрядного компаратора

1.3 Обладнання

У даній лабораторній роботі використовується мікросхема К155ЛА3, що включає чотири однакових логічних елемента 2І-НЕ транзисторно-транзисторної логіки (ТТЛ).

Маркування мікросхеми приведено на рис. 1.4. Напруга живлення 5 В подається на виводи 14 (+) і 7 (-). Виводи на мікросхемі нумеруються від ключа проти годинникової стрілки.

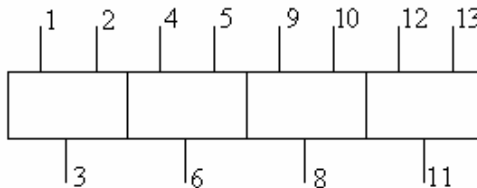


Рисунок 1.4 - Маркування мікросхеми К155ЛА3

При подаванні логічного нуля на якийсь вхід схеми треба підключити цей вхід до спільного вузла схеми.

Подання логічної одиниці на вхід рівносильне повному від'єднанню цього входу від схеми.

1.4 Порядок виконання роботи

1.4.1 Розробіть електричну схему для дослідження принципу дії цифрового однорозрядного компаратора.

1.4.2 Зберіть схему цифрового однорозрядного компаратора з використанням мікросхеми К155ЛА3 (рис. 1.4). Встановіть напругу живлення 5 В, підготуйте вольтметр для вимірювання рівнів сигналів на виходах схеми.

1.4.3 Подайте на входи A і B схеми сигнали у послідовності: $(0,0)$; $(0,1)$; $(1,0)$; $(1,1)$. В кожному з чотирьох режимів заміряйте вольтметром напруги на виходах схеми $F1$, $F2$, $F3$.

1.4.4 На підставі замірів побудуйте таблицю істинності компаратора.

1.5 Зміст звіту

Звіт повинен містити: найменування і мету роботи; систему логічних рівнянь, що описує алгоритм роботи компаратора; логічну структуру однорозрядного компаратора; електричну схему експеримента; обмірювані значення вихідних напруг схеми; таблицю спостережень; стислі висновки за результатами роботи.

1.6 Контрольні запитання

- 1 Якими об'єктами оперує булева алгебра?
- 2 Яке табличне представлення мають основні оператори булевої алгебри: заперечення, диз'юнкція, кон'юнкція?
- 3 Які аксіоми використовуються в булевій алгебрі?
- 4 Як формулюються закони булевої алгебри: комутативності, асоціативності, дистрибутивності, дуальності та поглинання?
- 5 Які форми представлення мають логічні функції?
- 6 Чим реальні логічні елементи відрізняються від ідеальних?
- 7 За якими правилами формуються мінтерми та макстерми?
- 8 За завданням викладача здійсніть перехід від табличного представлення логічної функції до алгебраїчного (у вигляді ДДНФ або ДКНФ).

- 9 Які алгебраїчні представлення функцій називаються мінімізованими?
- 10 Що таке логічний базис? Який логічний базис називається мінімальним?
- 11 Які умовні позначення і таблиці істинності мають основні логічні елементи НЕ, І, АБО, І-НЕ, АБО-НЕ, виключне АБО, виключне АБО-НЕ?
- 12 Що таке мінімальний і розширений елементні базиси? У яких випадках варто використовувати розширений базис?
- 13 Що таке цифровий компаратор? Чим однорозрядний компаратор відрізняється від дворозрядного?
- 14 Які особливості має логічна структура однорозрядного компаратора, що досліджується в роботі?
- 15 Як можна спостерігати результат порівняння двох чисел у компараторі?
- 16 Що таке активний логічний рівень?
- 17 Яка за величиною і на які виводи мікросхеми подається напруга живлення при дослідженнях?
- 18 Доведіть твердження $AB + \overline{B}C + AC = AB + \overline{B}C$.
- 19 Спростуючи окремо кожен з функцій $f_1 = ABC + \overline{A}C + A\overline{C} + \overline{B}C$ та $f_2 = \overline{(AB + BC + AC)}(\overline{AB} + \overline{BC})$, доведіть їх тотожність.
- 20 Складіть таблицю істинності функції $f(C, B, A) = AB + \overline{AC}$.

2 ЛАБОРАТОРНА РОБОТА №2 “БІПОЛЯРНИЙ КЛЮЧ”

2.1 Мета роботи

Метою роботи є: вивчення роботи простого біполярного ключа на інтегральному транзисторі; розгляд режимів роботи біполярного транзистора; визначення параметрів біполярного ключа.

2.2 Теоретичні відомості

2.2.1 Ключова схема на біполярному транзисторі

У цифрових мікросхемах електронні ключі використовуються для формування напруг логічного нуля і логічної одиниці. Вони зустрічаються як самостійні елементи або ж входять як складові частини складніших приладів.

Транзисторні ключі мають підсилювальні властивості, що дозволяє одержати на виході більший за амплітудою сигнал, ніж на вході, а також підключати до виходу ключа достатньо велике навантаження.

Електронні ключі реалізуються на біполярних або польових транзисторах. Розглянемо роботу ключа на біполярному транзисторі (БТ). Найбільше поширення набув ключ з включенням БТ за схемою із спільним емітером (рис. 2.1), в якому активне навантаження R_K включене в ланцюг колектора транзистора. Колекторний (вихідний) ланцюг з джерелом живлення E_K і резистором R_K є керованим (перериваємим). В управляючому (базовому) ланцюзі знаходиться джерело управляючої напруги U_{BX} і резистор R_B , що обмежує величину базового струму транзистора.

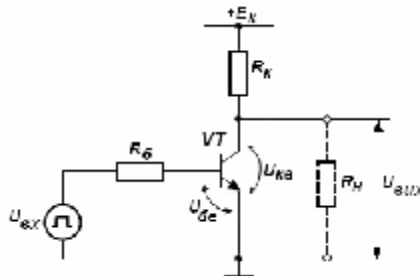


Рисунок 2.1 - Простий транзисторний ключ

У схемі використані комутуючі властивості БТ, оскільки з його допомогою здійснюється перемикання напруги на виході схеми з високого рівня на низький і навпаки. При цьому БТ працює в ключовому режимі і може знаходитися в двох стійких станах: закритому ($U_{VYH} = "1"$) і відкритому ($U_{VYH} = "0"$). В закритому стані транзистора опір вихідного ланцюга схеми R_{VYH} великий, а у відкритому - малий.

2.2.2 Режими роботи біполярного транзистора

Фізичні процеси в БТ не залежать від схеми вмикання транзистора, а залежать тільки від режиму його роботи. Залежно від полярності напруг, прикладених до емітерного і колекторного переходів БТ, можливі чотири режими його роботи:

- нормальний активний (емітерний перехід відкритий, колекторний - закритий);
- інверсний активний (емітерний перехід закритий, колекторний - відкритий);
- насичення (обидва переходи відкриті);
- відсікання (обидва переходи закриті).

Нормальний активний режим. Через відкритий емітерний перехід *n-p-n* транзистора відбувається інжекція основних носіїв: електронів з емітера в базу і дірок з бази в емітер. Оскільки емітер легують значно сильніше бази, струми, зумовлені рухом основних носіїв, задовольняють нерівності: $I_{ne} \gg I_{pe}$.

Далі інжектвані в базу електрони переміщуються від емітерного переходу до колекторного. Частина електронів при цьому рекомбінує з основними носіями в базі - дірками, створюючи струм рекомбінації $I_{рек}$.

Електрони, що дійшли до колекторного переходу, екстрагують в колектор під дією прискорюючого поля оберненозміщеного колекторного переходу, створюючи струм $I_{нк}$. Одночасно створюється невеликий струм $I_{кб0}$, обумовлений екстракцією неосновних носіїв через оберненозміщений колекторний перехід: дірок з колектора в базу і електронів з бази в колектор. При цьому $I_{кб0} = I_{рк0} + I_{пб0} \gg I_{рк0}$. Струм $I_{кб0}$ називають також некерованим струмом колектора.

На рис. 2.2,а вказані напрями струмів в *n-p-n* транзисторі з урахуванням того, що напрями струмів протилежні напрямку руху електронів і співпадають з напрямом руху дірок, причому $E > U_{ax}$. Струми на виводах транзистора

$$I_e = I_{ne} + I_{pe} \approx I_{ne},$$

$$I_k = I_{нк} + I_{кб0} \approx a I_e + I_{кб0},$$

$$I_b = I_{рек} + I_{pe} - I_{кб0} \approx I_{рек} - I_{кб0} = I_{ne} - I_{нк} - I_{кб0} \approx I_e - a I_e - I_{кб0} = (1-a) I_e - I_{кб0},$$

де $a = I_{нк} / I_e$ - коефіцієнт передачі струму в транзисторі, що вказує, яка частина емітерного струму відгалужується в колекторний ланцюг (значення a наближається до одиниці).

Напруга між колектором і емітером

$$U_{ке} = U_1 + |U_2|,$$

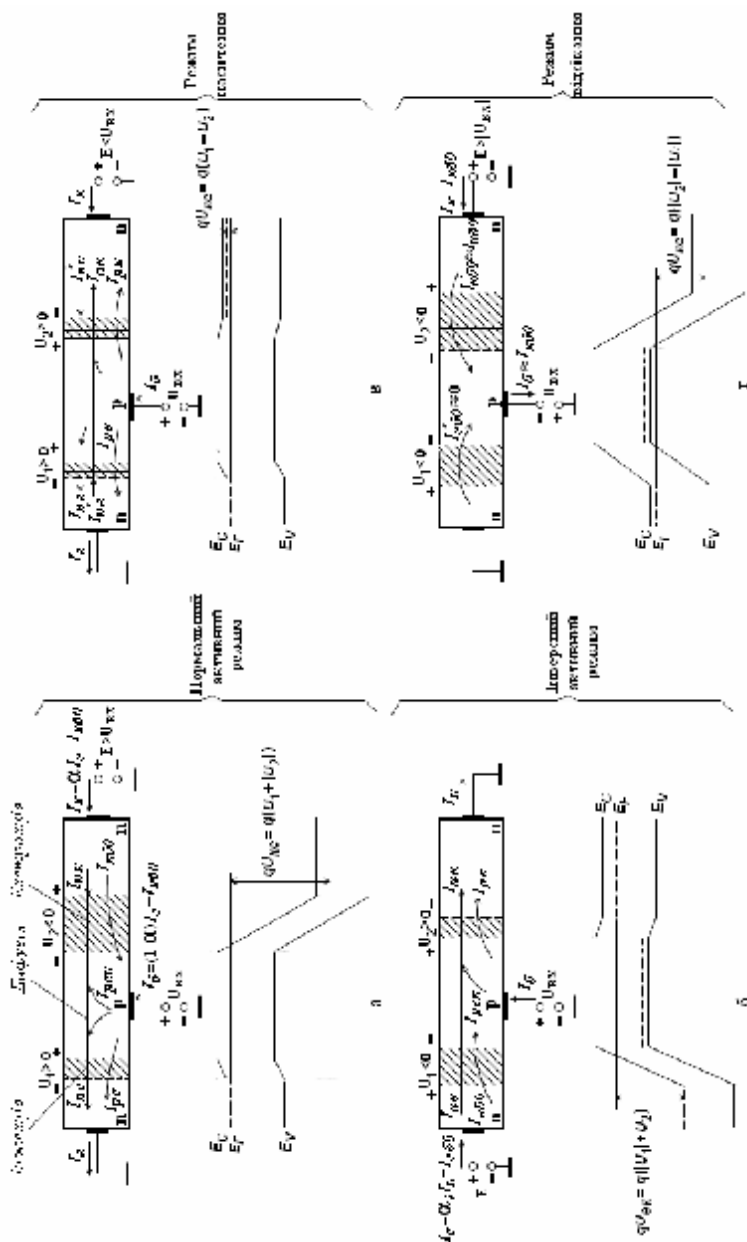
де U_1, U_2 - падіння напруги на емітерному і колекторному переходах відповідно.

Інверсний активний режим відрізняється від нормального активного режиму тільки тим, що емітер і колектор виконують протилежні функції: колектор інjektує основні носії в базу, а емітер екстрагує неосновні носії в базу. Розподіл струмів в інверсному режимі аналогічний розподілу струмів в нормальному активному режимі. На рис. 2.2, б $I_{eб0}$ - зворотний струм емітерного переходу, a_I - коефіцієнт передачі в інверсному режимі. Для реальних БТ $a_I < a_N$ (іноді індекс N опускається, тоді $a_N = a$).

Гірші підсилювальні властивості БТ в інверсному режимі пояснюються слабким легуванням області колектора і малою площею емітерного переходу.

Режим насичення. Обидва переходи БТ відкриті. У кожному з переходів протікають струми інжекції і екстракції (рис. 2.2, в). Наприклад, через емітерний перехід протікає струм інжекції електронів I_{ne} і дірок I_{pe} , а також струм екстракції електронів I'_{ne} , що дійшли від колекторного переходу. Аналогічні складові є і в колекторному переході. Напрямок струмів на виводах емітера і колектора залежить від того, яка з компонент переважає. У базі БТ накопичується значна кількість нерівноважних носіїв заряду.

Режим відсікання. Обидва переходи є оберненозміщеними, відбувається екстракція неосновних носіїв через них. Тому концентрація неосновних носіїв в базі менше за рівноважну. У режимі відсікання (рис. 2.2, г) в БТ протікають зворотні струми переходів $I'_{eб0}$ і $I'_{кб0}$, які є меншими за величиною, ніж введені раніше $I_{eб0}$ і $I_{кб0}$. Можна пока-



а - нормальний активний резистор, б - інверсний активний резистор,
в - резистивний елемент, г - резистивний елемент

Рисунок 2.2 - Розподіл струмів та енергетичні зони в різних режимах роботи БТ

водах транзистора за наявності зовнішнього навантаження (у схемі резистора R_K). При побудові НХ враховується, що напруга живлення ключа E_K дорівнює сумі падінь напруг в колекторному ланцюзі:

Тоді струм в колекторному ланцюзі

$$I_K = \frac{E_K - U_{KE}}{R_K}. \quad (2.1)$$

Для побудови НХ достатньо знайти точки перетину її з осями координат при підстановці у вираз (2.1) позмінно $I_K = 0$ та $U_{KE} = 0$.

Робоча точка ключа в закритому стані займає на НХ положення A' . Напруга на колекторі БТ

$$U_{KE} = E_K - I_{KB0} R_K \approx E_K.$$

При цьому умовно можна вважати, що т. A' співпадає з т. A . Таким чином, на виході схеми встановлюється висока напруга, відповідна рівню лог. "1", при низькій напрузі на вході схеми.

У відкритому стані ключа напруга на вході схеми $U_{BX} > U^*$. Обидва переходи БТ прямозміщені, і транзистор знаходиться в режимі насичення. Робоча точка ключа займає на НХ положення т. B . Це друге, характерне для ключового режиму, положення робочої точки.

У колекторному ланцюзі схеми протікає великий струм насичення колектора

$$I_{KH} = (E_K - U_{ZAL}) / R_K \approx E_K / R_K, \quad (2.2)$$

де U_{ZAL} - напруга між колектором та емітером у відкритому стані БТ, причому $U_{ZAL} \ll E_K$.

З виразу (2.2) видно, що значення струму I_{KH} не залежить від амплітуди сигналу на вході ключа, оскільки в режимі насичення БТ стає некерваним.

У реальних схемах залишкова напруга

$$U_{ZAL} = U_{KE} + I_{KH} r_{KK},$$

де r_{KK} - горизонтальний опір колекторного шару БТ.

В структурах інтегральних транзисторів зі схованим колекторним шаром опір r_{KK} малий.

Щоб ключ працював стійко, величина $U_{зал}$ не повинна перевищувати часток вольт. Тому в ключових схемах використовують спеціальні імпульсні транзистори з малою напругою $U_{зал}$ і малим часом вмикання і вимикання для прискорення перехідних процесів в схемі.

З аналізу двох режимів роботи ключа виходить, що ключова схема є інвертором, що реалізовує логічну функцію НЕ. Це підтверджується її передавальною характеристикою (рис. 2.4).

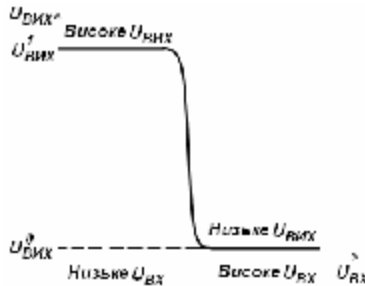


Рисунок 2.4 - Передавальна характеристика ключа

Точки 1 і 2 на НХ (рис. 2.3) відповідають динамічному режиму роботи ключа. Перехідні процеси в ключі показані на рис. 2.5.

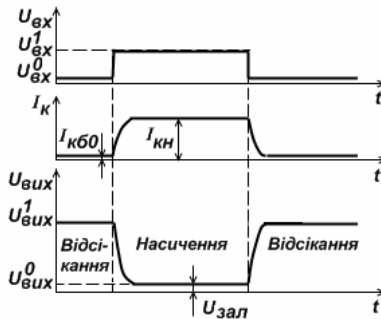


Рисунок 2.5 - Спрощена динаміка процесів перемикання ключа

2.2.4 Критерій насичення і навантажувальна здатність ключа

Критерій насичення. З рис. 2.1 неважко одержати вираз для відмикаючого струму бази БТ:

$$I_{\delta}^{+} = (E_{\delta}^{+} - U_{\delta e}^{*}) / R_{\delta},$$

де E_{δ}^{+} - напруга на вході ключа у відкритому його стані; $U_{\delta e}^{*}$ - падіння напруги на відкритому емітерному переході.

Оскільки падіння напруги на відкритому емітерному переході слабо залежить від струму, а величини E_{δ}^{+} і R_{δ} вважаються заданими, то струм I_{δ}^{+} , а також струм $I_{\kappa\kappa}$ з виразу (2.2) можна вважати заданими величинами, а напруга $U_{\text{вих}} = U_{\kappa e}$ є функцією струмів. Тому ключ на БТ також називають струмовим ключем.

Коли струми є незалежними величинами, зручно користуватися наступною умовою надійного відмикання ключа, званою струмовим критерієм насичення:

$$BI_{\delta}^{+} > I_{\kappa\kappa}, \quad (2.3)$$

де B – коефіцієнт підсилення базового струму БТ в нормальному активному режимі.

Нерівність (2.3) повинна бути сильною, щоб неминучі при роботі ключа зміни величин, що входять до неї, не призвели до виходу транзистора з режиму насичення і, відповідно, до різкого збільшення $U_{\text{зал}}$.

Силу нерівності характеризують ступенем насичення

$$S = BI_{\delta}^{+} / I_{\kappa\kappa}. \quad (2.4)$$

Зазвичай $S = 2...3$, значення $S = 1$ відповідає границі з активним режимом.

Навантажувальна здатність ключа - це кількість паралельно ввімкнених ключів, якими здатний управляти даний ключ. На рис. 2.6 показаний ключ, до якого підключені паралельно n навантажувальних ключів.

Коли ключ знаходиться в закритому стані, на виході його проті-

кає струм I , який ділиться порівну між базами транзисторів ключів-навантажень. Тоді струм бази VT1 (рис. 2.6)

$$I_{\delta 1}^{+} = \frac{1}{n} \cdot \frac{E_{\kappa} - U^{*}}{R_{\kappa}},$$

де U^{*} - падіння напруги на відкритому емітерному переході VT1.

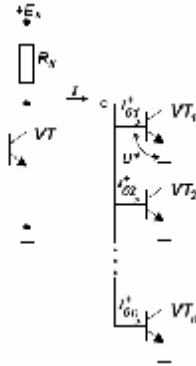


Рисунок 2.6 - Ключ з паралельним навантаженням

Струм бази I_{δ}^{+} повинен задовольняти критерію насичення (2.3), де колекторний струм насичення, як і раніше, визначається виразом (2.2). Тоді з (2.3) можна одержати обмеження на навантажувальну здатність

$$n < \frac{E_{\kappa} - U^{*}}{E_{\kappa}} \cdot B.$$

Оскільки ВАХ навантажувальних транзисторів неідентичні, що приводить до розкиду їх базових струмів, нерівність підсилюють, вводячи в неї ступінь насичення

$$n < \frac{B}{S} \cdot \frac{E_{\kappa} - U^{*}}{E_{\kappa}}.$$

2.3 Порядок проведення досліджень

2.3.1 Зберіть схему для зняття вихідних характеристик транзистора (рис. 2.7), використовуючи один з транзисторів транзисторної збірки 198НТ1А (рис. 2.8).

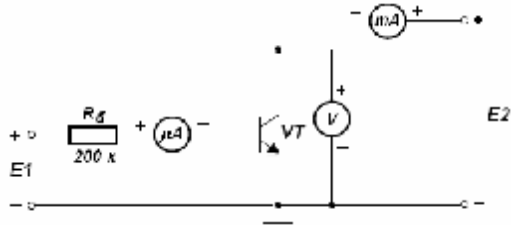


Рисунок 2.7 - Схема для зняття вихідних характеристик БТ

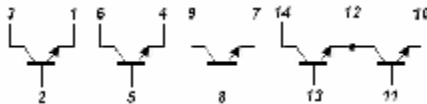


Рисунок 2.8 - Маркування мікросхеми 198НТ1А

Для збірки КР198НТ1А маркування мікросхеми наступне: перший транзистор - 1 – колектор, 2 – емітер, 3 – база, другий транзистор - 4 – колектор, 5 – емітер, 6 – база; третій транзистор - 7 – колектор, 8 – емітер, 9 – база; четвертий транзистор - 10 – колектор, 12 – емітер, 11 – база; п'ятий транзистор - 14 – колектор, 12 – емітер, 13 – база.

Зніміть вихідні характеристики транзистора при наступних фіксованих струмах бази: $I_b = 10, 20, 35$ мкА.

2.3.2 Зберіть схему для зняття статичної вхідної і статичної передавальної характеристик ключа (рис. 2.9), використавши вже вибраний зі збірки транзистор.

Зніміть передавальну $U_{вих}(U_{вх})$ і вхідну $I_{вх}(U_{вх})$ характеристики ключа, для чого необхідно встановити напругу джерела $E_k = 4,5$ В; потім змінюючи напругу джерела E_b в діапазоні 0..2,5 В, зафіксуйте показання приладів.

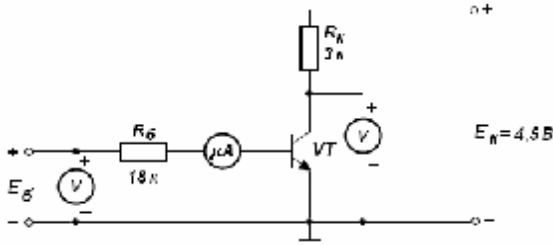


Рисунок 2.9 – Схема дослідження роботи біполярного ключа

2.3.3. Побудуйте вихідні характеристики транзистора за результатами п. 2.3.1. По характеристиці з найбільшим струмом бази визначте статичний коефіцієнт підсилення БТ за струмом

$$B = \frac{I_{\kappa}}{I_{\delta}} \quad \text{при} \quad U_{\kappa e} = 2 \text{ В.}$$

На вихідних характеристиках транзистора побудуйте характеристику навантаження, використавши вираз (2.1).

Вкажіть робочі точки, відповідні відкритому і закритому станам ключа.

Визначте струм $I_{\kappa n}$ та напругу $U_{\text{зал}}$.

2.3.4. Побудуйте вхідну і передавальну характеристики ключа за результатами п. 2.3.2. З передавальної характеристики визначте рівні лог. "0" та лог. "1", а з вхідної - вхідний диференціальний опір ключа у відкритому стані $R_{\text{вх диф}} = \Delta U_{\text{вх}} / \Delta I_{\text{вх}}$.

Визначте ступінь насичення ключа S і навантажувальну здатність n , вважаючи, що $I_{\delta}^{+} = I_{\delta 3} = 35 \text{ мкА}$.

2.4 Зміст звіту

Звіт повинен містити : найменування і мету роботи; схему транзисторного ключа; схему для зняття вихідних характеристик БТ; таблиці знятих залежностей $I_{\kappa}(U_{\kappa e})$, графіки сім'ї вихідних характеристик БТ і навантажувальної характеристики ключа; розраховані статичний коефіцієнт підсилення БТ за струмом, струм $I_{\kappa n}$, напругу $U_{\text{зал}}$ з відповідними формулами; схему дослідження роботи біполярного

ключа; таблиці знятих залежностей $U_{вих}(U_{вх})$ і $I_{вх}(U_{вх})$; графіки передавальної та вхідної характеристик ключа; розраховані статичні параметри ключа з відповідними формулами; стислі висновки за результатами роботи.

2.5 Контрольні запитання

- 1 Якими повинні бути напруги на переходах, щоб n^+p-n транзистор працював в режимі: а) нормальному активному; б) інверсному активному; в) насичення; г) відсікання?
- 2 Який вид мають енергетичні діаграми $n-p-n$ транзистора, що працює в режимі: а) відсікання; б) насичення?
- 3 Який вид мають графіки розподілу струмів транзистора від геометричної координати з дотриманням відносних масштабів, якщо він працює в режимі: а) насичення; б) відсікання?
- 4 Що мають спільного та чим відрізняються транзисторні ключі на $p-n-p$ і $n-p-n$ транзисторах?
- 5 Як працює ключ у якості логічного елемента? Яка таблиця істинності такого елемента?
- 6 Як впливає підключення навантаження до виходу біполярного ключа на його статичні характеристики?
- 7 Які головні статичні параметри характеризують біполярний ключ?
- 8 Як зміниться стан ключа, що знаходиться в режимі насичення зі ступенем насичення $S = 1,5$, якщо опір R_k зменшити в 2 рази ?
- 9 Що характеризує навантажувальну здатність ключа? Чому вона обмежена зверху?
- 10 Чому при роботі ключів ступінь насичення $S > 1$?
- 11 Як впливає збільшення S на швидкість ключа?
- 12 Чим відрізняються поняття дифузії, екстракції, інжекції?
- 13 Якими параметрами схеми визначається струм колектора в режимі насичення?
- 14 Як зміститься робоча точка B (рис. 2.3), якщо ступінь насичення S збільшиться?

3 ЛАБОРАТОРНА РОБОТА №3 “ТРАНЗИСТОРНО-ТРАНЗИСТОРНА ЛОГІКА”

3.1 Мета роботи

Метою роботи є: вивчення принципів роботи базового логічного елемента транзисторно-транзисторної логіки (ТТЛ) і визначення його статичних параметрів.

3.2 Теоретичні відомості

3.2.1 Принцип роботи логічного елемента ТТЛ

Логічні елементи ТТЛ і ТТЛ на транзисторах Шотткі (ТТЛШ) складають основу широко поширених серій цифрових мікросхем (130, 131, 133, 134, 155, 530, 531, 555, 556, 589, 599, 734, 1531, 1533).

Простий логічний елемент (ЛЕ) ТТЛ (рис. 3.1) реалізує логічну функцію І-НЕ.

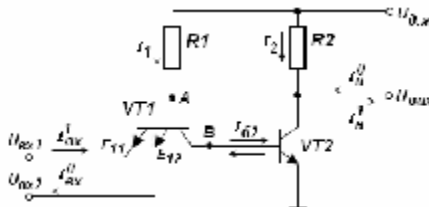


Рисунок 3.1 - Схема простого ЛЕ ТТЛ

Схема складається з каскаду на багатоємітерному транзисторі (БЕТ) $VT1$, що виконує спільно з резистором $R1$ логічну операцію І, а також вихідного каскаду на транзисторі $VT2$ і резисторі $R2$, що виконує операцію НЕ.

Колекторний перехід БЕТ відкритий при будь-яких режимах роботи ЛЕ за рахунок прямого його зсуву, оскільки полярність джерела живлення пряма для $p-n$ переходу база-колектор транзистора $VT1$ (потенціал т. А завжди більше потенціалу т. В).

При аналізі роботи ЛЕ розглядаються 2 режими. У режимі 1 на всі входи ЛЕ поданий високий потенціал $U_{вх}^1$, тобто поданий рівень логічної одиниці (далі в тексті для спрощення: подана 1). Опір резис-

тора $R1$ підібраний таким, щоб за рахунок протікання по ньому струму I_1 потенціал т. A був менше U_{ex}^1 (всі емітерні переходи транзистора $VT1$ опиняються при цьому замкнутими). БЕТ працює в інверсному режимі. Через його колекторний перехід в базу $VT2$ надходить струм $I_{\beta 2} \approx I_1$, який відкриває $VT2$ і вводить його в насичення. В результаті на виході схеми встановлюється низький потенціал $U_{вих}^0$, рівний залишковій напрузі на насиченому $VT2$:

$$U_{вих}^0 = U_{зал_2} = U_{ке_2} + r_{кк} I_{к_{нас\ 2}},$$

де $r_{кк}$ - об'ємний опір колекторного шару $VT2$; $I_{к_{нас\ 2}}$ - колекторний струм насиченого $VT2$.

Струм $I_{к_{нас\ 2}}$ рівний сумі струму I_2 , що протікає через резистор $R2$, і струму I_n^0 , що втікає у вихід схеми при підключенні у якості навантаження подібних ЛЕ.

По вхідних ланцюгах втікають в схему мікроамперні струми оберненозміщених емітерних переходів I_{ex}^1 .

У режимі 2 хоча б на один вхід ЛЕ подається низький потенціал U_{ex}^0 . Наприклад, при подачі на входи $U_{ex1} = U_{ex}^1$ і $U_{ex2} = U_{ex}^0$ емітерний перехід E_{11} закритий, а перехід E_{12} відкритий. Через прямозміщений перехід E_{12} протікає великий міліамперний струм I_{ex}^0 , витікаючий з входу 2 схеми. Цей струм протікає також по базі $VT1$ і через резистор $R1$, створюючи на ньому велике падіння напруги. Потенціал т. A при цьому знижується в порівнянні з режимом 1 і стає рівним

$$U_A = U_{ex}^0 + U_{e12}^*,$$

де U_{e12}^* - падіння напруги на відкритому переході E_{12} . Для відкритих кремнієвих переходів $U^* = 0,6...0,8$ В.

Потенціал бази $VT2$ також знижується і стає рівним

$$U_B = U_A - U_{кб1}^* = U_{ex}^0 + U_{e12}^* - U_{кб1}^* < U^*.$$

БЕТ знаходиться в режимі насичення. Тому потенціал т. B можна визначити іншим способом:

$$U_B = U_{ex}^0 + U_{зал1},$$

де $U_{зал1}$ - залишкова напруга на насиченому БЕТ ($U_{зал1} \approx 0...0,2$ В).

В результаті зниження потенціалу U_B емітерний перехід $VT2$ закривається, а сам $VT2$ переходить в режим відсікання. При цьому мікроамперний струм витікає з бази $VT2$. На виході схеми формується високий потенціал, причому за відсутності навантаження $U_{вих}^1 \approx U_{д.ж.}$. При підключенні навантаження до виходу схеми струм навантаження витікатиме зі схеми, і $U_{вих}^1 \approx U_{д.ж.} - I_n^1 R_2$.

Схема рис. 3.1 не економічна. Коли на виході схеми сигнал 0, через $R2$ тече великий струм I_2 , споживаючи від джерела живлення велику потужність, яка лише нагріває схему. Для зниження струму I_2 можна збільшити $R2$, але при цьому $U_{вих}^1$ зменшуватиметься, що знижує навантажувальну здатність схеми.

Модифікований варіант ЛЕ ТТЛ (рис. 3.2) містить фазорозщеплюючий каскад на $VT2$, $R2$, $R3$, не виконуючий ніякої логічної операції, а також двотактовий крайовий підсилювальний каскад на $VT3$, $VT4$, $VD3$, $R4$, реалізуючий операцію НЕ.

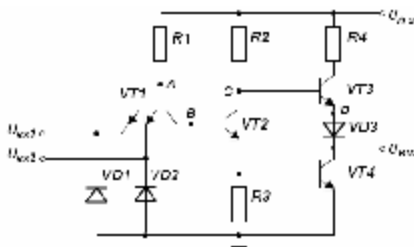


Рисунок 3.2 - Схема модифікованого ЛЕ ТТЛ

Транзистор $VT2$ у якості розщеплювача фази дозволяє відкривати $VT3$, $VT4$ у протифазі: при відкритому $VT2$ відкритий і $VT4$, а $VT3$ закритий; і навпаки, при закритому $VT2$ закритий $VT4$, а $VT3$ відкритий.

На практиці $R4 = 50...500 \text{ Ом}$; $R2/R4 = 10$; $R2/R3 = 1...2$. Тому коли $VT2$ насичений, через нього тече струм у декілька разів менший, ніж в схемі рис. 3.1. Вказаний струм створює на $R3$ падіння напруги, достатнє, щоб $VT4$ теж був насичений, і на виході формується низький потенціал. При цьому транзистор $VT3$ замкнутий, оскільки потенціал т. D вище (або рівний) потенціалу т. C , що можливе через наявність в схемі діода зсуву $VD3$. Відсутність власного струму споживання у вихідному ланцюзі (за рахунок замкнутого $VT3$) крайового каскаду робить його економічним при 0 на виході.

При нулі хоча б на одному з входів схеми $VT2$ закритий, близька до нуля різниця потенціалів на $R3$, тому замкнутий $VT4$. Потенціал т. C зростає до величини $U_{\text{д.ж.}}$, якщо не враховувати падіння напруги на $R2$ від протікання по ньому струму бази $VT3$. Тому $VT3$ відкритий. На виході схеми формується 1. Вихідний ланцюг знову не споживає потужність через закритий $VT4$.

Діоди $VD1$, $VD2$ підвищують завадостійкість схеми. Вони замкнуті для вхідних сигналів позитивної полярності і відкриваються тільки при негативній полярності напруг на входах, що спостерігається при перехідних процесах, коли через паразитні ємності та індуктивності в ланцюгах, підключених до входів ЛЕ, виникають затухаючі коливання.

3.2.2 Статичні характеристики і параметри ЛЕ ТТЛ

Вхідна характеристика базового ЛЕ (рис. 3.3,а) складається з трьох ділянок. Ділянка I відповідає стану схеми, в якому струм $I_{\text{вх}}^0$ протікає через відкритий емітерний перехід транзистора $VT1$, а $VT2$ закритий. Ділянка II відповідає відмиканню $VT2$, при цьому струм $I_{\text{вх}}$ перемикається в ланцюг бази $VT2$. Ділянка III відповідає закритим емітерним переходам $VT1$.

За графіком залежності $I_{\text{вх}} = f(U_{\text{вх}})$ можна визначати максимальне значення вхідного струму $I_{\text{вхmax}}$, порогові напруги логічного нуля $U_{\text{пор}}^0$ і логічної одиниці $U_{\text{пор}}^1$.

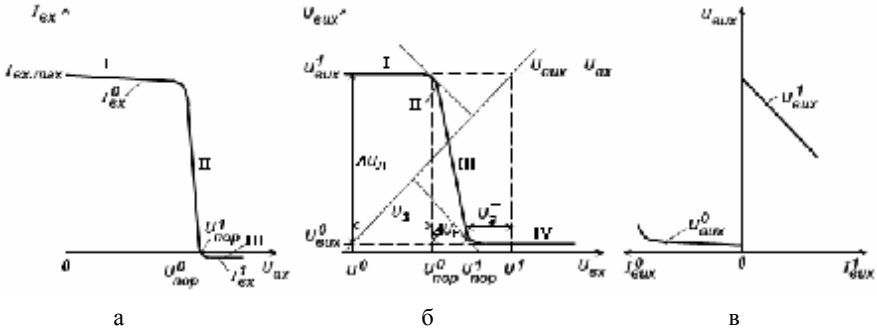


Рисунок 3.3 - Вхідна (а), передавальна (б) і вихідні (в) характеристики ЛЕ ТТЛ

Передавальна характеристика елемента ТТЛ має чотири ділянки, яким відповідають наступні стани: I, II - VT3 відкритий, VT4 закритий; III - VT3, VT4 відкриті, IV - VT3 закритий, VT4 відкритий. Ділянка III відповідає процесу перемикавання схеми.

За характеристикою $U_{вих} = f(U_{вх})$ визначаються наступні параметри: $U_{пор}^0$, $U_{пор}^1$ - порогові рівні нуля і одиниці; $U_{вих}^0$, $U_{вих}^1$ - напруги логічних нуля і одиниці; $\Delta U_{л} = U_{вих}^1 - U_{вих}^0$ - логічний перепад; ширина зони невизначеності $\Delta U_{н} = U_{пор}^1 - U_{пор}^0$; значення завадостійкості в стані логічного нуля (позитивної завадостійкості) $U_3^+ = U_{пор}^0 - U^0$; значення завадостійкості в стані логічної одиниці (негативної завадостійкості) $U_3^- = U^1 - U_{пор}^1$.

Передавальні характеристики реальних мікросхем мають деякий розкид, обумовлений різницею зовнішніх умов, розкидом параметрів компонентів та іншими чинниками. У зв'язку з цим значення $U^0, U^1, U_{пор}^0, U_{пор}^1$ поміщаються у середині діапазонів:

$$U_{\min}^0 \leq U^0 \leq U_{\max}^0 ; \quad U_{\min}^1 \leq U^1 \leq U_{\max}^1 ;$$

$$U_{пор.\min}^0 \leq U_{пор}^0 \leq U_{пор.\max}^0 ; \quad U_{пор.\min}^1 \leq U_{пор}^1 \leq U_{пор.\max}^1 .$$

Статична завадостійкість реальних мікросхем визначається для найгіршого поєднання чинників:

$$U_3^+ = U_{пор.\min}^0 - U_{\max}^0 ; \quad U_3^- = U_{\min}^1 - U_{пор.\max}^1 .$$

Вихідні характеристики розрізняють по верхньому і нижньому рівнях напруги (рис. 3.3, в). Вихідні струми $I_{вих}^0$ та $I_{вих}^1$ відповідають струмам I_n^0 і I_n^1 на рис. 3.1. Вказані струми не повинні перевищувати значення $K_{роз} \cdot I_{вх.\max}$. Коефіцієнт розгалуження $K_{роз}$ визначає навантажувальну здатність елемента і рівний максимальній кількості аналогічних елементів-навантажень, які здатний перемикає даний ЛЕ. У даній роботі можна прийняти $K_{роз} = 5$.

За вихідними характеристиками визначаються $R_{вих}^0$, $R_{вих}^1$ - вихідні опори відкритого і закритого елементів:

$$R_{вих}^0 = \frac{U_{вих}^0(5) - U_{вих}^0(0)}{I_{вих}(5)} ; \quad R_{вих}^1 = \frac{U_{вих}^1(0) - U_{вих}^1(5)}{I_{вих}(5)} ,$$

де $U_{вих}^0(0)$, $U_{вих}^0(5)$ - значення вихідної напруги низького рівня при $I_{вих}^0 = 0$, $I_{вих}(5) = 5 \cdot I_{вх.\max}$; $U_{вих}^1(0)$, $U_{вих}^1(5)$ - та ж напруга високого рівня.

3.3 Порядок виконання роботи

3.3.1 Виберіть за вказівкою викладача мікросхему ТТЛ, яка може виконувати роль інвертора. У якості такої схеми може виступати будь-яка мікросхема, що реалізує функції І-НЕ, АБО-НЕ. Випишіть з довідника паспортні дані, що характеризують ІМС, занесіть їх в таблицю.

За вказівкою викладача досліджується основний або модифікований варіант ЛЕ. Залежно від заданого варіанта вибирається певний вивід ІМС як вихід ЛЕ.

3.3.2 Зберіть схему, показану за рис. 3.4. Якщо входи схеми ТТЛ залишаються не приєднаними, то це рівносильно подачі на них логічної 1. При знятті характеристик необхідно спочатку встановити напругу живлення $U_{д.жс.} = 5$ В.

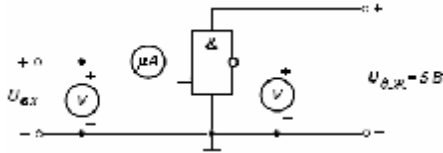


Рисунок 3.4 – Схема для зняття вхідної і передавальної характеристик ЛЕ

Зніміть вхідну і передавальну характеристики ЛЕ, змінюючи $U_{вх}$ в межах $0 \dots U_{д.ж.}$ та фіксуючи показання приладів. При знятті ділянки I вхідної характеристики (малі значення $U_{вх}$) вхідний струм витікатиме зі схеми, тому полюс + у мікроамперметра слід під'єднати до виводу ІМС. При знятті ж ділянки III напрям вхідного струму змінюється на протилежний, тому слід здійснити переполюсовку у мікроамперметрі.

За побудованим графіком залежності $I_{вх} = f(U_{вх})$ визначте струм $I_{вх.макс}$.

3.3.3 Зберіть схеми рис. 3.5 і зніміть вихідні характеристики ЛЕ. При знятті характеристики $U_{вих}^0 = f(I_{вих}^0)$ за схемою рис. 3.5,а напруга вхідного джерела повинна задовольняти нерівності $U_{вх} = U_{вх}^1 > U_{нор}^1$ і бути постійною.

Зняття характеристики $U_{вих}^1 = f(I_{вих}^1)$ за схемою рис. 3.5,б здійснить при незмінному $U_{вх} = U_{вх}^0 < U_{нор}^0$.

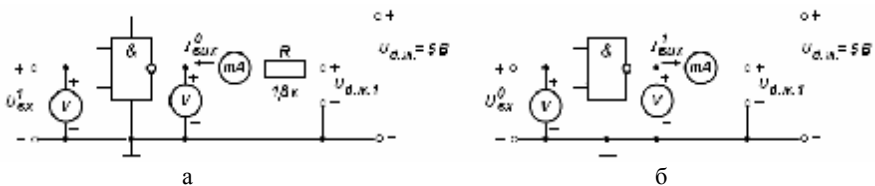


Рисунок 3.5 – Схеми для зняття вихідних характеристик по нижньому (а) і верхньому (б) рівням вихідних напруг

3.3.4 З'єднайте послідовно два логічні елементи і зніміть передавальну характеристику одержаного повторювача. Порівняйте отриману характеристику з характеристикою інвертора.

3.3.5 Відповідно до методики розділу 3.2 розрахуйте статичні параметри ЛЕ ТТЛ: $U_{пор}^0$, $U_{пор}^1$, $U_{вих}^0$, $U_{вих}^1$, $\Delta U_{Л}$, $\Delta U_{н}$, U_3^+ , U_3^- , $R_{вих}^0$, $R_{вих}^1$.

3.4 Зміст звіту

Звіт повинен містити: найменування і мету роботи; таблицю основних параметрів досліджуваної ІМС ТТЛ; досліджувану електричну схему логічного елемента ТТЛ; схему для зняття вхідної і передавальної характеристик; таблиці знятих залежностей $I_{вх} = f(U_{вх})$, $U_{вих} = f(U_{вх})$; графіки вхідної і передавальної характеристик; схеми для зняття вихідних характеристик; таблиці знятих залежностей $U_{вих}^0 = f(I_{вих}^0)$, $U_{вих}^1 = f(I_{вих}^1)$; графіки вихідних характеристик ЛЕ ТТЛ; розраховані статичні параметри ЛЕ ТТЛ $U_{пор}^0$, $U_{пор}^1$, $U_{вих}^0$, $U_{вих}^1$, $\Delta U_{Л}$, $\Delta U_{н}$, U_3^+ , U_3^- , $R_{вих}^0$, $R_{вих}^1$; стислі висновки за результатами роботи.

3.5 Контрольні запитання

- 1 Який принцип роботи основного і модифікованого варіантів ЛЕ ТТЛ?
- 2 Яка методика визначення статичних параметрів ЛЕ ТТЛ?
- 3 Що таке навантажувальна здатність схеми і як її можна збільшити?
- 4 Яке призначення діодів VD1, VD2 в схемі ЛЕ ТТЛ?
- 5 В якому режимі працює БЕТ VT1, якщо на всіх входах ЛЕ встановлена напруга $U_{вх} > U_{пор}^1$; $U_{вх} < U_{пор}^0$?
- 6 Яка таблиця істинності базового ЛЕ ТТЛ?
- 7 На входах схеми модифікованого варіанта ЛЕ ТТЛ (рис. 3.2) встановлені $U_{вх}^0 = 0,2$ В. Яким буде при цьому потенціал т. А?
- 8 Як впливає величина логічного перепаду на завадостійкість схеми?
- 9 Чому резистор R4 (рис. 3.2) має невеликий опір?
- 10 Як зміниться робота модифікованої схеми ЛЕ, якщо в ній не буде встановлений діод VD3?
- 11 Чому схеми ТТЛ мають не дуже високу швидкодію?
- 12 Чому вихідні опори ЛЕ мають співвідношення $R_{вих}^0 < R_{вих}^1$?

4 ЛАБОРАТОРНА РОБОТА №4 “ЕМІТЕРНО – ЗВ’ЯЗАНА ЛОГІКА”

4.1 Мета роботи

Метою роботи є: вивчення принципів роботи схеми ЕЗЛ, дослідження її статичних характеристик, визначення параметрів і розгляд умов сумісності.

4.2 Теоретичні відомості

4.2.1 Принцип роботи схеми ЕЗЛ

Цифрові мікросхеми ЕЗЛ мають надвисоку швидкодію, що досягла субнаносекундного діапазону. Зменшення часу перемикання схем досягається наступними схемотехнічними особливостями логічних елементів ЕЗЛ: транзистори в схемах є ненасиченими; логічний перепад $\Delta U_{\text{Л}} = U^1 - U^0$ є малим; у схемах присутні емітерні повторювачі (ЕП).

Схема ЛЕ (рис. 4.1) складається з перемикача струму (ПС) на транзисторах $VT1$, $VT2$, резисторах $R_{\kappa 1}$, $R_{\kappa 2}$, R_e і двох ЕП на транзисторах $VT3$, $VT4$ з відповідними резисторами.

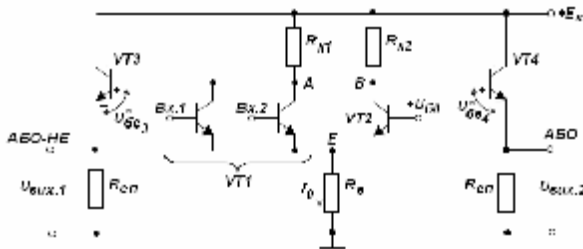


Рисунок 4.1 - Схема ЛЕ емітерно-зв'язаної логіки

Вхідна логіка здійснюється декількома паралельно підключеними транзисторами (у схемі на рис. 4.1 $VT1$), які складають із спільним резистором $R_{\kappa 1}$ ліве плече ПС. Відмикання будь-якого з цих транзисторів, або всіх відразу, приводить до перемикання струму з правого плеча ПС в ліве.

На базу $VT2$ подається постійна напруга $U_{\phi 0}$, значення якої відповідає середньому значенню рівнів нуля і одиниці: $U_{\phi 0} = (U^0 + U^1)/2$.

Якщо на всі входи схеми подана низька напруга U^0 , то транзистори з групи $VT1$ закриті, струм через ліве плече не тече, напруга в т. A приблизно рівна E_k і потенціал на лівому виході буде високим.

Якщо на один або декілька входів поданий високий потенціал, то один або декілька транзисторів з групи $VT1$ будуть відкритими, за рахунок протікання струму через ліве плече ПС на опорі R_{k1} впаде напруга, і потенціал т. A стане низьким. На виході 1 при цьому з'явиться низька напруга. Отже, на лівому виході схема виконує функцію "АБО-НЕ". Якщо $VT1$ відкритий, то $VT2$ замкнутий і навпаки. Тому на правому виході схема реалізує функцію "АБО".

Присутність в схемі емітерних повторювачів дозволяє знизити вихідний опір схеми, підсилити вихідні сигнали за потужністю, підвищити швидкодію схеми і навантажувальну здатність при роботі на лінії зв'язку або інші логічні елементи. Крім того, ЕП зменшують потенціали виходів схеми на U^* в порівнянні з потенціалами т. A і B за рахунок того, що транзистори $VT3$, $VT4$ завжди працюють в активному режимі, і на їх відкритих емітерних переходах падає напруга U^* . Вказаний зсув рівнів сигналів ПС за напругою забезпечує сумісність ЛЕ ЕЗЛ за входом і виходом. Дотримання принципу сумісності дозволяє до виходів ЛЕ підключати входи таких же навантажувальних ЛЕ і забезпечувати їх сумісну працездатність.

4.2.2 Вхідна, передавальні характеристики і параметри схеми ЕЗЛ

Типові вхідна і передавальні характеристики схеми ЕЗЛ наведені на рис. 4.2.

На характеристиці $U_{вих} = f(U_{вх})$ можна виділити 4 області: I - область усталеного значення низької вихідної напруги для прямого і високого для інверсного виходів; II – зона перемикавання; III - область усталеного значення логічної одиниці для прямого і логічного нуля для інверсного виходів (у цій області характеристика $U_{вих1} = f(U_{вх})$)

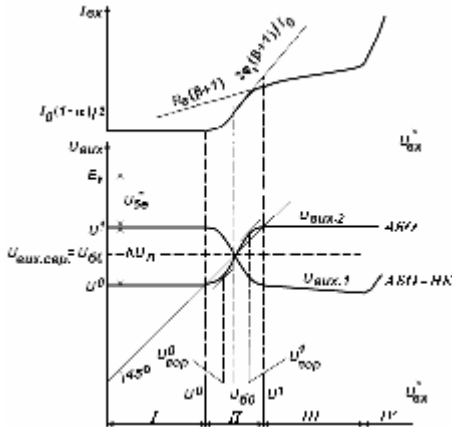


Рисунок 4.2 - Вхідна і передавальні характеристики схеми ЕЗЛ

має деякий нахил внаслідок неідеальності ПС); IV - область насичення для транзисторів на вході схеми (неробочий режим).

Аналогічні області виділені на вхідній характеристиці: I - вхідний транзистор закритий; II - відбувається відмикання вхідного транзистора, його базовий струм при цьому нелінійно зростає; III - вхідний транзистор відкрито, вхідний струм трохи зростає через збільшення емітерного струму ПС; IV - вхідний транзистор відкритий до насичення, при цьому його базовий струм сильно збільшується (неробоча ділянка).

На основі аналізу роботи схеми в чотирьох розглянутих областях виводяться основні кількісні співвідношення, що характеризують її роботу. Хай з групи вхідних транзисторів розглядається тільки один, інші вважаються закритими.

На ділянці I транзистор VT1 закритий, його вхідний струм $I_{вх} = 0$, а напруга колектора $U_{к1} = U_A = E_k - I_{бVT3} R_{к1} \approx E_k$. Тоді $U_{вих1} = E_k - U_{бe3}^*$, де $U_{бe3}^*$ - падіння напруги на відкритому емітерному переході VT3. А транзистор VT2 на ділянці I відкритий, причому струм в його емітерному ланцюзі $I_0 = (U_{б0} - U_{бe2}) / R_e$; а напруга на його колекторі $U_{к2} = U_B = E_k - a_2 I_0 R_{к2}$ (струм I_0 транзистора VT4 нехтується зважаючи на його малість). Тоді $U_{вих2} = E_k - a_2 I_0 R_{к2} - U_{бe4}^*$, де a_2 - коефіцієнт під-

силення за струмом транзистора $VT2$; $U_{\delta e4}^*$ - падіння напруги на відкритому емітерному переході $VT4$.

На ділянці II при $U_{\delta x} = U_{\delta 0}$ транзистори $VT1$ і $VT2$ відкриті однаково, їх емітерні струми рівні $I_e = I_0 / 2$. Тоді вхідний струм $I_{\delta x} = I_{\delta 1} = (1 - a_1) I_0 / 2$. Нахил вхідної характеристики при $U_{\delta x} = U_{\delta 0}$ визначається величиною диференціального вхідного опору $r_{\delta x. \delta uф. II}$, який можна оцінити.

При малих змінах вхідного сигналу навколо точки спокою напруга на вході схеми дорівнює сумі двох складових: постійної і змінної

$$U_{\delta x} = U_{=} + \Delta U_{\delta x}.$$

Змінна складова вхідної напруги

$$\Delta U_{\delta x} = \Delta I_{\delta x} r_{\delta 1} + \Delta I_{e1} r_{e1} = \Delta I_{\delta x} r_{\delta 1} + \frac{\Delta I_{\delta x}}{1 - a_1} r_{e1}, \quad (4.1)$$

де $r_{\delta 1}$ - опір бази $VT1$; r_{e1} - диференціальний опір емітерного переходу $VT1$ на невинродженій ділянці ВАХ переходу, який визначається відповідно до виразу

$$r_{e1} = \frac{dU_{\delta e1}}{dI_{e1}} = \frac{d(j_T \ln(I_{e1} / I_{e\delta 0}))}{dI_{e1}} = \frac{j_T}{I_{e1}} = \frac{2j_T}{I_0}.$$

Вираз (4.1) справедливий, якщо потенціал т. E постійний, що має місце на ділянці II, оскільки $R_e \gg r_{e1}$ і $VT2$ відкритий.

Тоді з урахуванням того, що $r_{\delta 1} \approx 0$:

$$r_{\delta x. \delta uф. II} = \frac{\Delta U_{\delta x}}{\Delta I_{\delta x}} = \frac{r_{e1}}{1 - a_1} = r_{e1} (1 + b_1) = \frac{2j_T}{I_0} (1 + b_1), \quad (4.2)$$

де a_1 і b_1 - диференціальні коефіцієнти підсилення за струмом транзистора $VT1$ в схемах зі спільною базою та спільним емітером.

Для типових значень $I_0 = 10^{-3} \text{ А}$, $(1 + b_1) = 50$, тоді $r_{\text{вх.диф.II}} \approx 2,6 \cdot 10^3 \text{ Ом}$.

На ділянці III транзистор VT2 закритий і напруга $U_{\text{вих2}} = U^1$. Транзистор же VT1 із зростанням $U_{\text{вх}}$ продовжує відкриватися, одночасно росте потенціал т. Е. Проте, це відчинення транзистора є повільним завдяки наявності сильного негативного зворотного зв'язку, створеного опором R_e . Вхідний струм

$$I_{\text{вх}} = (1 - a_1)I_0 = (1 - a_1) \cdot (U_{\text{вх}} - U_{\text{бел}}^*) / R_e = \frac{U_{\text{вх}} - U_{\text{бел}}^*}{R_e(1 + b_1)} \quad (4.3)$$

лінійно наростає, а вихідна напруга

$$U_{\text{вих1}} = E_{\kappa} - I_{\kappa1} R_{\kappa1} - U_{\text{бел3}}^* = E_{\kappa} - a_1 \frac{U_{\text{вх}} - U_{\text{бел}}^*}{R_e} R_{\kappa1} - U_{\text{бел3}}^*$$

лінійно падає.

Нехтуючи малою зміною $U_{\text{бел}}^*$ при зміні $U_{\text{вх}}$ можна з (4.3) визначити змінну складову вхідної напруги $\Delta U_{\text{вх}} = \Delta I_{\text{вх}} R_e (1 + b_1)$.

Тоді диференціальний вхідний опір на ділянці III

$$r_{\text{вх.диф.III}} = R_e (1 + b_1). \quad (4.4)$$

На ділянці IV напруга $U_{\text{вих1}}$ росте так само, як росте вхідна, скільки в режимі насичення VT1 на відкритих *p-n* переходах напруга змінюється мало.

Використовуючи принцип сумісності, можна визначити необхідну величину середньої вихідної напруги $U_{\text{вих.сер}}$.

Середня величина $U_{\text{вх.сер}} = 0,5(U_{\text{вх}}^1 + U_{\text{вх}}^0)$, очевидно, повинна дорівнювати напрузі $U_{\text{вх}} = U_{\text{б0}}$, при якій VT1 і VT2 відкриті однаково.

В цьому випадку відхилення вхідної напруги від свого середнього значення приводить до відчинення одного з транзисторів і до закриття іншого. Аналогічно повинна визначатися і вихідна напруга, яка є вхідною для навантаження ЛЕ. Отже, умовою сумісності є рів-

ність $U_{вих.сер} = U_{\delta 0}$. Графічно ця умова виражається у тому, що пряма, що поєднує точку перетину вихідних характеристик з початком координат, нахилена до осей під кутом 45° (рис. 4.2) за умови рівності масштабів по осях.

Для визначення можливого значення розмаху логічного сигналу $\Delta U_{\mathcal{L}} = U^1 - U^0$ використовується нерівність $U_{\kappa \delta 1} \geq 0$, що визначає умову роботи транзистора VT1 в ненасиченому режимі. Хай на вхід VT1 подається напруга $U_{вх} = U_{\delta 1} = U^1$. Тоді $U_{вих1} = U^0$, а потенціал колектора VT1 $U_{\kappa 1} = U^0 + U_{\delta e3}^*$. Тоді

$$U_{\kappa \delta 1} = U_{\kappa 1} - U_{\delta 1} = U^0 + U_{\delta e3}^* - U^1 = U_{\delta e3}^* - \Delta U_{\mathcal{L}} \geq 0.$$

Звідси $\Delta U_{\mathcal{L}} \leq U_{\delta e3}^*$. Для кремнієвих переходів $U_{\delta e3}^* = 0,6 \dots 0,9$ В. В цілях збереження і без того невеликого значення $\Delta U_{\mathcal{L}}$ на практиці прагнуть до рівності $\Delta U_{\mathcal{L}} = U_{\delta e3}^*$.

З урахуванням вищесказаного, аналітичний зв'язок між основними напругами в схемі має вигляд (при $U_{\delta e}^* = U_{\delta e3}^* = U_{\delta e4}^*$):

$$\begin{aligned} U^1 &= E_{\kappa} - U_{\delta e}^*, \\ U^0 &= E_{\kappa} - 2U_{\delta e}^*, \\ U_{\delta 0} &= E_{\kappa} - 1,5U_{\delta e}^*, \\ \Delta U_{\mathcal{L}} &= U_{\delta e}^*. \end{aligned} \quad (4.5)$$

4.3 Порядок виконання роботи

4.3.1 Зберіть схему, представлену на рис. 4.3, для зняття вхідної і передавальних характеристик схеми ЕЗЛ.

4.3.2 При значенні напруги джерела живлення $E_{\kappa} = 4$ В визначте основні напруги схеми ЕЗЛ згідно (4.5).

4.3.3 Встановивши $E_{\kappa} = 4$ В і змінюючи $U_{вх}$ в діапазоні $0 \dots E_{\kappa}$, зніміть залежності $I_{вх} = f(U_{вх})$, $U_{вих1} = f(U_{вх})$, $U_{вих2} = f(U_{вх})$.

4.5 Контрольні запитання

- 1 Який принцип роботи схеми ЕЗЛ?
- 2 В чому полягає принцип сумісності?
- 3 Яка умова сумісності схем ЕЗЛ?
- 4 Чому величина логічного перепаду не може бути менше падіння напруги на відкритому емітерному переході $U_{\text{бе}}^*$?
- 5 Складіть таблицю істинності для схеми рис. 4.1.
- 6 Як визначити значення порогових напруг?
- 7 Яке призначення ЕП в схемі?
- 8 В якому режимі працюють транзистори емітерних повторювачів?
- 9 В якому положенні знаходяться елементи схеми ЕЗЛ на ділянках I - IV характеристик?
- 10 Як зміниться схема, представлена на рис. 4.1, при необхідності отримання функції ЗАБО?
- 11 В якій з областей I-IV (рис. 4.2) не працює ЛЕ ЕЗЛ і чому?
- 12 Як впливає величина логічного перепаду на швидкодію схеми?
- 13 Який параметр транзисторів ЕП необхідно збільшити для зменшення ширини зони невизначеності?
- 14 Чому наявність ЕП в схемі сприяє підвищенню її швидкодії?
- 15 Чому наявність ЕП в схемі сприяє підвищенню її навантажувальної здатності?
- 16 В яких режимах працюють транзистори ПС, якщо ЛЕ знаходиться в статичному режимі?

5 ПЕРЕЛІК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

- 1 **Бабич, М.П.** Комп'ютерна схемотехніка: Навч. посіб. [Текст] / М.П. Бабич, І.А. Жуков – К.: "МК-Прес", 2004. – 412 с.
- 2 **Прищепа, М.М.** Мікроелектроніка: В 3 ч. Ч. 2. Елементи мікросхемотехніки: Навч. посіб. [Текст] / М.М. Прищепа, В.П. Погребняк. За ред. М.М. Прищепи. – К.: Вища шк., 2006. – 503 с.
- 3 **Алексенко, А.Г.** Микросхемотехника [Текст] / А.Г. Алексенко, И.И. Шагурин - М.: Радио и связь, 1999. – 496 с.
- 4 **Угрюмов, Е.П.** Цифровая схемотехника [Текст] / Е.П. Угрюмов - СПб.: БХВ - Санкт-Петербург, 2000. – 528 с.