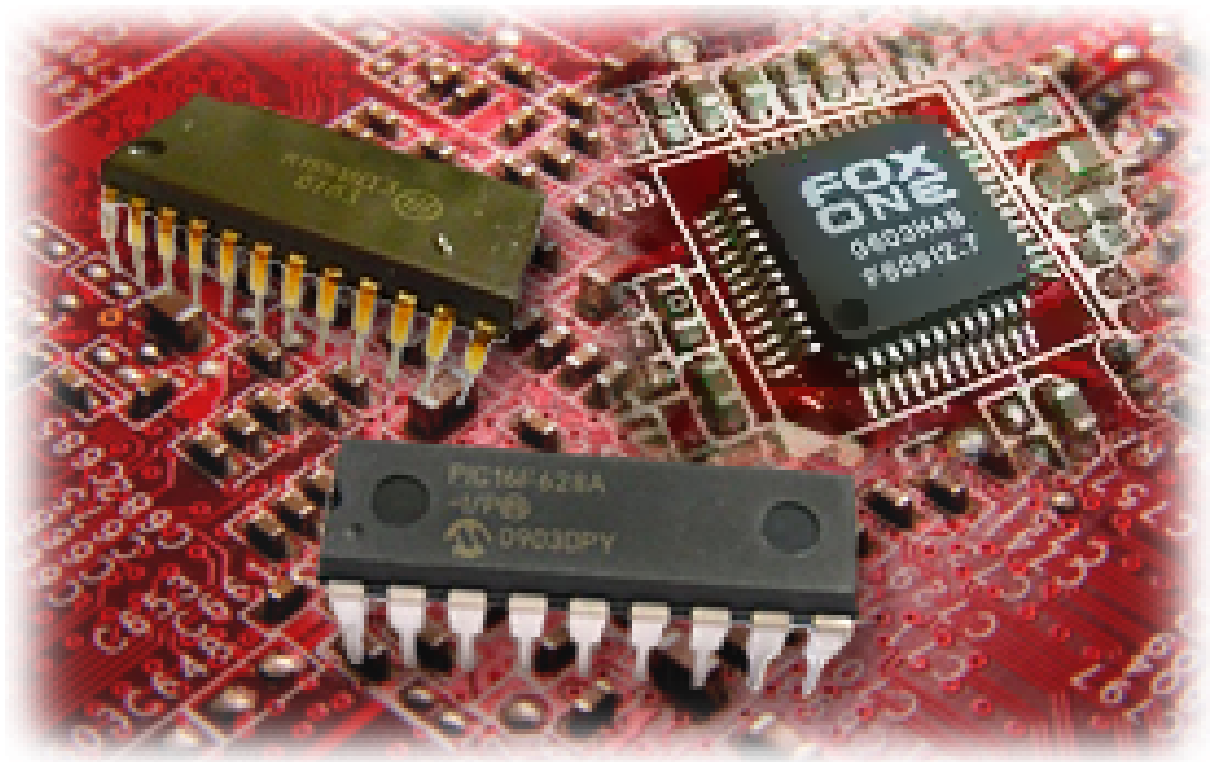


Міністерство освіти і науки України
Вінницький національний технічний університет
Інститут електроенергетики та електромеханіки
Кафедра ЕМСАПТ

МЕТОДИЧНІ ВКАЗІВКИ
до лабораторних робіт з дисципліни «Аналогова та цифрова схемотехніка»
Частина 2 Основи цифрової електроніки



Вінниця 2014

ЗМІСТ

ЛАБОРАТОРНА РОБОТА №1 ВИВЧЕННЯ РОБОТИ ПАКЕТУ MICRO-CAP ТА PROTEUS, ЗДІЙСНЕННЯ ПЕРЕТВОРЕННЯ ТА ДОСЛІДЖЕННЯ ЛОГІЧНИХ СХЕМ	3
ЛАБОРАТОРНА РОБОТА №2 ДОСЛІДЖЕННЯ КОМБІНАЦІЙНИХ ЛОГІЧНИХ МІКРОСХЕМ	24
ЛАБОРАТОРНА РОБОТА №3 ДОСЛІДЖЕННЯ ТРИГЕРІВ	46
ЛАБОРАТОРНА РОБОТА №4 ДОСЛІДЖЕННЯ ЦИФРОВИХ ЛІЧИЛЬНИКІВ	65
ЛАБОРАТОРНА РОБОТА №5 ДОСЛІДЖЕННЯ ЦИФРО-АНАЛОГОВИХ ТА АНАЛОГО-ЦИФРОВИХ ПЕРЕТВОРЮВАЧІВ	82
ДОДАТКИ	96
Додаток А - Типи мікросхем сімейства SN74 та їх вітчизняні аналоги.....	96
Додаток Б - Функціональне призначення цифрових мікросхем стандартних серій	99
Додаток В - Таблиця відповідності зарубіжних і вітчизняних серій цифрових мікросхем.....	102
Додаток Г - Мікросхеми серії 40xx та їх вітчизняні аналоги.....	103

ЛАБОРАТОРНА РОБОТА №1

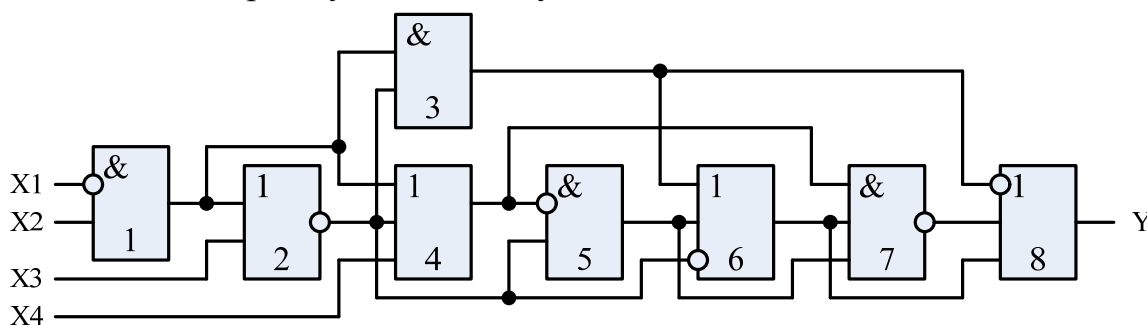
ВИВЧЕННЯ РОБОТИ ПАКЕТУ MICRO-CAP ТА PROTEUS, ЗДІЙСНЕННЯ ПЕРЕТВОРЕННЯ ТА ДОСЛІДЖЕННЯ ЛОГІЧНИХ СХЕМ

Мета роботи: оволодіти основним принципом роботи з пакетом Micro-Cap та Proteus здійснити пошук реакції системи на вхідний вплив із застосуванням найпростіших логічних елементів. Засвоїти основи аналізу та синтезу логічних схем.

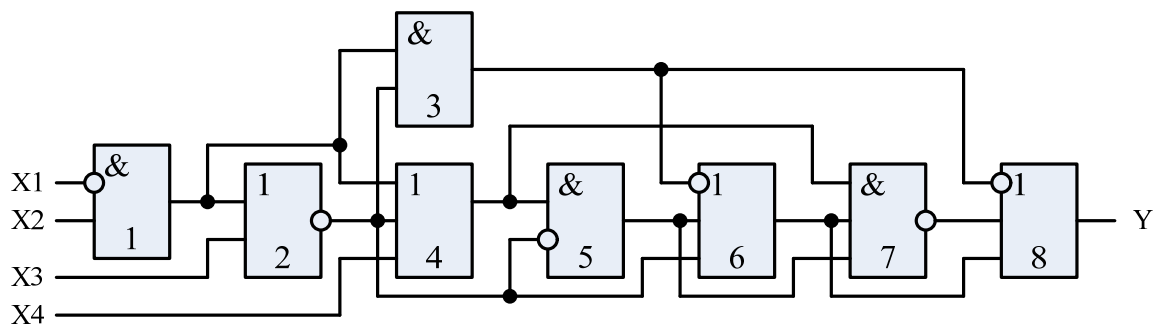
Програма лабораторної роботи

1. Ознайомитись зі структурою пакетів Micro-Cap і Proteus та наявними інструментами для аналізу цифрових та логічних схем
2. Побудувати схему (згідно з варіантом), наведену нижче, з використанням пакету Micro-Cap. Побудувати графіки зміни вихідного сигналу системи при зміні вхідного сигналу.
3. Здійснити мінімізацію запропонованої схеми з використанням аксіом та законів алгебри логіки.
4. Використовуючи логічні мікросхеми, зібрати мінімізовану схему та порівняти результати моделювання з фізичним пристроєм.
5. Здійснити синтез логічної схеми (згідно з варіантом), відповідно таблиці істинності, використовуючи карти Карно.
6. Здійснити комп'ютерне моделювання синтезованої схеми, з використанням пакету Proteus.
7. Представити схему в заданому універсальному базисі та зібрати схему на макетній платі і перевірити її працездатність.

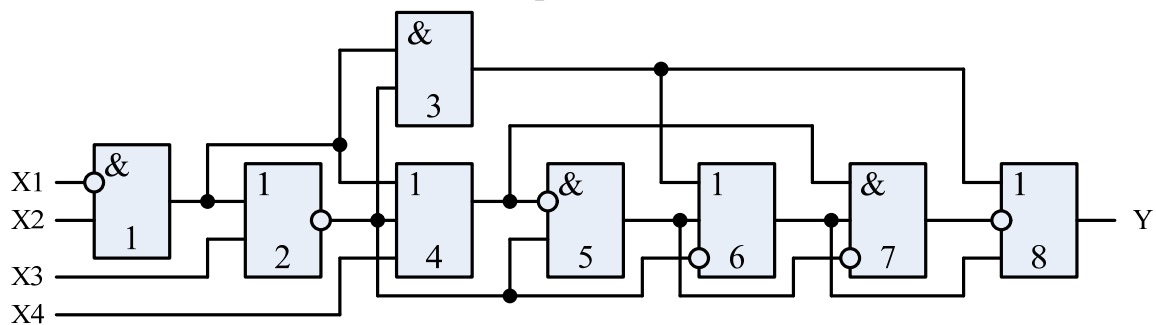
Схеми згідно варіанту мають наступний вигляд:



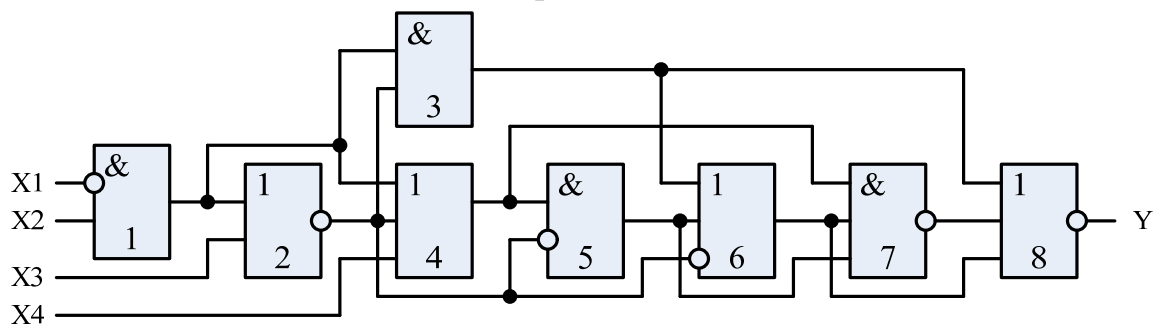
Варіант 1



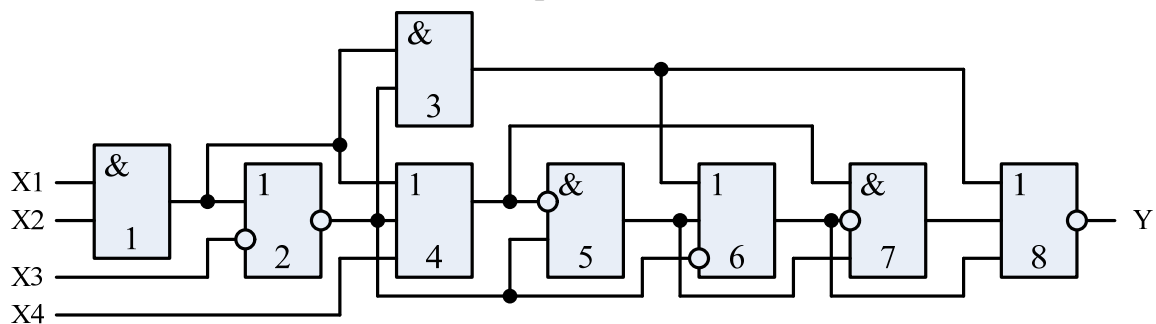
Варіант 2



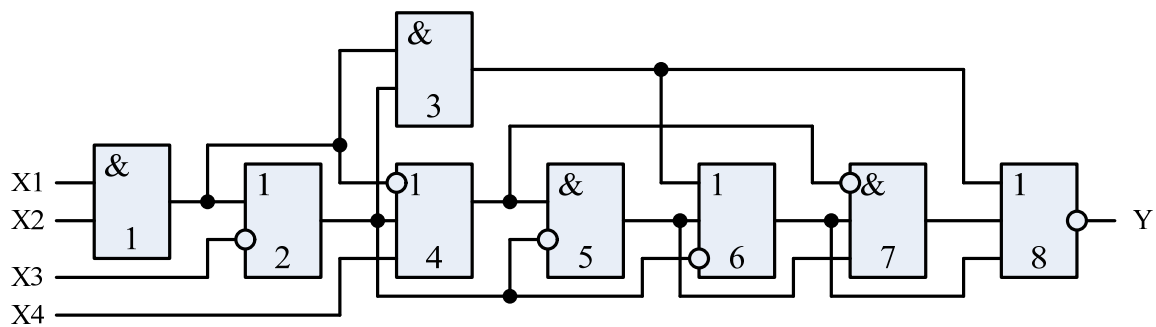
Варіант 3



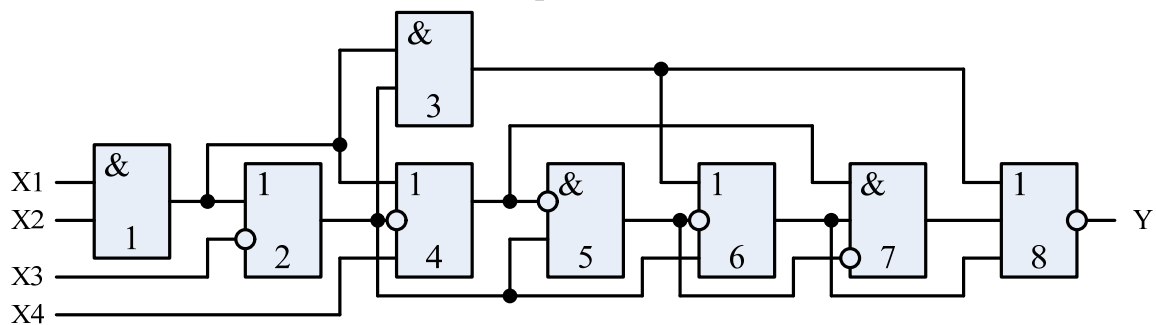
Варіант 4



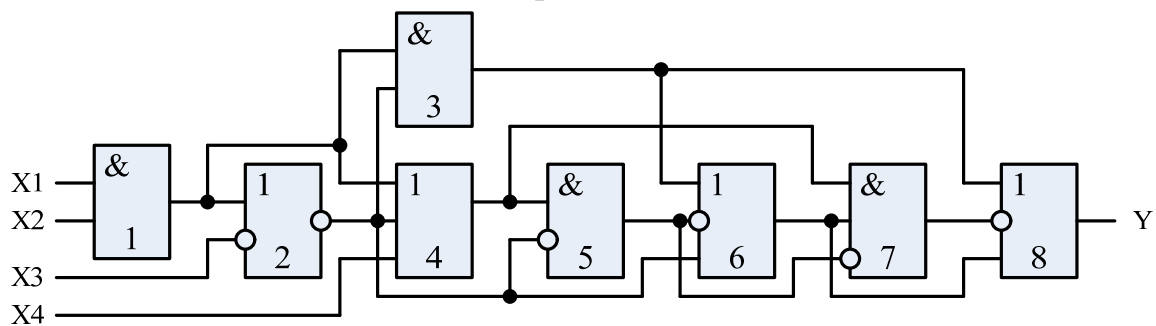
Варіант 5



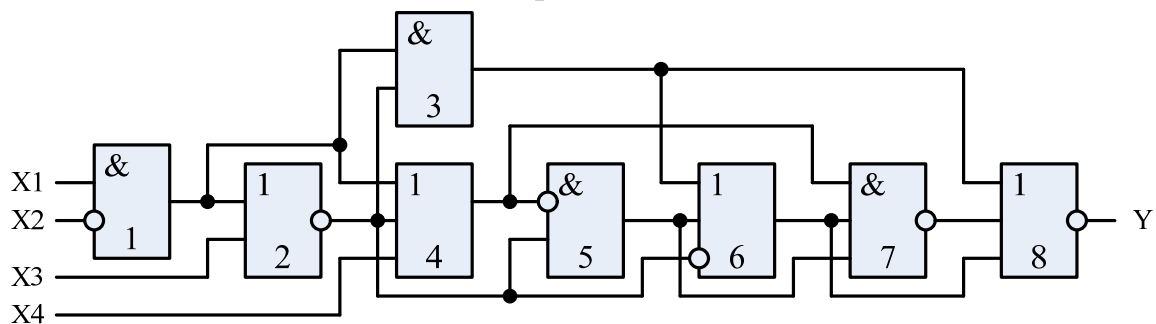
Варіант 6



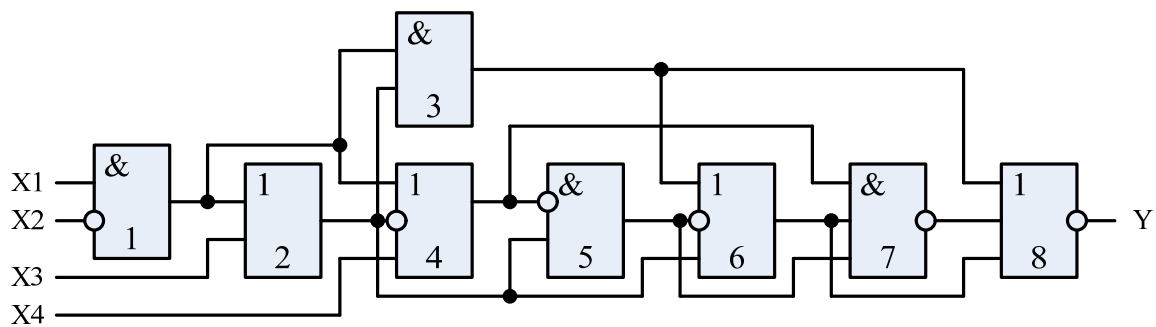
Варіант 7



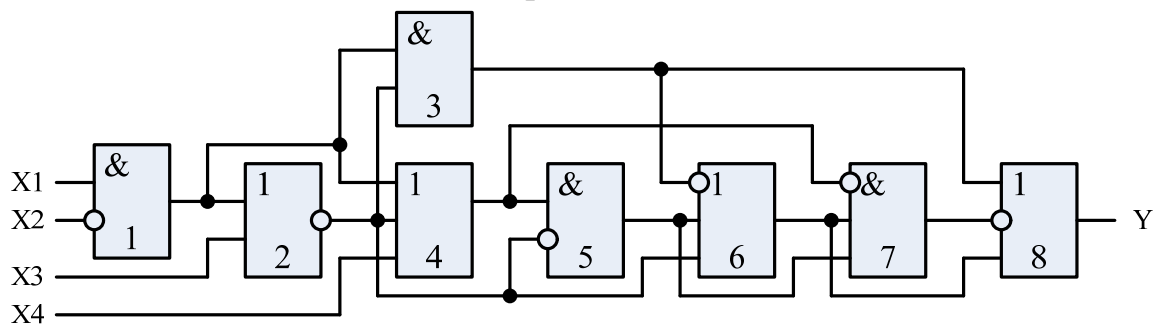
Варіант 8



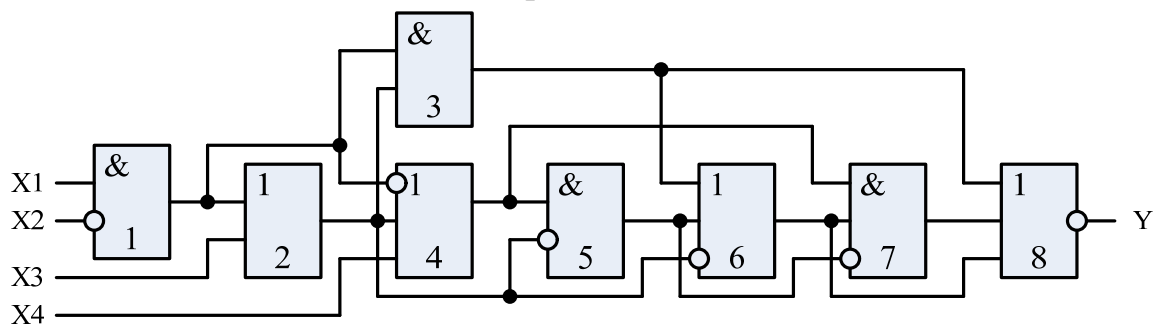
Варіант 9



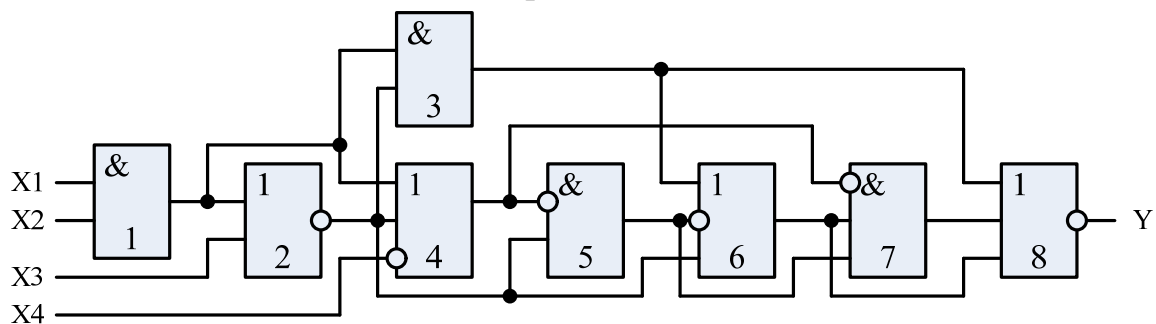
ВаріАНТ 10



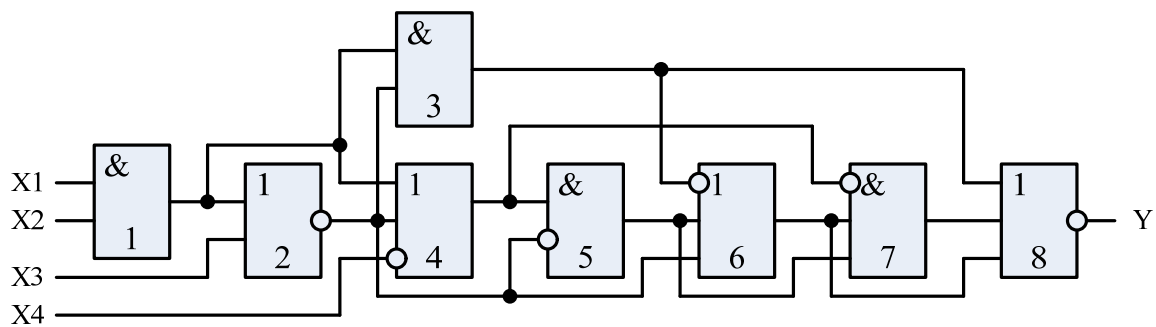
ВаріАНТ 11



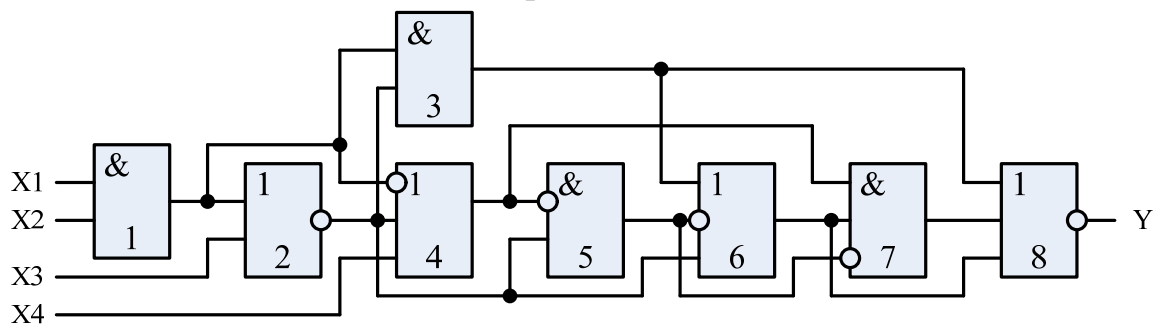
ВаріАНТ 12



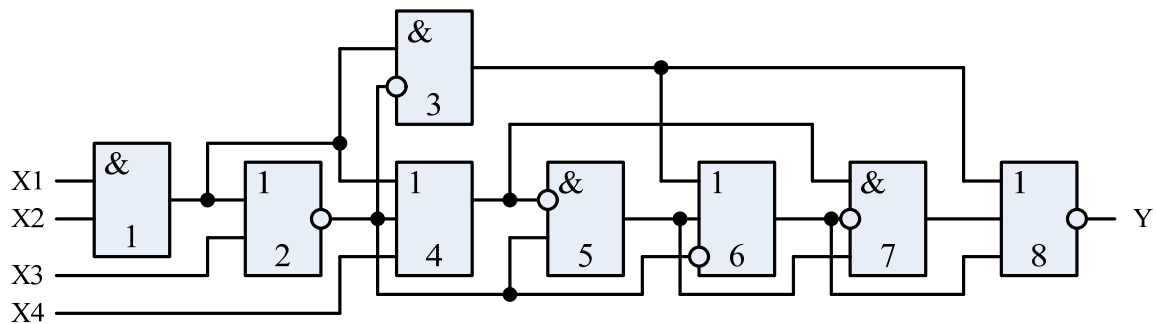
ВаріАНТ 13



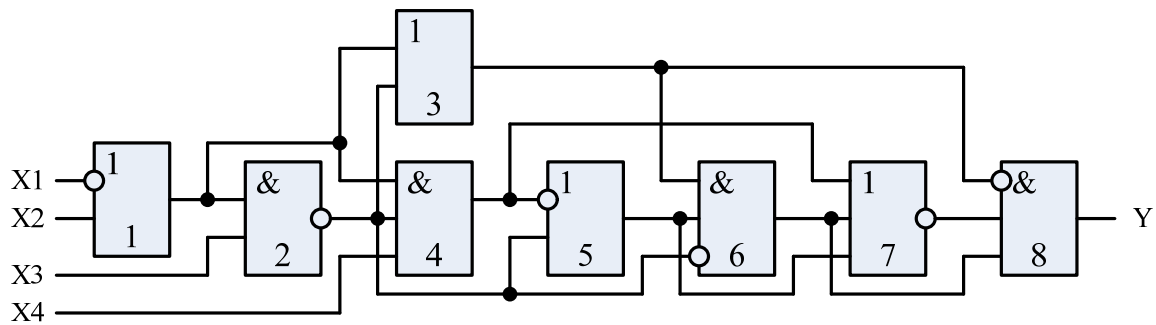
Варіант 14



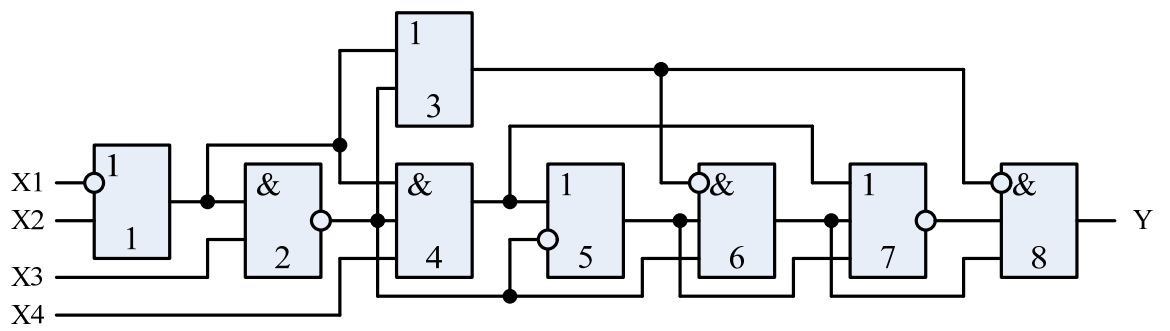
Варіант 15



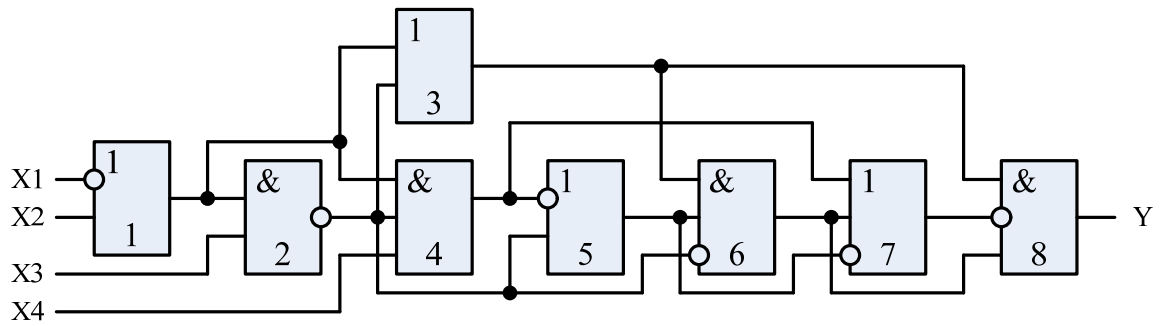
Варіант 16



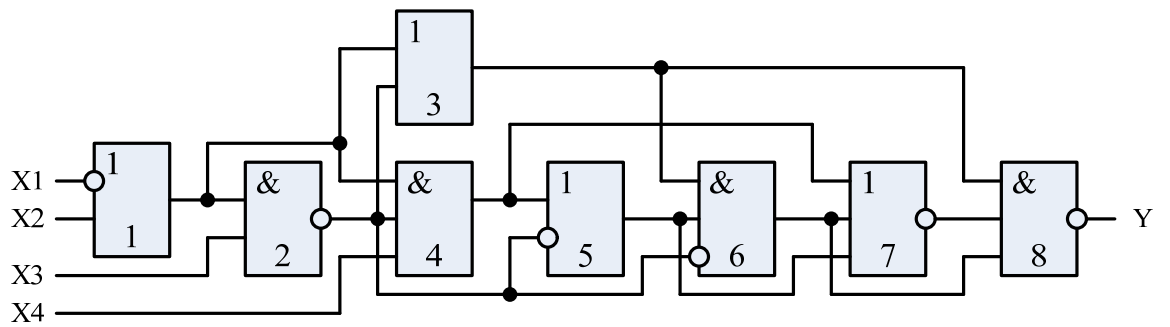
Варіант 17



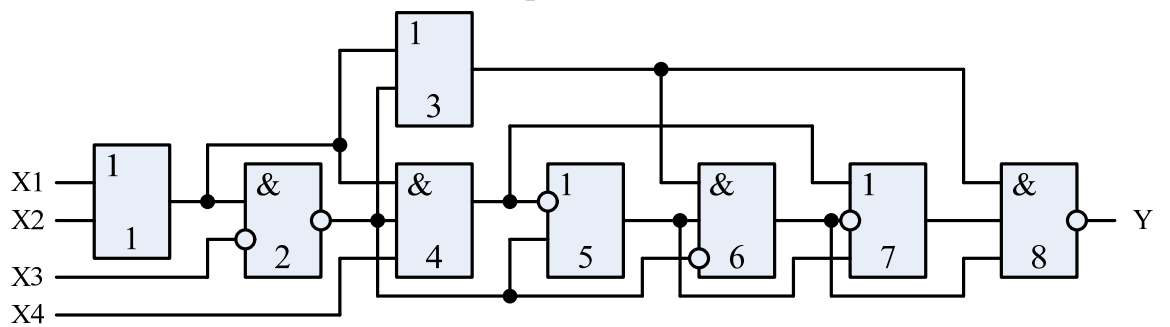
Варіант 18



Варіант 19



Варіант 20



Варіант 21

Таблиці істинності згідно варіанту мають наступний вигляд:

Варіант 1				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0
Базис 2І-НІ				

Варіант 2				
X1	X2	X3	X4	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0
Базис 2АБО-НІ				

Варіант 3				
X1	X2	X3	X4	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1
Базис 2І-НІ				

Варіант 4				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1
Базис 2АБО-НІ				

Варіант 5				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1
Базис 2І-НІ				

Варіант 6				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0
Базис 2АБО-НІ				

Варіант 7				
X1	X2	X3	X4	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0
Базис 2I-II				

Варіант 8				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0
Базис 2АБО-II				

Варіант 9				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0
Базис 2I-II				

Варіант 10				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1
Базис 2АБО-II				

Варіант 11				
X1	X2	X3	X4	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0
Базис 2I-II				

Варіант 12				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1
Базис 2АБО-II				

Варіант 13				
X1	X2	X3	X4	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0
Базис 2І-НІ				

Варіант 14				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1
Базис 2АБО-НІ				

Варіант 15				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1
Базис 2І-НІ				

Варіант 16				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1
Базис 2АБО-НІ				

Варіант 17				
X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1
Базис 2І-НІ				

Варіант 18				
X1	X2	X3	X4	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1
Базис 2АБО-НІ				

Варіант 19				
X1	X2	X3	X4	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0
Базис 2I-II				

Варіант 20				
X1	X2	X3	X4	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0
Базис 2АБО-II				

Варіант 21				
X1	X2	X3	X4	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0
Базис 2I-II				

МЕТОДИЧНІ ВКАЗІВКИ ДО ЛАБОРАТОРНОЇ РОБОТИ

Аналіз логічних схем

Для аналізу та мінімізації логічної схеми необхідно вивчити найпростіші логічні елементи та опанувати основні аксіоми та закони алгебри логіки.

В булевій алгебрі виділяють три основні логічні операції: логічне заперечення, множення та додавання (рисунок 1).

Операцію логічного заперечення реалізує логічний елемент НІ (NOT). Такий елемент ще називають інвертором бо він змінює сигнал на вході на протилежний.

Операцію логічного додавання реалізує логічний елемент АБО (OR). Такий елемент ще називають диз'юнктором, сигнал логічної одиниці на виході з'являється, коли хоча б на одному вході є сигнал лог. 1 (на виході істина, якщо *або* на першому *або* другому *або*... n-ому вході істина).

Операцію логічного множення реалізує логічний елемент І (AND). Такий елемент ще називають кон'юнктором, сигнал логічної одиниці на виході з'являється тільки тоді, коли на всіх входах сигнал лог. 1 (на виході істина, якщо *і* на першому *і* другому *і*... n-ому вході істина).

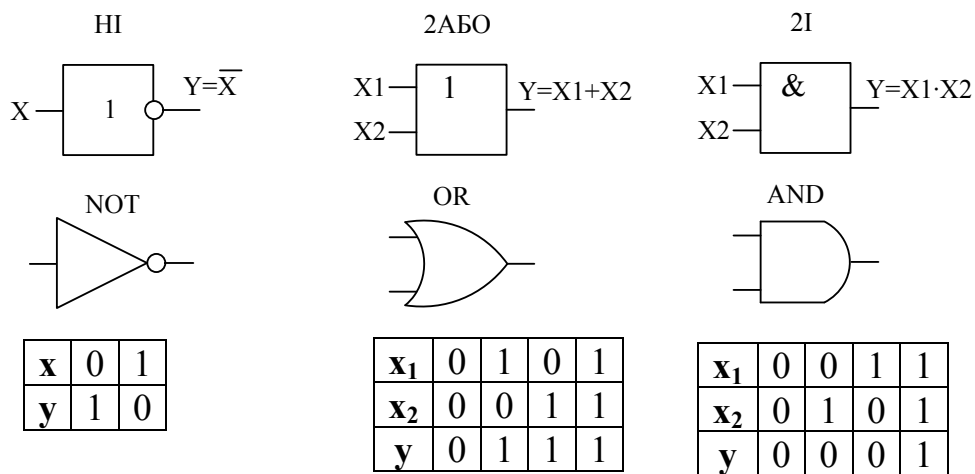


Рисунок 1 – Основні логічні елементи

Зв'язок між входами X та виходами Y будь якої комбінаційної логічної схеми однозначно описується таблицею істинності. Позначення та таблиці істинності найпростіших логічних елементів приведено на рисунку 1.

Алгебра логіки визначається наступною системою аксіом які впливають із визначень найпростіших логічних операцій:

$$x=0, \text{ якщо } x \neq 1 \quad (1)$$

$$x=1, \text{ якщо } x \neq 0 \quad (2)$$

$$\begin{aligned} 0 + 0 &= 0 \cdot 0 = 0; \\ 1 + 1 &= 1 \cdot 1 = 1; \end{aligned} \quad (3)$$

$$\begin{aligned} 1 + 0 &= 0 + 1 = 1 \\ 1 \cdot 0 &= 1 \cdot 0 = 0 \end{aligned} \quad (4)$$

$$\begin{aligned} \bar{0} &= 1 \\ \bar{1} &= 0 \end{aligned} \quad (5)$$

За допомогою аксіом алгебри логіки можна довести цілий ряд теорем і тотожностей:

Закон виключення констант:

$$\begin{aligned} X + 0 &= X; & X \cdot 0 &= 0; \\ X + 1 &= 1; & X \cdot 1 &= X. \end{aligned} \quad (6)$$

Іденпотенційний закон (закон повторення)

$$\begin{aligned} X + X + \dots + X &= X; \\ X \cdot X \cdot \dots \cdot X &= X. \end{aligned} \quad (7)$$

Закон подвійного заперечення

$$\overline{\overline{X}} = X. \quad (8)$$

Закон заперечення

$$\begin{aligned} X + \bar{X} &= 1; \\ X \cdot \bar{X} &= 0. \end{aligned} \quad (9)$$

Комутативний закон (переміщувальний закон)

$$\begin{aligned} X_1 + X_2 &= X_2 + X_1; \\ X_1 \cdot X_2 &= X_2 \cdot X_1. \end{aligned} \quad (10)$$

Асоціативний закон (сполучний закон)

$$\begin{aligned} (X_1 + X_2) + X_3 &= X_1 + (X_2 + X_3); \\ (X_1 \cdot X_2) \cdot X_3 &= X_1 \cdot (X_2 \cdot X_3). \end{aligned} \quad (11)$$

Дистрибутивний закон (розподільчий закон)

$$\begin{aligned} X_1 \cdot (X_2 + X_3) &= (X_1 \cdot X_2) + (X_1 \cdot X_3); \\ X_1 + (X_2 \cdot X_3) &= (X_1 + X_2) \cdot (X_1 + X_3). \end{aligned} \quad (12)$$

Закон подвійності (правило де Моргана)

$$\begin{aligned}\overline{X1 + X2} &= \overline{X1} \cdot \overline{X2}; \\ \overline{X1 \cdot X2} &= \overline{X1} + \overline{X2}.\end{aligned}\tag{13}$$

Закон поглинання:

$$\begin{aligned}X1 + (X1 \cdot X2) &= X1; \\ X1 \cdot (X1 + X2) &= X1.\end{aligned}\tag{14}$$

Закон виключення (закон склеювання)

$$\begin{aligned}(X1 \cdot X2) + (X1 \cdot \overline{X2}) &= X1; \\ (X1 + X2) \cdot (X1 + \overline{X2}) &= X1.\end{aligned}\tag{15}$$

Для прикладу проведемо розрахунок для схеми першого варіанту. Позначимо проміжні вихідні сигнали на схемі (рисунок 2):

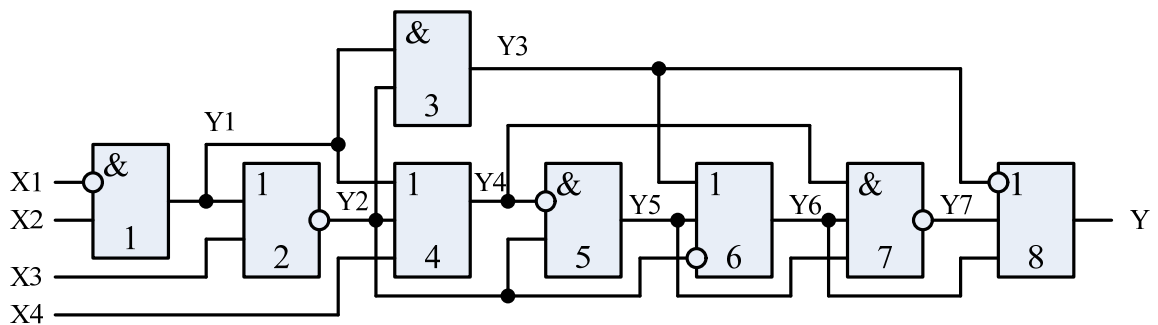


Рисунок 2 – Логічна схема з позначенням проміжних сигналів

Зберемо наведену схему в середовищі розробки Micro-Cap використовуючи стандартні логічні елементи (І, АБО, НІ) (рисунок 3), в якості вхідних сигналів для дослідження запропонованої схеми слугують сигнали генератора імпульсів.

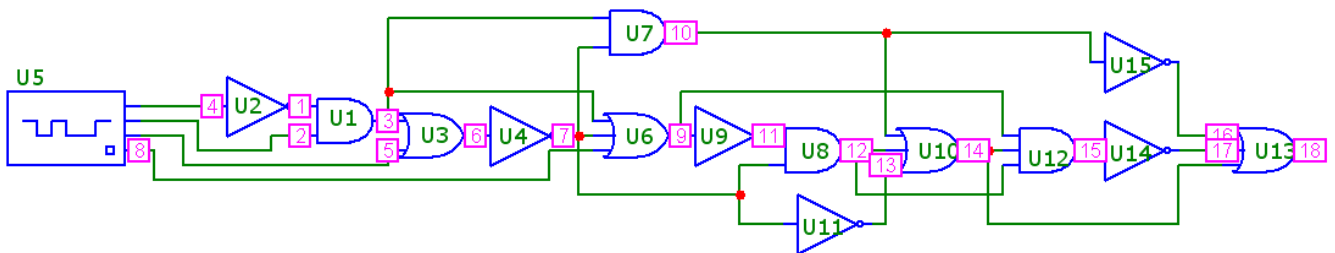


Рисунок 3 – Логічна схема в середовищі розробки Micro-Cap

На рисунку 4 приведені результати моделювання роботи логічної схеми в середовищі розробки Micro-Cap з яких видно, що вихідний сигнал Y дорівнює 1.

Проведемо перевірку виконавши мінімізацію приведеної схеми використовуючи основні закони алгебри логіки. Запишемо усі проміжні сигнали логічної схеми.

$$Y1 = \overline{X1} \cdot X2;$$

$$Y2 = \overline{Y1 + X3} = \overline{\overline{X1} \cdot X2} \cdot \overline{X3};$$

$$Y3 = Y1 \cdot Y2 = \overline{X1} \cdot X2 \cdot \overline{\overline{X1} \cdot X2} \cdot \overline{X3} = 0;$$

$$Y4 = Y1 + Y2 + X4 = \overline{X1} \cdot X2 + \overline{\overline{X1} \cdot X2} \cdot \overline{X3} + X4 = \overline{X1} \cdot X2 + \overline{X3} + X4;$$

$$\begin{aligned} Y5 &= \overline{Y4} \cdot Y2 = \overline{\overline{X1} \cdot X2 + \overline{X3} + X4} \cdot \overline{\overline{X1} \cdot X2} \cdot \overline{X3} = \\ &= \overline{\overline{X1} \cdot X2} \cdot X3 \cdot \overline{X4} \cdot \overline{\overline{X1} \cdot X2} \cdot \overline{X3} = 0; \end{aligned}$$

$$Y6 = \overline{Y2} + 0 + 0 = \overline{X1} \cdot X2 + X3;$$

$$Y7 = \overline{Y4 \cdot Y6 \cdot Y5} = \overline{Y4 \cdot Y6 \cdot 0} = \overline{0} = 1;$$

$$Y = \overline{0} + 1 + Y6 = 1.$$

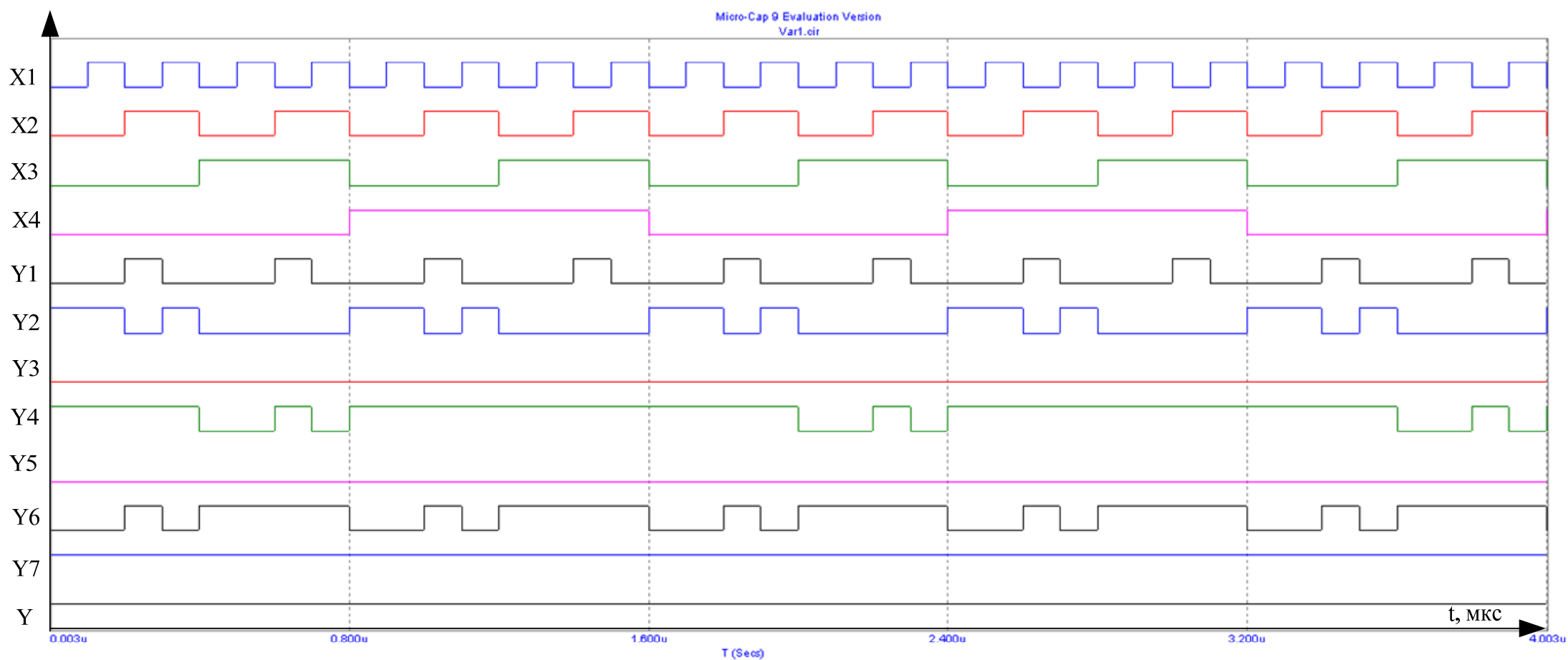


Рисунок 4 – Результати моделювання роботи логічної схеми в середовищі розробки Micro-Cap

Аналізуючи результати моделювання та мінімізовані рівняння можна зробити висновок про те, що виконані розрахунки правильні бо співпадають з моделюванням. Так як вихідний сигнал дорівнює 1 то немає змісту будувати мінімізовану схему.

Синтез логічних схем

Логічну функцію багатьох змінних, яка подана у вигляді таблиці істинності можна представити аналітично використавши:

- диз'юнктивну нормальну форму (ДНФ)
- кон'юнктивну нормальну форму (КНФ) запису логічного рівняння вихідного сигналу.

ДНФ представляє вихідне рівняння у вигляді логічної суми добутків всіх логічних змінних при яких вихідна функція дорівнює 1, причому з інверсією беруться змінні які мають значення 0.

КНФ представляє вихідне рівняння у вигляді логічного добутку сум всіх логічних змінних при яких вихідна функція дорівнює 0, причому з інверсією беруться змінні які мають значення 1.

Рівняння і відповідно логічна схема синтезована за рівнянням в ДНФ або КНФ, як правило громізка і потребує мінімізації, ефективним способом якої є використання карт Карно.

Для синтезу мінімізованої логічної схеми з використанням карти Карно необхідно виконати дії в такій послідовності:

1. Виходячи з таблиці істинності записати рівняння вихідної змінної у диз'юнктивній формі.
2. Побудувати карту Карно розмірністю 4x4 (4 вхідних змінних).
3. Заповнити карту Карно, поставивши одиниці для відповідних доданків.
4. Об'єднати сусідні одиниці контурами з 2, 4 або 8 одиниць.
5. Перевірити спрощення, які можна застосувати для кожного контуру виключаючи члени які доповнюють один одного.
6. Записати отримане логічне рівняння як логічну суму спрощених добутків отриманих з кожного контура.

Здійснимо синтез логічної схеми по таблиці істинності з використанням карти Карно. Так як логічна функція має 4 змінних то карта Карно буде складатись з 16 клітинок. На рисунку 5 зображена карта Карно для заданої таблиці істинності, як бачимо, на ній можна виділити три області. Для кожної області запишемо рівняння виключаючи змінні, які зустрічаються в областях в прямому і інверсному вигляді. Отримані добутки логічних змінних об'єднаємо логічним додаванням.

X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

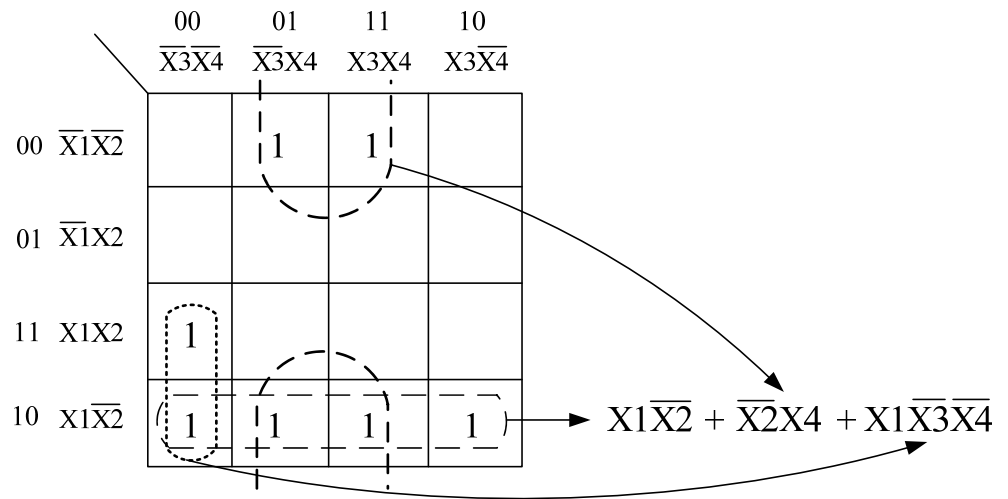


Рисунок 5 – Побудова карти Карно згідно таблиці істинності та виведення рівняння вихідної функції

Побудуємо логічну схему що реалізує синтезоване рівняння (рисунок 6)

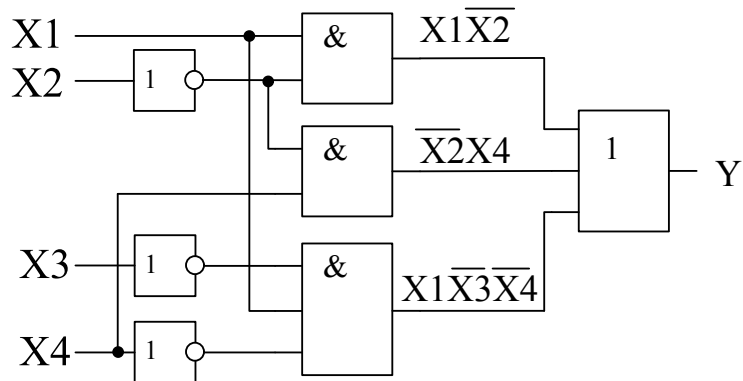


Рисунок 6 – Синтезована логічна схема

Для моделювання синтезованої схеми використаємо пакет Proteus в якому зберемо схему з використанням логічних схем серії CD4000. Для вибору необхідних мікросхем використайте додатки, пошук в бібліотеці елементів Proteus, довідники або пошукові сервіси мережі Інтернет. Схема моделювання в пакеті Proteus зображена на рисунку 7

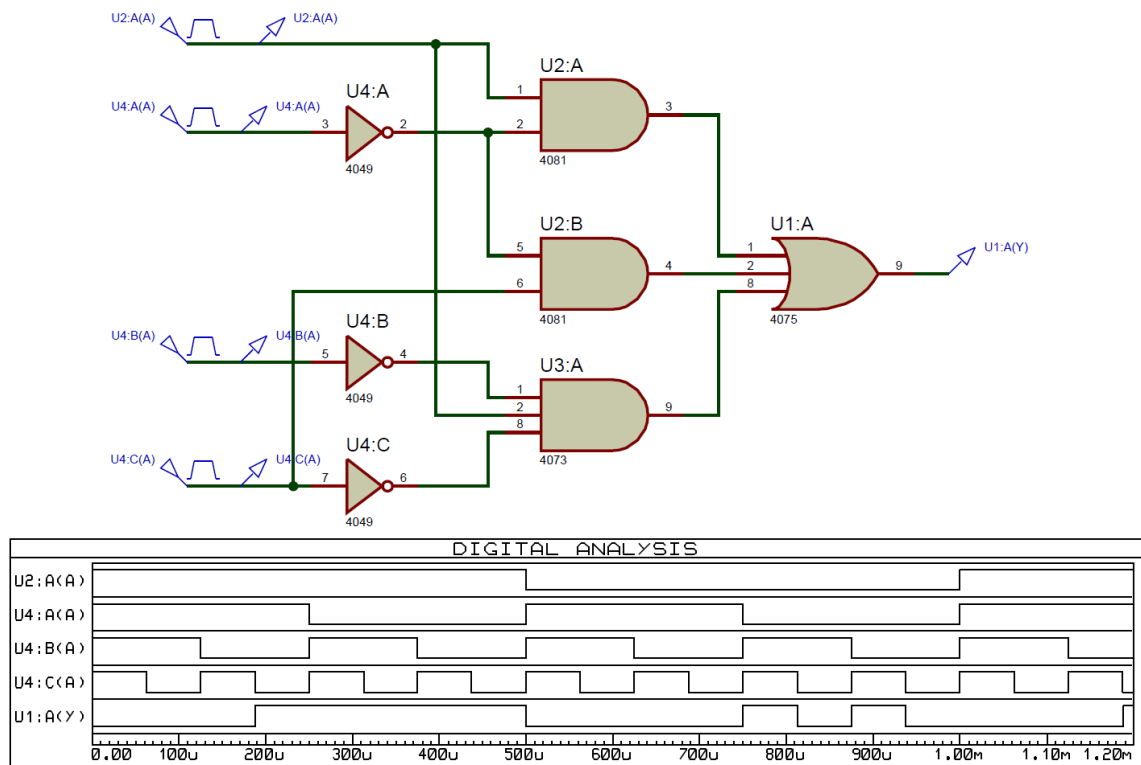


Рисунок 7 – Синтезована логічна схема промодельована в пакеті Proteus

Для генерації вхідного двійкового коду застосовано 4 генератора прямокутних імпульсів з частотами для змінних X1-4: 1кГц, 2кГц, 4кГц, 8кГц відповідно, таким чином всі комбінації вхідного коду відбуваються за 1мс.

Вікно налаштування першого генератора імпульсів представлено на рисунку 8.

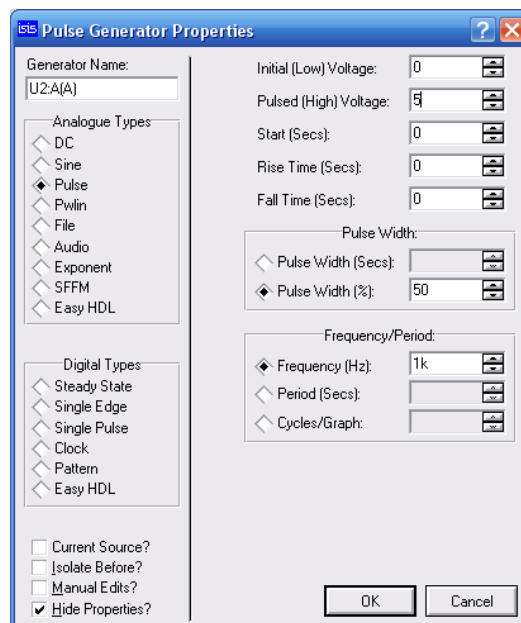


Рисунок 8 – Вікно налаштування генератора імпульсів

Використавши на панелі інструментів панель Графік → DIGITAL виділимо область для майбутнього графіка на робочій області, далі використавши панель «Щуп напруги» вкажемо необхідні для вимірювання точки на схемі. Далі додаємо необхідні сигнали до графіка, задаємо область

виведення в даному випадку 1,2 мс та проводимо симуляцію. Кладнувши на полі заголовка графіка заходимо в вікно розширених налаштувань (рисунок 9) в якому можна відредагувати графік та прослідкувати за зміною сигналів переміщуючи курсор. Графічну частину моделі необхідно експортувати в PDF використавши меню Файл → Експорт графіки → Експорт в PDF файл...

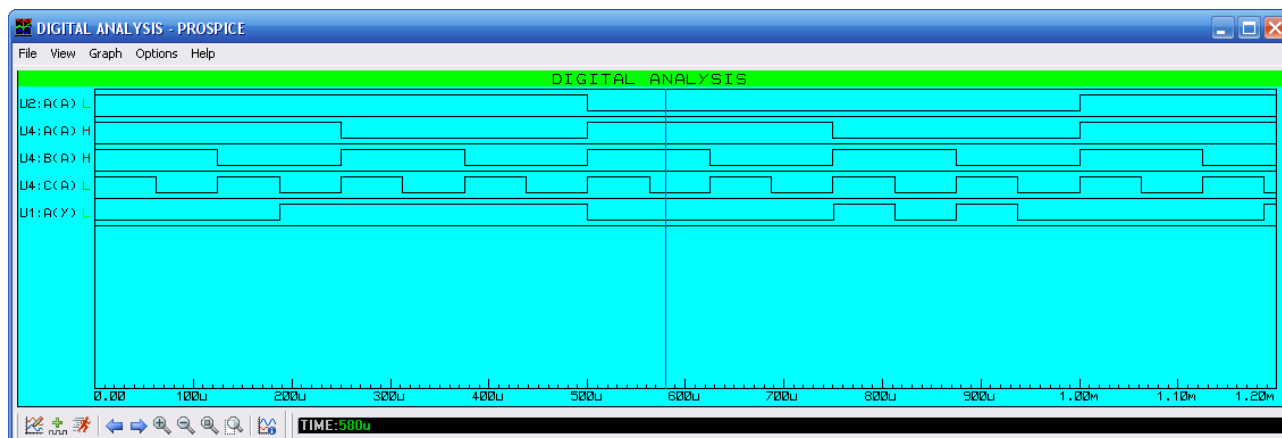


Рисунок 9 – Вікно аналізу цифрових сигналів

Як бачимо синтезована логічна схема (див. Рисунок 6) має в своєму складі всі найпростіші логічні елементи (3 елементи НІ, 2 елементи 2І, 1 елемент 3І, 1 елемент 3АБО). Часто логічну схему необхідно реалізувати на однотипних елементах, якими згідно правила де Моргана, можуть бути елементи І-НІ чи АБО-НІ, тому ці елементи називають універсальними або базисними. В таблиці 1 представлено еквівалентні рівняння та логічні схеми представлення найпростіших логічних елементів в базисах І-НІ та АБО-НІ

Таблиця 1 – Еквівалентні рівняння та логічні схеми представлення найпростіших логічних елементів в базисах І-НІ та АБО-НІ

Елемент булевого базису	Універсальний базис І-НІ		Універсальний базис АБО-НІ	
	Формула	Логічний еквівалент	Формула	Логічний еквівалент
<p>НІ</p>	$\bar{X} = \overline{X \cdot X}$		$\bar{X} = \overline{X + X}$	
<p>АБО</p>	$X1 + X2 = \overline{\overline{X1} \cdot \overline{X2}}$		$X1 + X2 = \overline{\overline{X1} + \overline{X2}}$	
<p>І</p>	$X1 \cdot X2 = \overline{\overline{X1} + \overline{X2}}$		$X1 \cdot X2 = \overline{X1 + X2}$	

Використовуючи таблицю 1 представимо синтезовану логічну схему (див. Рисунок 6) в базисі елементів 2І-НІ (рисунок 8).

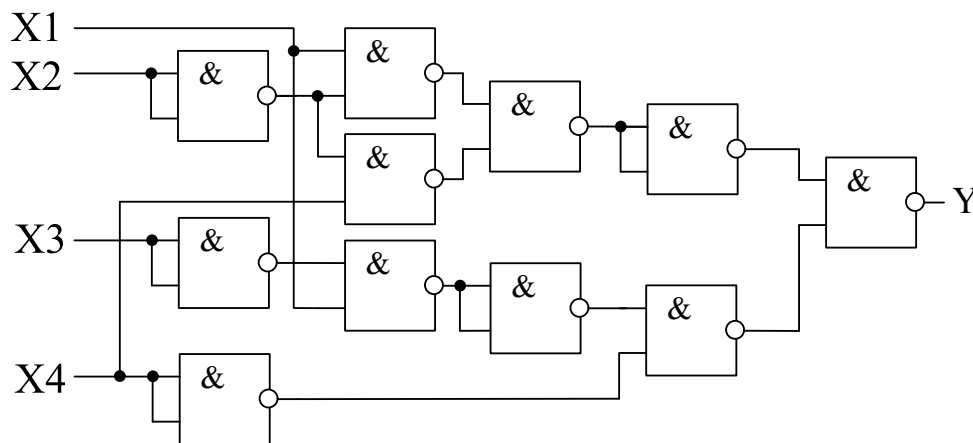


Рисунок 8 – Синтезована логічна схема в базисі І-НІ

Зміст звіту

1. Титульний аркуш;
2. Мета роботи;
3. Завдання згідно варіанту;
4. Схема моделі заданої логічної схеми в пакеті Micro-Cap. Привести графіки залежності всіх змінних в залежності від вхідних сигналів, в якості яких використати сигнал нарощення двійкового коду;
5. Логічні рівняння для всіх вихідних змінних із застосуванням законів та аксіом алгебри логіки для мінімізації отриманих рівнянь;
6. Схема моделі мінімізованої функції в пакеті Micro-Cap (за необхідності) та графік вихідної змінної;
7. Карта Карно для заданої таблиці істинності, показати області та виведення рівняння вихідної змінної;
8. Привести результати моделювання логічної схеми згідно мінімізованим картою Карно рівнянням в пакеті Proteus.
9. Схема в заданому універсальному базисі. Привести коротку технічну характеристику використовуваних мікросхем.
10. Висновки по кожній схемі і результатам моделювання.

Контрольні питання

1. Дайте визначення алгебри логіки.
2. Назвіть найпростіші логічні елементи (ЛЕ).
3. Які значення можуть приймати змінні в цифровій техніці?
4. Наведіть аксіоми алгебри логіки.
5. Наведіть основні закони алгебри логіки.
6. Дайте визначення позитивної і негативної логіки.

7. Наведіть теорему де Моргана. Які ЛЕ утворюють базис побудови логічних схем?
8. Що таке базис Пірса?
9. Що таке базис Шеффера?
10. Поясніть, які переваги має ТТЛ в порівнянні з діодною логікою?
11. Що таке КМОН логіка?
12. Дайте визначення ЛЕ АБО, АБО –НІ.
13. Зобразіть таблиці станів ЛЕ АБО , АБО –НІ.
14. Дайте визначення ЛЕ І , І –НІ.
15. Зобразіть таблиці станів ЛЕ І , І –НІ.
16. Дайте визначення ЛЕ НІ.
17. Перетворення логічних елементів.
18. Запишіть формулу функції та зобразіть таблицю станів ЛЕ НІ.
19. Зобразіть схему реалізації ЛЕ НІ.
20. Що значить ключ відкритий і насичений? Поясніть це на прикладі використання біполярного транзистора.
21. Назвіть основні параметри ЛЕ, поясніть їх сутність.
22. Мінімізація логічних функцій 3 змінних з використанням карт Карно.
23. Мінімізація логічних функцій 4 змінних з використанням карт Карно.

ЛАБОРАТОРНА РОБОТА №2

ДОСЛІДЖЕННЯ КОМБІНАЦІЙНИХ ЛОГІЧНИХ МІКРОСХЕМ

Мета роботи: вивчити характеристики та застосування основних комбінаційних логічних мікросхем: дешифраторів, мультиплексорів, компараторів коду. Розробити розподілювач тактів та селектор вхідного коду.

Програма лабораторної роботи

1. Ознайомитись зі структурою пакету Proteus та наявними інструментами для аналізу мікросхем дешифраторів, мультиплексорів та компараторів коду.

2. Розробити в пакеті Proteus внутрішню схему перетворювача коду згідно з номером варіанту, Значення вхідного коду змінюється в межах 0...9 в десятковому коді.

Номер варіанту	Тип вхідного коду	Вихідний код
1.	Двійковий	1 з N
2.	Айкена	Двійковий
3.	Двійковий	Код шкального індикатора
4.	Айкена	Грея
5.	Двійковий	Грея
6.	Двійковий	Семисегментний спільний катод
7.	Грея	Двійковий
8.	Двійковий	семисегментний модифікований
9.	Грея з надлишком 3	Двійковий
10.	Двійковий з надлишком 3	Джонсона
11.	Емері	1 з N
12.	Айкена	двійковий
13.	Двійковий	Семисегментний спільний анод
14.	Грея з надлишком 3	Код шкального індикатора
15.	Двійковий	Грея
16.	Двійковий	Джонсона
17.	Айкена	Грея
18.	Грея	Код шкального індикатора
19.	Двійковий	Айкена
20.	Двійковий	Грея з надлишком 3
21.	Грея з надлишком 3	Двійковий
22.	Айкена	Емері
23.	Двійковий	Емері
24.	Емері	Джонсона
25.	Грея	Айкена

3. Розробити в пакеті Proteus розподілювач тактів з використанням дешифратора, згідно з варіантом. На вхід подається сигнал нарощення двійкового коду

Номер варіанту	Дешифратор	Кількість каналів розподілення
1.	561ИД1	3
2.	155ИД3	4
3.	155ИД4	5
4.	555ИД7	6
5.	155ИД14	7
6.	561ИД1	8
7.	155ИД3	9
8.	155ИД4	10
9.	555ИД7	11
10.	155ИД14	12
11.	561ИД1	13
12.	155ИД3	14
13.	155ИД4	15
14.	555ИД7	16
15.	155ИД14	17
16.	561ИД1	18
17.	155ИД3	19
18.	155ИД4	20
19.	555ИД7	21
20.	155ИД14	22
21.	561ИД1	23
22.	155ИД3	24
23.	155ИД4	25
24.	555ИД7	26
25.	155ИД14	27

4. Розробити в пакеті Proteus селектор 10-розрядного двійкового коду з використанням компаратора кодів СП1. Значення коду в десятковому еквіваленті становить в $31 \cdot k$, де k – номер варіанту.

5. Дослідити в пакеті Proteus комутатор цифрових сигналів з використанням мультиплексора КП1. Значення вхідного коду в десятковому еквіваленті становить в $1231 \cdot k$, де k – номер варіанту.

МЕТОДИЧНІ ВКАЗІВКИ ДО ЛАБОРАТОРНОЇ РОБОТИ

Комбінаційна логіка. Перетворювачі кодів

Логічні схеми комбінаційного типу характеризуються однозначним відповідністю вихідних сигналів допустимим комбінаціям сигналів на вході і не залежать від послідовності їх зміни. Для побудови будь якої комбінаційної схеми повинні бути задані всі множини кодів (слів) і відповідний їм набір вихідних кодів або система рівнянь, що описує залежність кожного розряду вихідного коду від незалежних вхідних змінних.

Комбінаційні схеми будуються або на основі логічних елементів, або на основі постійних запам'ятовуючих пристроїв, в які записується таблиця перетворення вхідних слів у вихідні.

До комбінаційної логіки відносяться: перетворювачі кодів, окремим випадком яких є шифратори і дешифратори; мультиплексори і демультимплексори; комбінаційні суматори; цифрові компаратори та ін.

Перетворювачі кодів призначені для переведення коду з однієї форми подання в іншу. Існує досить багато різних кодів, що використовуються в цифровій техніці (таблиця 1).

Таблиця 1 – Таблиця відповідності деяких цифрових кодів в діапазоні десяткових чисел 0 – 9.

Десят. код	Двійковий код	Грея	Телетайп код №2	Код Грея з надл.3	Код Ватса
0	0000	0000	01101	0010	0000
1	0001	0001	11101	0110	0001
2	0010	0011	11001	0111	0011
3	0011	0010	10000	0101	0010
4	0100	0110	01010	0100	0110
5	0101	0111	00001	1100	1110
6	0110	0101	10101	1101	1010
7	0111	0100	11100	1111	1011
8	1000	1100	01100	1110	1001
9	1001	1101	00011	1010	1000
Десят. код	Доповн. до 9	Код Емері «2421»	Код Айкена	Код з надл. 3	Код Джонсона
0	1001	0000	0000	0011	00000
1	1000	0001	0001	0100	00001
2	0111	0010	0010	0101	00011
3	0110	0011	0011	0110	00111
4	0101	0100	0100	0111	01111
5	0100	0101	1011	1000	11111
6	0011	0110	1100	1001	11110
7	0010	0111	1101	1010	11100
8	0001	1110	1110	1011	11000
9	0000	1111	1111	1100	10000

Код «3 надлишком 3» ($N+3$), код «Доповнення до 9» ($9 - N$), код «Доповнення до 10» ($10 - N$) використовуються в арифметичних пристроях для виконання операцій додавання і віднімання двійково-десяткових чисел.

Код Грея утворений послідовністю двійкових чисел, в якій два будь-сусідніх числа (перше і останнє число також вважаються сусідніми) відрізняються тільки одним розрядом. Перехід від двійкового коду до коду Грея здійснюється за правилом: старші розряди збігаються, а будь-який наступний розряд коду Грея дорівнює сумі по модулю 2 (виключне АБО) відповідного і попереднього розрядів двійкового коду. Код Грея використовується в енкодерах, аналого-цифрових перетворювачах і пристроях перерахунку, істотно скорочує час перетворення, спрощує логічну схему, підвищує завадостійкість.

У коді Джонсона перехід до наступного числа здійснюється послідовною заміною 0 на 1, починаючи справа, а після установки у всіх розрядах 1 - заміною 1 на 0. Код Джонсона використовується в цифрових лічильниках.

Код Айкена (2421) використовується для виконання арифметичних операцій над десятковими числами у зворотному або додатному кодах. Особливість його полягає в тому що, якщо зробити заміну 0 на 1, а 1 на 0, то отримаємо зворотний код. Наприклад, числу 3 відповідає код 0011, тобто ($3 = 0011$), в зворотному коді - ($1100 = 6$). У коді Айкена, щоб отримати 1100, необхідно від 9 відняти $3 = 0011$, отримаємо $1100 = 6$.

Побудуємо перетворювач двійкового коду 421 в 3-х розрядний код Грея. Необхідною умовою побудови є таблиця істинності (таблиця 2). Вхідними даними таблиці є x_2, x_1, x_0 , вихідними - y_2, y_1, y_0 . Кожен розряд одержуваного на виході коду буде незалежною функцією вхідних наборів x_0, x_1, x_0 , яку необхідно знайти і мінімізувати. Для цього скористаємося картами Карно, записавши в клітинки карт значення y_i для кожного набору (таблиця 2).

Таблиця 2 – Синтез перетворювача коду Грея в двійковий код

Вих. змінна	Карта Карно	Рівняння виходу
y_0		$y_0 = x_0 \cdot \overline{x_1} + \overline{x_0} \cdot x_1 = x_0 \oplus x_1;$
y_1		$y_1 = x_1 \cdot \overline{x_2} + \overline{x_1} \cdot x_2 = x_1 \oplus x_2;$
y_2		$y_2 = x_0.$

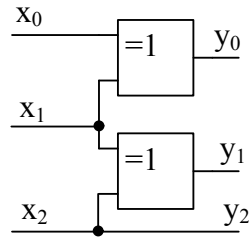


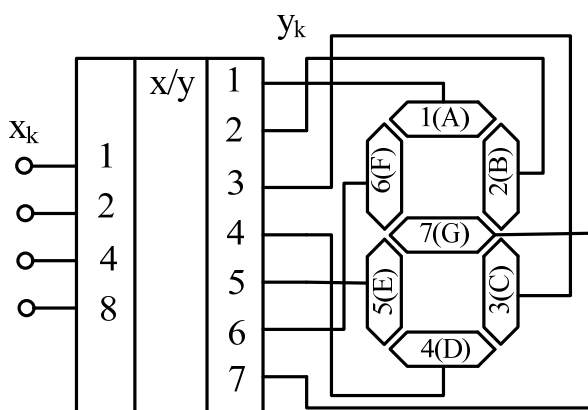
Рисунок 1 – Схема перетворювача двійкового коду в код Грея

Простежується методика побудови перетворювачів кодів:

- необхідно отримати таблицю станів, де вказується повний набір вхідних змінних і відповідний їм набір вихідних змінних;
- скласти карту Карно та здійснити мінімізацію логічної функції для кожного виходу;
- отриману функцію необхідно реалізувати в заданому елементному базисі.

Інтегральні мікросхеми (МС) перетворювачів кодів випускаються тільки для найбільш поширених операцій: перетворення двійково-десятькового коду в двійковий і назад - двійкового коду в двійково-десятьковий; перетворення двійкового коду в код Грея; перетворення двійкового коду в код управління сегментними, шкальними і матричними індикаторами.

Візуалізація двійково-десятькових чисел часто проводиться за допомогою семисегментних панелей на основі рідких кристалів або світлодіодів. Вмиканням і вимиканням окремих сегментів можна отримати зображення окремих цифр. Конфігурація і розташування сегментів індикатора показані на рисунку 2. Кожній цифрі відповідає свій набір включення певних сегментів індикатора. Таблиця відповідності кодів для індикатора із спільним катодом представлена на рисунку 2.



n	Сегменти y_k							Код x_k			
	1	2	3	4	5	6	7	8	4	2	1
0	1	1	1	1	1	1	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	1
2	1	1	0	1	1	0	1	0	0	1	0
3	1	1	1	1	0	0	1	0	0	1	1
4	0	1	1	0	0	1	1	0	1	0	0
5	1	0	1	1	0	1	1	0	1	0	1
6	1	0	1	1	1	1	1	0	1	1	0
7	1	1	1	0	0	0	0	0	1	1	1
8	1	1	1	1	1	1	1	1	0	0	0
9	1	1	1	1	0	1	1	1	0	0	1

Рисунок 2 – Схема підключення та таблиця відповідності кодів для семисегментного індикатора із спільним катодом

Для даного перетворювача вхідним кодом є двійково-десятиковий код (код 8421), виходами є сегменти, які визначаються наборами коду 8421.

Для кожного сегмента необхідно побудувати карту Карно, що складається з 4-х змінних (16 клітинок), знайти функції $y_1, y_2, y_3 \dots y_7$, які відповідають сегментам індикатора, в залежності від вхідного двійкового коду $x_1 x_2 x_3 x_4$ (x_1 - відповідає старшому розряду!). На рисунку 3 представлена карта Карно для функції y_1 , аналогічно отримано вирази для інших функцій $y_2 \dots y_7$.

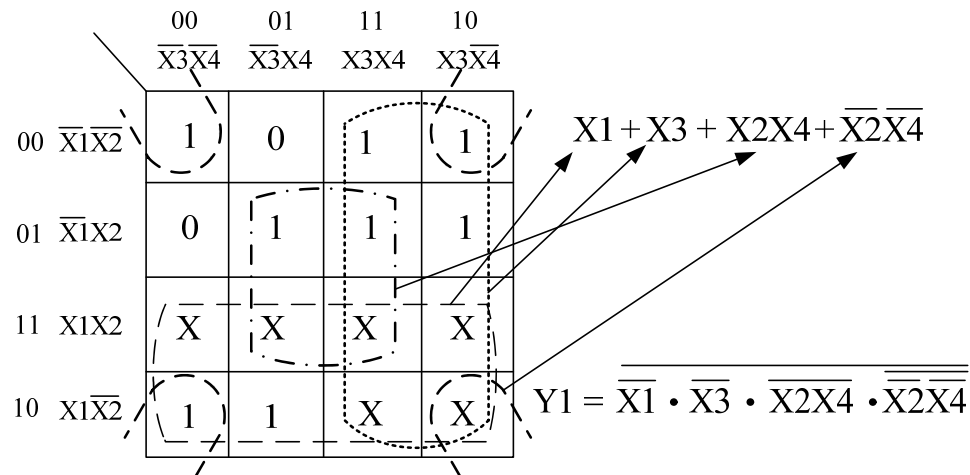


Рисунок 3 – Карта Карно для логічної функції стану першого сегмента y_1 в залежності від вхідного коду згідно таблиці відповідності (рисунок 2)

Отримане мінімізоване рівняння приводиться до базису І-НЕ через застосування подвійного інвертування та застосування правила де Моргана.

Схема моделі перетворювача двійково-десятикового коду в код для керування семи сегментним індикатором в пакеті Proteus зображена на рисунку 4.

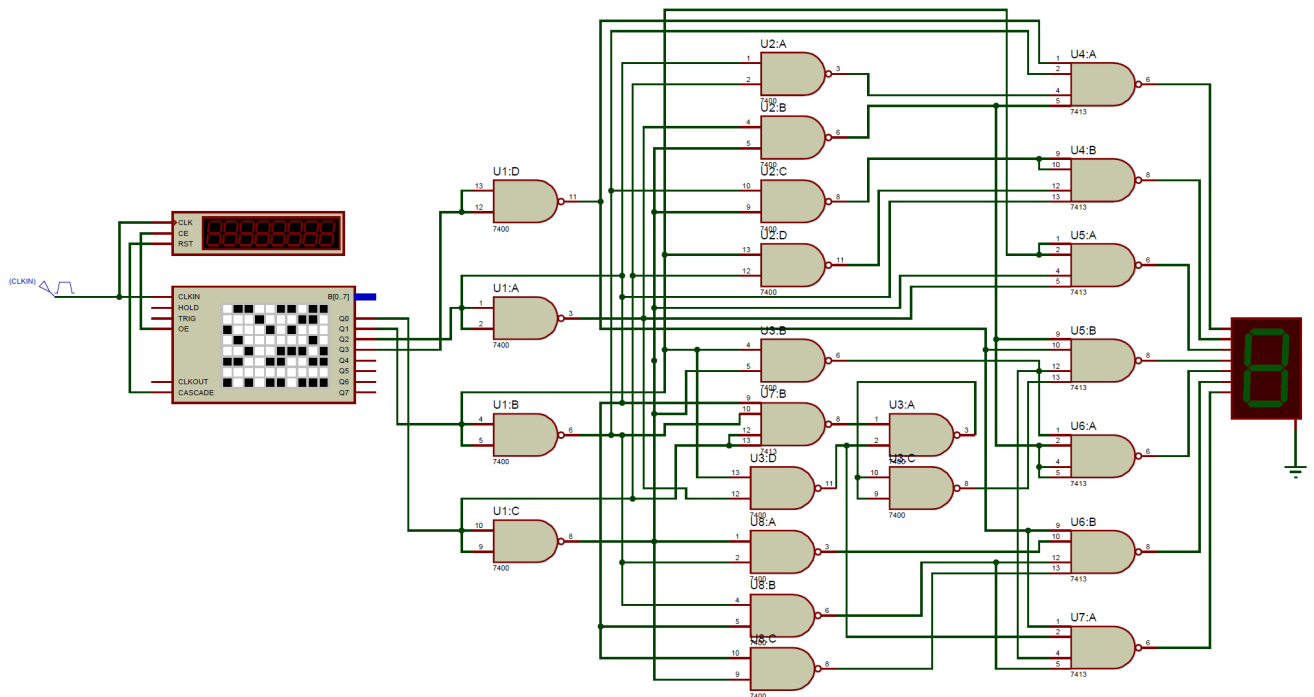


Рисунок 4 – Схема моделі Proteus перетворювача двійково-десятикового коду в семисегментний код для індикатора із спільним катодом в базисі І-НЕ

Для задання вхідного коду в Proteus використаємо інструмент pattern generator, цей генератор дозволяє отримати будь-які кодові комбінації, які слідують із заданою частотою. Приклад налаштування генератора приведено на рисунку 5. В даному випадку генератор налаштований на тактування по передньому фронту від зовнішнього генератора (сектор clock), який налаштований на частоту 1 Гц. Скид генератора кодових комбінацій налаштовується в секторі trigger, як видно скид відбувається кожні 10 с. Таким чином за період 10с кожен секунду сигнал на виході послідовно змінюється в діапазоні 0...9 в двійковому коді.

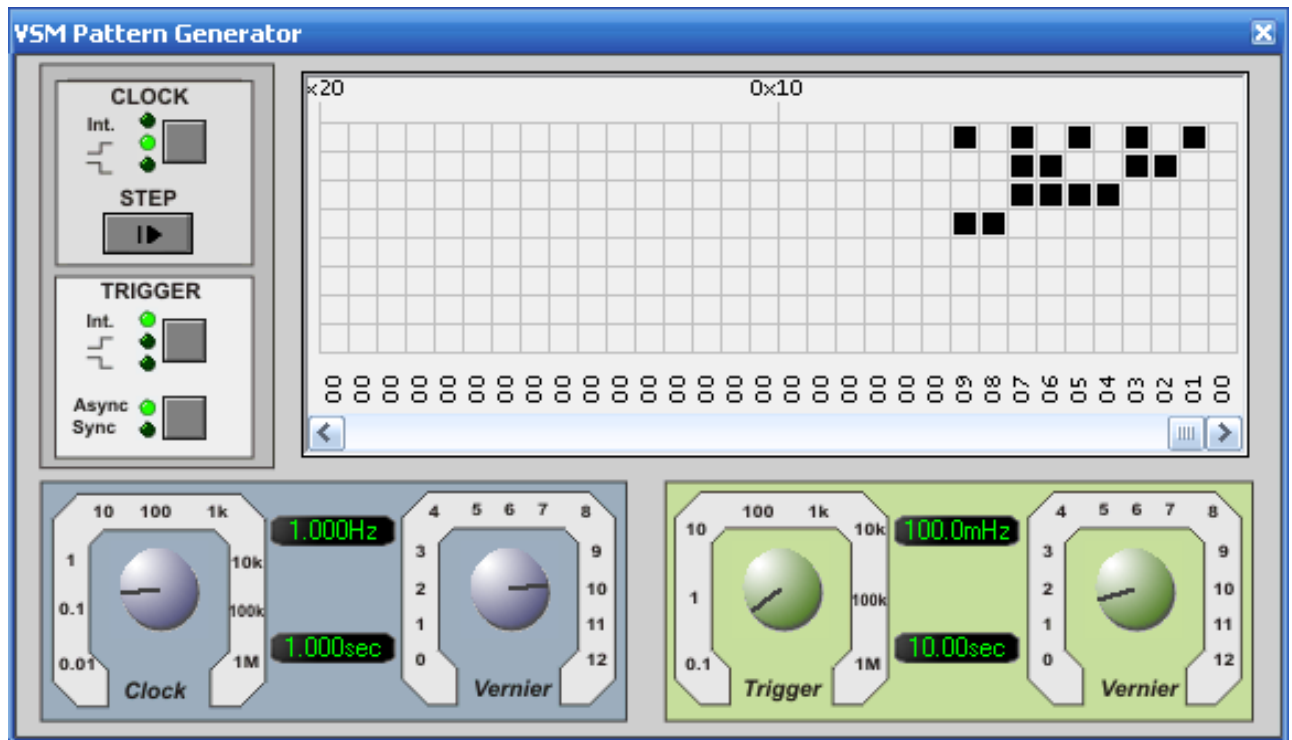


Рисунок 5 – Налаштування генератора кодових комбінацій в Proteus

Вигляд числа 9 та 6 для модифікованого способу виведення чисел на семисегментний індикатор можуть відрізнятися від стандартних (рисунок 6)

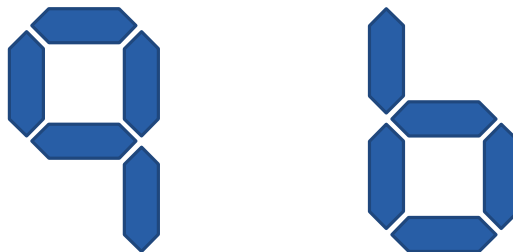


Рисунок 6 – Вигляд числа 9 та 6 для модифікованого способу виведення чисел на семисегментний індикатор

Дешифратори

Дешифратором (DC) називають перетворювач двійкового n - розрядного коду в унітарний 2^n - розрядний код, всі розряди якого, за винятком одного, дорівнюють нулю. Дешифратори бувають повні і неповні. Для повного дешифратора виконується умова $N = 2^n$, де n - число входів, N - число виходів. У неповних дешифраторів є n входів, але реалізується $N < 2^n$ виходів.

Найбільш широко дешифратори використовуються в пристроях виведення інформації та цифрових даних. Окрім інформаційних входів 1, 2, 4... 2^n дешифратори зазвичай мають додаткові входи управління, або дозвільні входи S (С). Сигнали на цих входах дозволяють функціонування дешифратора або переводять його в пасивний стан, при якому, незалежно від сигналів на інформаційних входах, на всіх виходах встановиться рівень логічної одиниці (інверсні виходи), або нуля (прямі виходи).

Дозвільний вхід може бути прямим або інверсним. У дешифраторів з прямим дозвільним входом активним рівнем є рівень логічної одиниці, у дешифраторів з інверсним входом - рівень логічного нуля. На рисунку 7 представлений дешифратор (2-4) з одним інверсним входом управління.

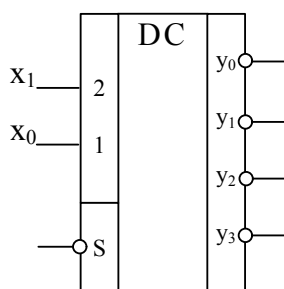


Рисунок 7 – Умовно-графічне позначення дешифратора

Таблиця 3 - Таблиця істинності дворозрядного дешифратора

№ набору	Входи		Виходи							
			прямі				інверсні			
	x_1	x_0	Y_0	Y_1	Y_2	Y_3	Y_0	Y_1	Y_2	Y_3
0	0	0	1	0	0	0	0	1	1	1
1	0	1	0	1	0	0	1	0	1	1
2	1	0	0	0	1	0	1	1	0	1
3	1	1	0	0	0	1	1	1	1	0

Розглянемо структуру повного дешифратора, що перетворює двохрозрядний двійковий код в унітарний код 1 з N (див. таблицю 3), де: x_1 і x_0 - змінні вхідного двохрозрядного двійкового коду; y_0 - вихід дешифратора, що виробляє активний сигнал (0 або 1) при наборі $x_1x_0 = 00$ і неактивні сигнали на інших наборах і т. д., тобто таблиця 3 побудована так, що індекс вихідного сигналу збігається з номером набору вхідного двійкового коду.

Розглядаючи вихідні сигнали y_i як значення перемикальної функції, що залежать від змінних x_1 і x_0 , для дешифратора з активною одиницею виходу з таблиці 3 отримуємо:

$$\begin{cases} y_0 = \bar{x}_1 \bar{x}_0 = \overline{x_1 + x_0}; \\ y_1 = \bar{x}_1 x_0 = \overline{x_1 + \bar{x}_0}; \\ y_2 = x_1 \bar{x}_0 = \overline{\bar{x}_1 + x_0}; \\ y_3 = x_1 x_0 = \overline{\bar{x}_1 + \bar{x}_0}. \end{cases} \quad (1)$$

В системі (1) вирази з груповою інверсією отримані з використанням закону подвійного заперечення і правила де Моргана .

З виразів (1) випливає, що повний дешифратор з активною 1 на виході може розглядатися як сукупність чотирьох двохвходових елементів І, що реалізують всі конституенти одиниці (елементарні логічні добутки максимального рангу), або як сукупність чотирьох двохвходових елементів АБО -НІ , що реалізують заперечення всіх конституент нуля (елементарних логічних сум максимального рангу). Для дешифратора з активним нулем виходу з табл.1 , отримуємо :

$$\begin{cases} y_0 = x_1 + x_0 = \overline{\bar{x}_1 \bar{x}_0} \\ y_1 = x_1 + \bar{x}_0 = \overline{\bar{x}_1 x_0} \\ y_2 = \bar{x}_1 + x_0 = \overline{x_1 \bar{x}_0} \\ y_3 = \bar{x}_1 + \bar{x}_0 = \overline{x_1 x_0} \end{cases} \quad (2)$$

З виразів (2) випливає, що дешифратор з активним нулем на виході можна розглядати як сукупність чотирьох двохвходових елементів АБО, що реалізують всі конституенти нуля, або як сукупність чотирьох двохвходових елементів І -НЕ, що реалізують заперечення всіх конституент одиниці.

Так як в одній половині реалізованих конституент будь вхідна змінна зустрічається без інверсії, а в іншій - з інверсією, то кожен вхід дешифратора повинен мати пряме та інверсне значення, при практичній реалізації дешифраторів у вигляді ІС в них додаються $2n$ буферних інверторів для забезпечення одиничного навантаження по входу кожної змінної. З врахуванням сказаного схеми будуть мати вигляд, представлений на рисунку 8.

Функціональне позначення отриманих структур наведено на рисунку 8 (зліва - для дешифратора з активною одиницею виходу, справа - з активним нулем виходу).

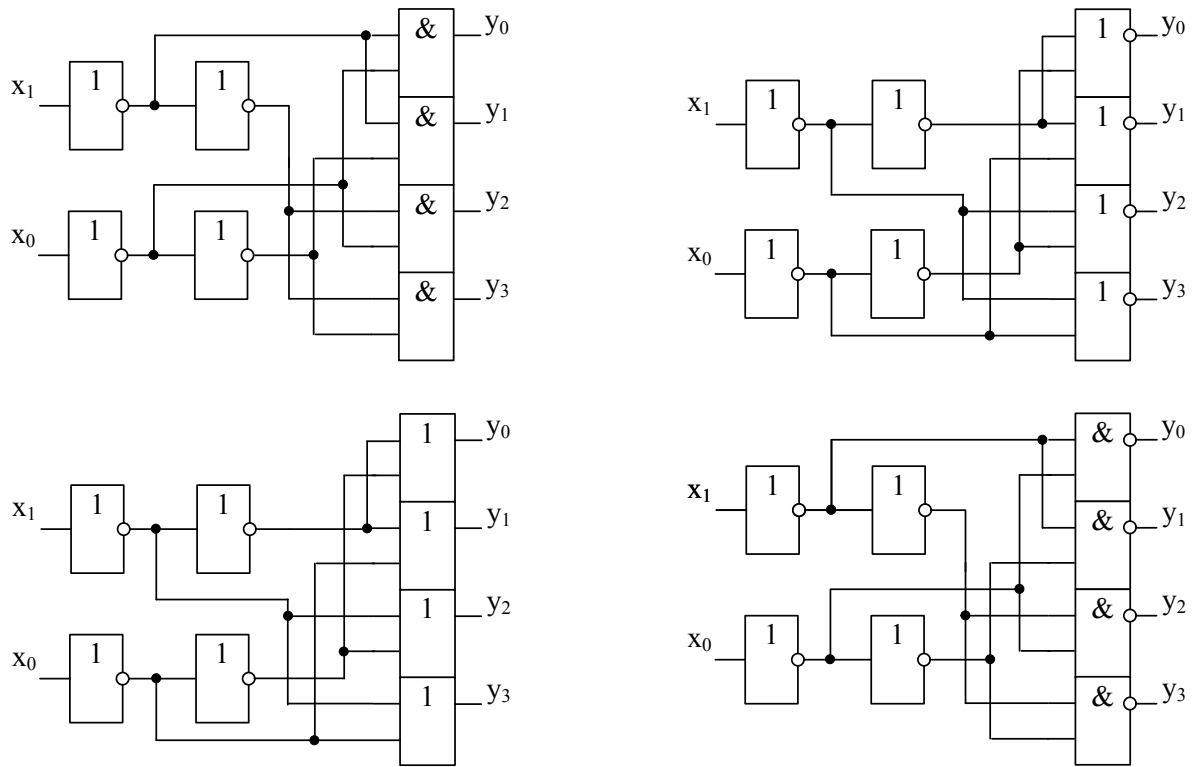


Рисунок 8 - Реалізація дешифраторів на логічних елементах

Нехай необхідно побудувати дешифратор m - розрядного коду, якщо є дешифратори n -розрядного коду, причому $m > n$.

Розглянемо рівняння повного дешифратора з активним нулем виходу при $m = 3$:

$$\left\{ \begin{array}{ll} y_0 = \overline{\overline{x_2} \overline{x_1} \overline{x_0}} & y_4 = \overline{\overline{x_2} \overline{x_1} \overline{x_0}} \\ y_1 = \overline{\overline{x_2} \overline{x_1} x_0} & y_5 = \overline{\overline{x_2} \overline{x_1} x_0} \\ y_2 = \overline{\overline{x_2} x_1 \overline{x_0}} & y_6 = \overline{\overline{x_2} x_1 \overline{x_0}} \\ y_3 = \overline{\overline{x_2} x_1 x_0} & y_7 = \overline{\overline{x_2} x_1 x_0} \end{array} \right. \quad (3)$$

У рівняннях (3) для $y_0 \dots y_3$ змінна x_2 зустрічається тільки з інверсією, а для $y_4 \dots y_7$ - тільки без інверсії, в той час як змінні x_1 і x_0 утворюють однакові комбінації в y_0 і y_4 , y_1 і y_5 і т. д. Будемо розглядати змінну x_2 як стробуючий вхід S . Виберемо активний рівень для S рівним 0. Тоді отримаємо схему, представлену на рисунку 9, так званого стробованого дешифратора, функціональне позначення якого наведено там же.

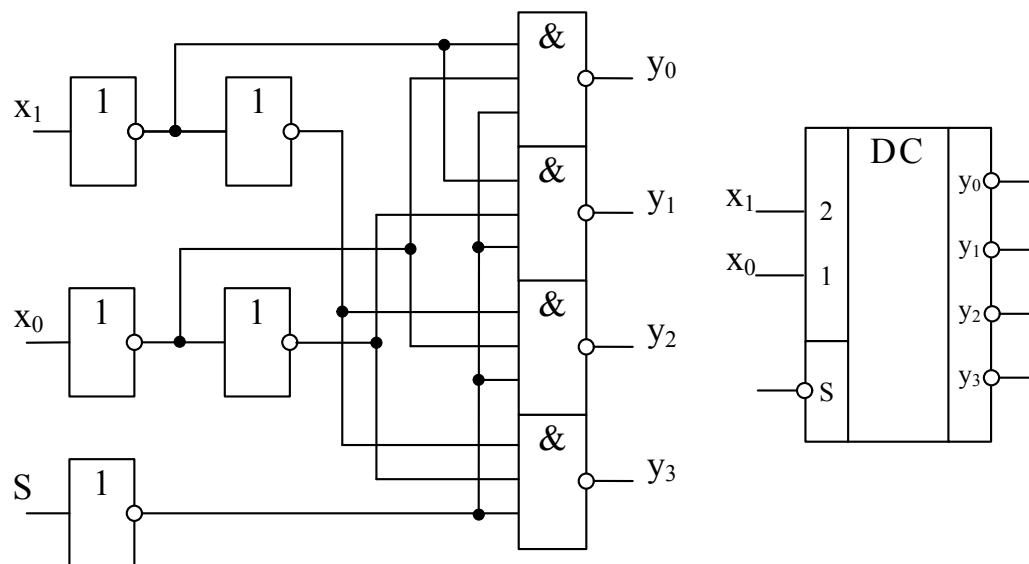


Рисунок 9 - Стробоаний дешифратор

Звертаючись до рівнянь (3), ми бачимо, що для реалізації дешифратора «один з восьми» (дешифрується трьохрозрядний двійковий код) необхідно взяти два стробованих дешифратора «1 з 4» і один зовнішній додатковий інвертор. Виходить схема, наведена на рисунку 10. Неважко бачити, що так само легко реалізується дешифратор «1 з 16» на п'яти стробованих дешифраторах «1 з 4» (рисунок 11), причому один з них буде дешифрувати набори, представлені двома старшими розрядами, і стробувати інші чотири. Вхід S цього дешифратора буде стробуючим входом для всього дешифратора «1 з 16».

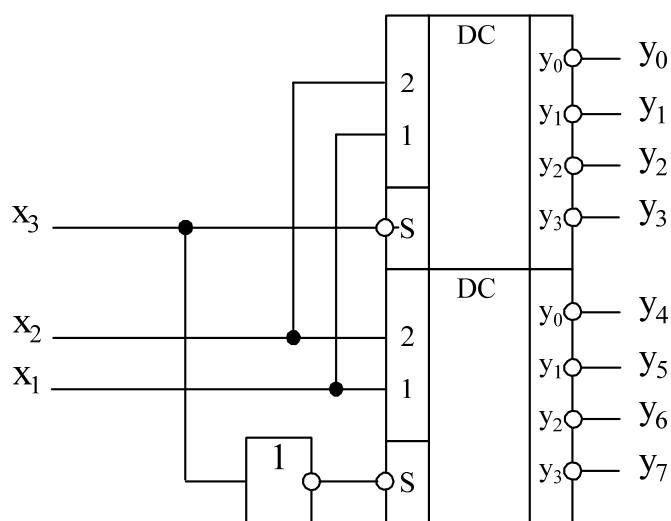
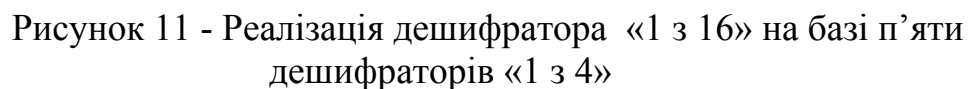


Рисунок 10 - Реалізація дешифратора «1 з 8» на базі двох дешифраторів «1 з 4»



Демультіплексором (DMX) в цифровій техніці називають комбінаційний вузол з адресною передачею даних з одного входу в один з багатьох виходів.



35

активним нулем виходу, (рисунок 12) , де $x_{вх}$ подається на стробуючий вхід, двохрозрядна адресу $a_1 a_0$ одного з чотирьох вихідних станів подається на інформаційні входи дешифратора, а виходи дешифратора є виходами демультиплексора, причому індекс активного або вибраного виходу збігається з номером набору адреси. На невибраних виходах будуть формуватися рівні 1 (в дешифратора з активною одиницею виходу - відповідно рівні 0).

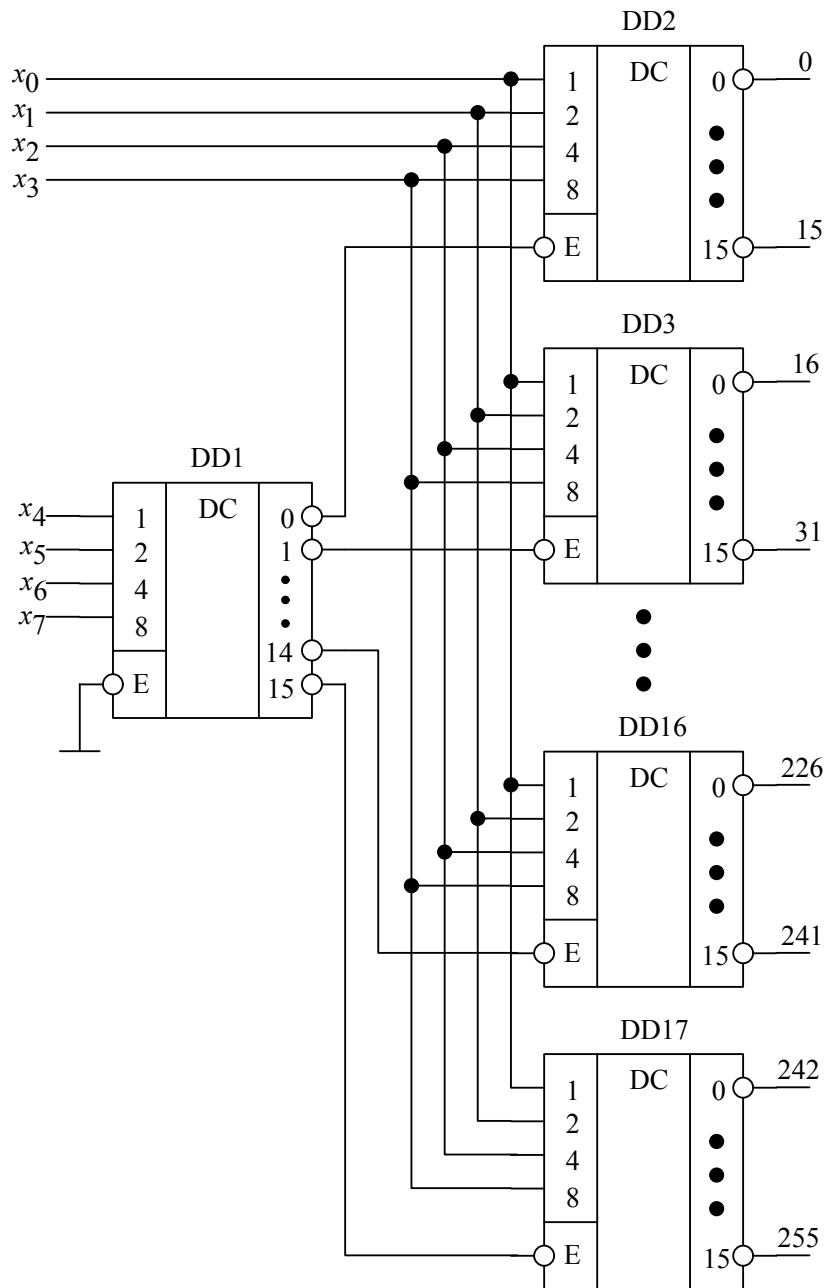
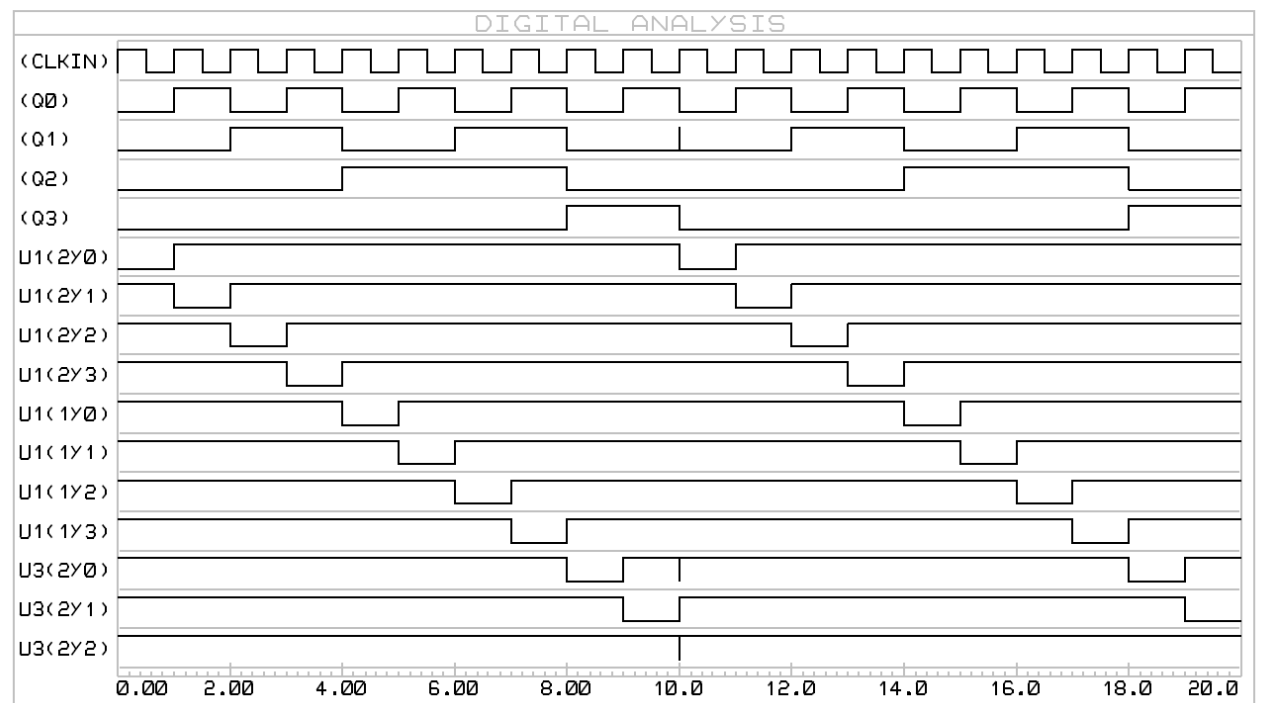


Рисунок 13 - Дешифратор «1 з 256» на базі 17 дешифраторів «1 з 8»

Одним із застосувань дешифратора є розподілювач тактів, який використовується для розмежування операцій в цифровій схемотехніці. В цьому випадку кожен вивод дешифратора відповідає за дозвіл тої чи іншої операції, які відбуваються циклічно. На рисунку 14 приведена схема розподілювача на 10 тактів в пакеті Proteus на базі мікросхеми типу ИД4 (74155). В приведеній схемі два дешифратора утворюють дешифратор «1 з 16»,



Компаратори кодів

Цифрові компаратори виконують порівняння двох чисел, заданих у двійковому коді. Вони можуть визначати рівність двох двійкових чисел A і B з однаковою кількістю розрядів або вид нерівності $A > B$ або $A < B$. Цифрові компаратори мають три виходи: $F_a > b$, $F_a = b$, $F_a < b$. Таблиця істинності однорозрядного компаратора наведено нижче:

Входи		Виходи		
A	B	$A < B$	$A = B$	$A > B$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

Операції порівняння визначаються логічними виразами

$$F_1(A < B) = \bar{A}B, \quad (4)$$

$$F_1(A = B) = \bar{A}\bar{B} + AB = \overline{A \oplus B}, \quad (5)$$

$$F_1(A > B) = A\bar{B}. \quad (6)$$

Виразам (4 - 6) відповідає логічна структура універсального однорозрядного компаратора, представлена на рисунку 15.

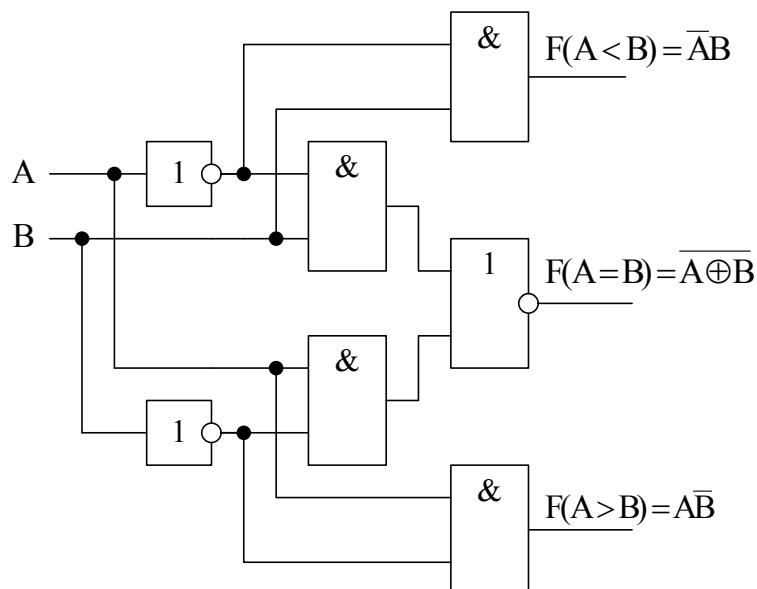


Рисунок 15 - Логічна структура універсального однорозрядного компаратора

Крім восьми входів для порівнюваних кодів (двох чотирьохрозрядних кодів, що позначаються $A_0 \dots A_3$ і $B_0 \dots B_3$) компаратор має три керуючих входи для нарощування розрядності ($A > B$, $A < B$, $A = B$) і три виходи результуючих сигналів ($A > B$, $A < B$, $A = B$). Для зручності на схемах керуючі

входи і виходи іноді позначають просто « > », « < » і « = ». Нульові розряди кодів (A0 і B0) - молодші, треті розряди (A3 і B3) - старші. Умовно-графічне позначення МС чотирирозрядного компаратора представлено на рисунку 16.

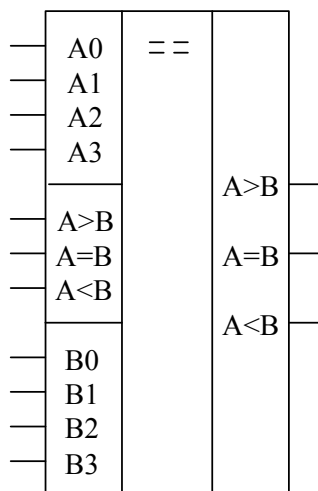


Рисунок 16 - Умовно-графічне позначення МС чотирирозрядного компаратора

Якщо використовується одиночна мікросхема, то для її правильної роботи достатньо подати одиницю на вхід $A = B$, а стану входів $A < B$ і $A > B$ не важливі: на них можна подати як нуль, так і одиницю. Призначення виходів зрозуміле з їх назви, а полярність вихідних сигналів позитивна (активний рівень - одиниця). Якщо мікросхема компараторів кодів каскадується (об'єднуються) для збільшення числа розрядів порівнюваних кодів, то вихідні сигнали мікросхеми, що порівнює молодші розряди коду, потрібно подати на однойменні входи мікросхеми, що порівнює старші розряди коду (рисунок 17).

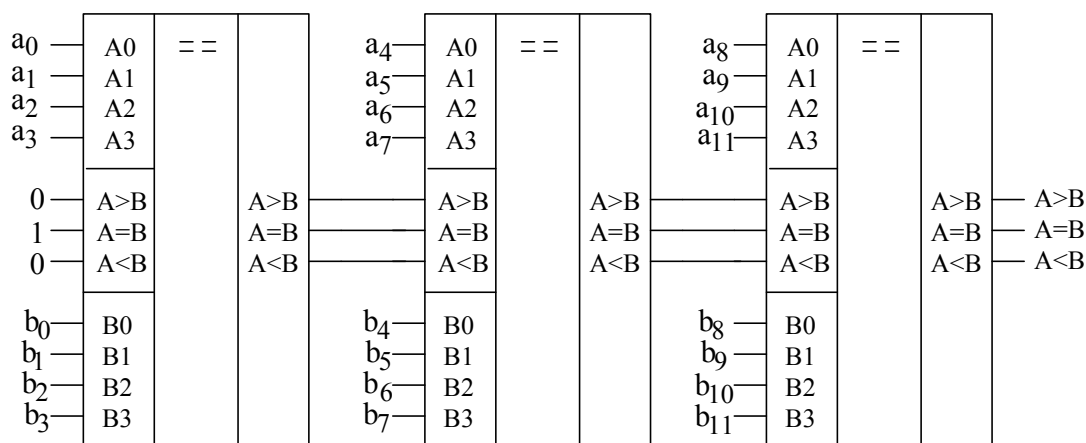


Рисунок 17 - Каскадне з'єднання компараторів

При такому способі з'єднання компараторів затримки формування ознак кожного компаратора сумуються.

При паралельному (пірамідальному) з'єднанні компараторів (рисунок 18) перехідні процеси займають менший час, так як процес порівняння в кожному компараторі, що входить в одну групи, проходить паралельно.

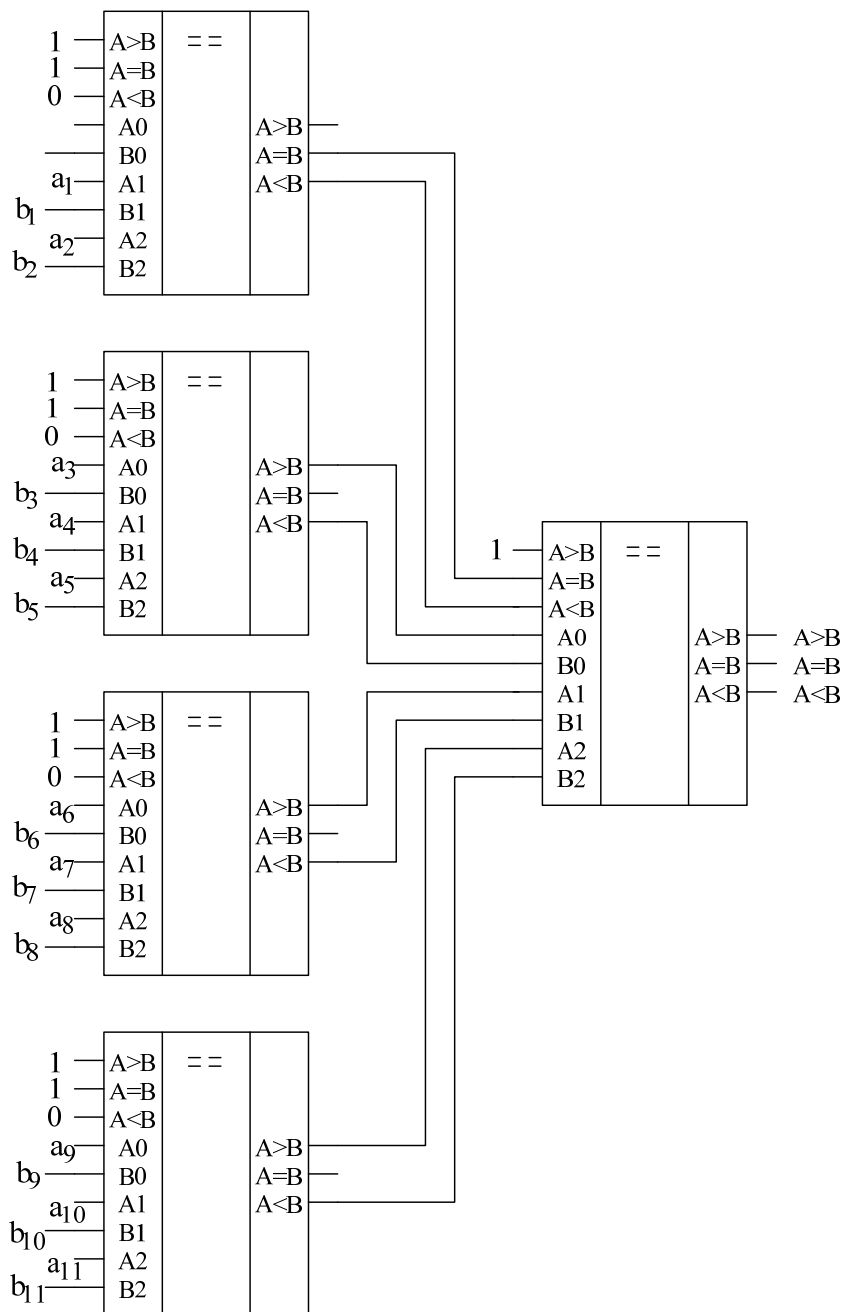


Рисунок 18 - Паралельне (пірамідальне) з'єднання компараторів

Мультиплексори

Призначення мультиплексорів (від англ. Multiplex - багатократний) – комутувати в бажаному порядку інформацію, що надходить з декількох входів, на один вихід. Мультиплексори в цифровій апаратурі використовуються для тимчасового розділення інформації, що надходить на різних каналах.

Мультиплексори мають дві групи входів і один, рідше два (взаємодоповнюючі) виходи, один з яких прямий, а інший - інверсний. Одна група входів об'єднує інформаційні входи, а інша служить для управління роботою мультиплексора. Керуючі входи поділяються на адресні і дозвільні (стробуючі). Повний мультиплексор, що володіє n адресними входами, містить

2^n інформаційних входів і позначається як “мультиплексор $2^n - 1$ ”. Якщо на адресні входи подати n - розрядний двійковий код числа $i \in \{0, 1, 2, \dots, 2^n - 1\}$, то вихід підключиться до i -ого інформаційного входу, тобто інформація, що надходить на i - тий інформаційний вхід, проходитиме на вихід незалежно від того, які сигнали надходять на інші інформаційні входи.

Дозвільний (стробуючий) вхід управляє одночасно всіма інформаційними входами незалежно від стану адресних входів. Заборонний сигнал на цьому вході блокує дію всієї комбінаційної схеми мультиплексора. Наявність дозвільного входу розширює функціональні можливості мультиплексора, дозволяючи синхронізувати його роботу з роботою інших вузлів цифрової техніки. Дозвільний вхід використовується також для нарощування розрядності мультиплексора. Логічна функція, виконувана повним мультиплексором з n - адресними входами і одним прямим входом дозволу на прямому виході, має вигляд

$$f = E \sum_{i=0}^{2^n-1} m_i d_i, \quad (7)$$

де m_i - мінтерм, відповідний i -му набору змінних на адресних входах, E - сигнал на вході дозволу; d_i - сигнал на i -му інформаційному вході.

Наприклад, для повного мультиплексора 8-1 (рис. 4.3) логічна функція має вигляд

$$f = E \sum_{i=0}^7 m_i d_i = E(\bar{a}_2 \bar{a}_1 \bar{a}_0 d_0 + \bar{a}_2 \bar{a}_1 a_0 d_1 + \bar{a}_2 a_1 \bar{a}_0 d_2 + \bar{a}_2 a_1 a_0 d_3 + a_2 \bar{a}_1 \bar{a}_0 d_4 + a_2 \bar{a}_1 a_0 d_5 + a_2 a_1 \bar{a}_0 d_6 + a_2 a_1 a_0 d_7), \quad (8)$$

де a_i - сигнали, що подаються на адресні входи мультиплексора.

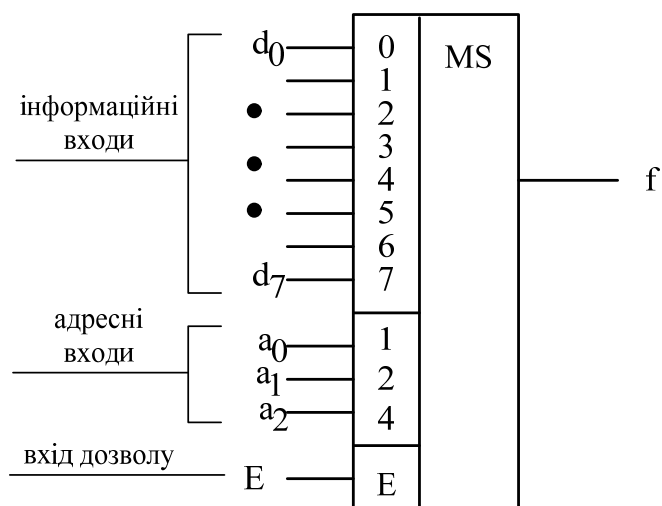


Рисунок 18 - Повний мультиплексор 8–1

Використовуючи методику синтезу комбінаційних пристроїв, викладену вище, і загальний вираз (8) булевої функції повного мультиплексора, можна

отримати структурну схему реалізації мультиплексора на логічних елементах. Наприклад, логічна структура мультиплексора 4-1 представлена на рисунку 19.

$$f = \overline{E} \sum_{i=0}^3 m_i d_i = \overline{E} (\overline{a_2} \overline{a_1} \overline{a_0} d_0 + \overline{a_2} \overline{a_1} a_0 d_1 + \overline{a_2} a_1 \overline{a_0} d_2 + \overline{a_2} a_1 a_0 d_3). \quad (9)$$

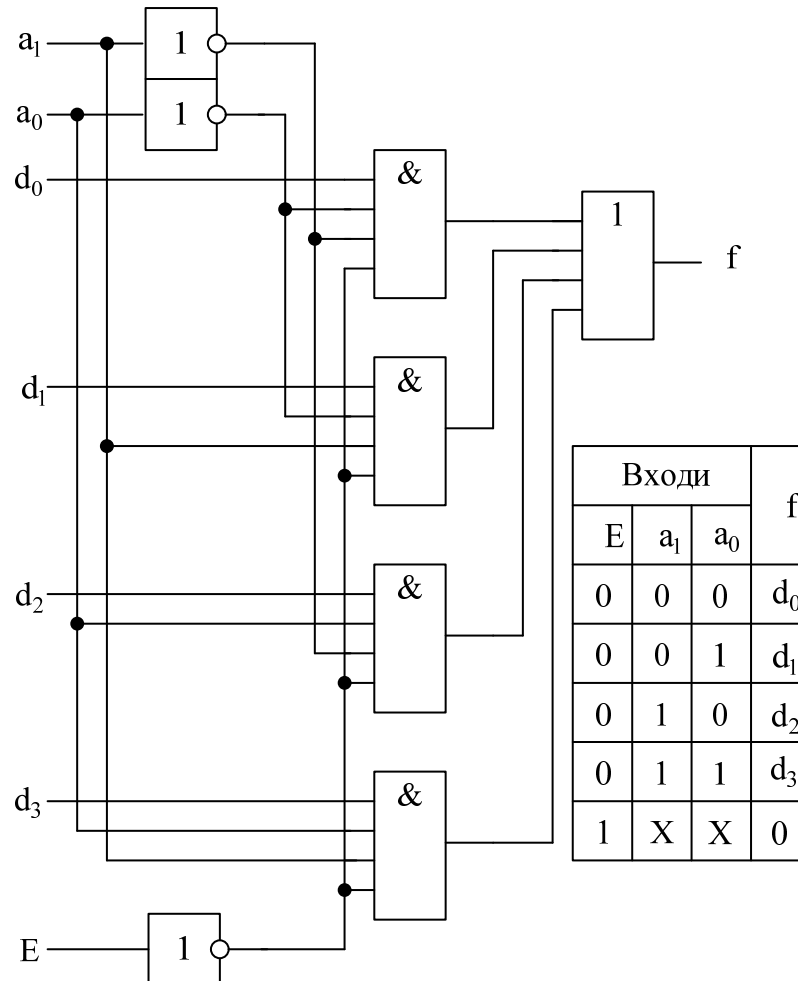


Рисунок 19 - Логічна структура мультиплексора 4-1

У інтегральних мікросхем мультиплексорів число інформаційних входів не перевищує 16. Більше число входів забезпечується нарощуванням двома способами: об'єднанням декількох мультиплексорів в пірамідальну (деревоподібну) систему або послідовним з'єднанням дозвільних входів і зовнішніх логічних елементів.

Пірамідальні мультиплексори будуються за ступінчастим принципом, причому зазвичай застосовуються дві, рідше - 3 і більше ступені. Пірамідальний характер схеми полягає в тому, що кожен ступінь, починаючи з першого, має більше входів, ніж подальший. Молодші розряди коду адреси подаються на адресні входи першого ступеня, а ступеням вищого рангу відповідають старші розряди адресного коду.

На рисунку 20 показаний варіант мультиплексора 32-1 на основі мультиплексорів 8-1 і 4-1.

До основного недоліку пірамідального нарощування слід віднести порівняно невисоку швидкість через підсумовування затримок при послідовному проходженні сигналів по ступеням системи.

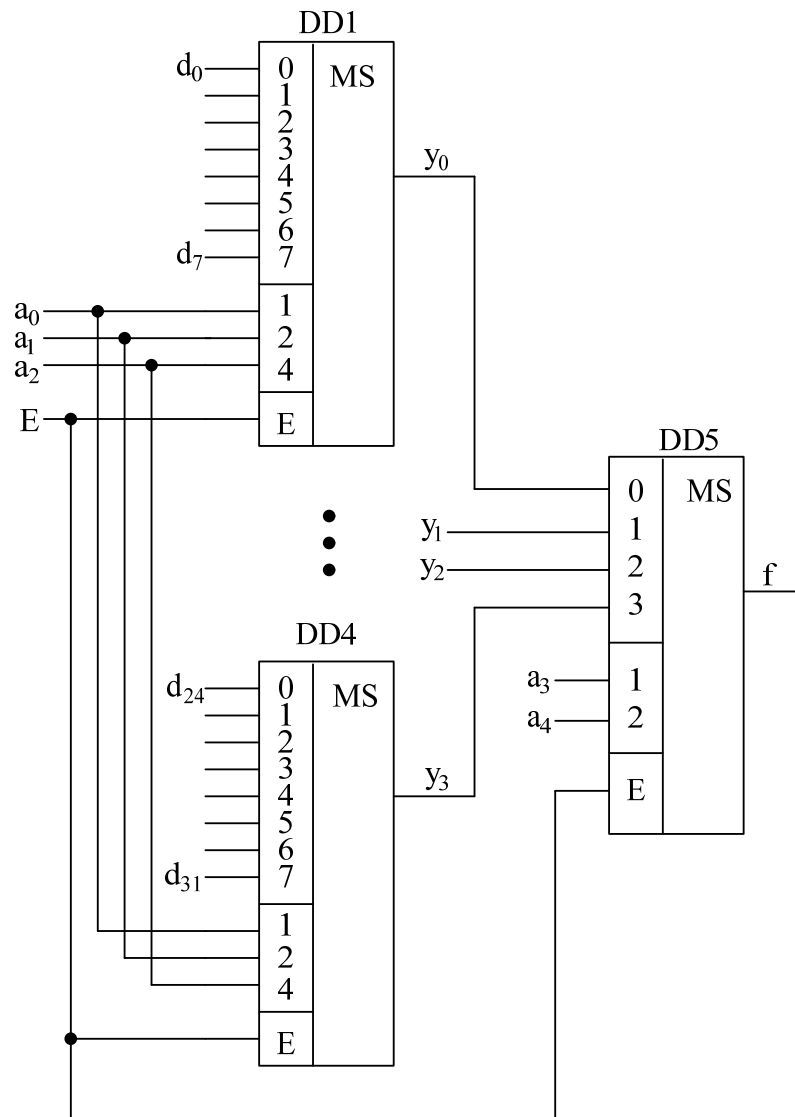


Рисунок 20 - Пірамідальне нарощування розрядності мультиплексора

На рисунку 21 показана організація мультиплексора 32-1 з двох мультиплексорів 16-1 з використанням дозвільних входів мультиплексорів в якості адресних входів вищого розряду. Такий мультиплексор повинен мати $\log_2 32 = 5$ адресних входів. Адресними входами нижчих розрядів служать входи a_0, a_1, a_2, a_3 . Дозвільні входи в даному випадку використовуються для подачі вищого розряду: на мультиплексор DD1 в прямому вигляді, на мультиплексор DD2 - в інверсному.

Мультиплексор DD1 працює при $a_4 = 0$, мультиплексор DD2 - при $a_4 = 1$. Завдяки логічному елементу І-НІ сигнали на виході f будуть однаковими з вхідними.

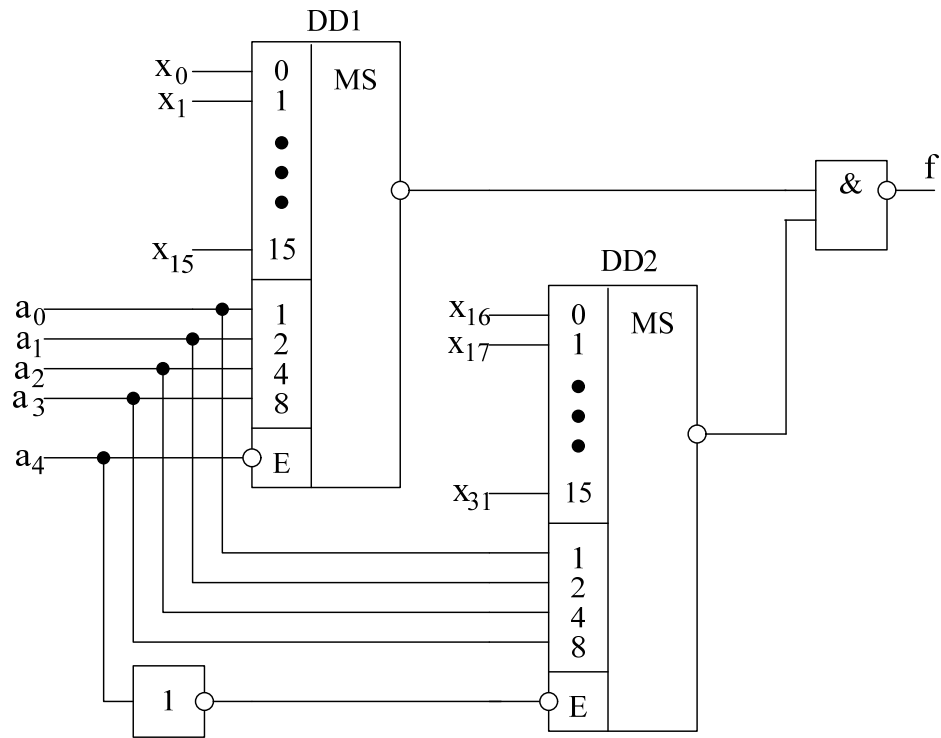


Рисунок 21 - Нарощування розрядності мультиплексора використанням дозвільних входів мультиплексорів в якості адресних входів вищого розряду

Мультиплексори крім прямого призначення можуть виконувати й інші функції, наприклад, використовуватися для перетворення паралельного двійкового коду в послідовний, працювати в якості універсального логічного елемента, що реалізує будь-яку логічну функцію. Застосування мультиплексора як універсального логічного елемента особливо виправдано, коли число змінних досить велике (4-5 і більше).

Зміст звіту

1. Титульний аркуш;
2. Мета роботи;
3. Завдання згідно варіанту;
4. Карти Карно та логічні рівняння для виходів заданого перетворювача коду в діапазоні зміни $0 \dots 9$ в десятковому еквіваленті;
5. Схема моделі заданого перетворювача коду в пакеті Proteus. Привести графіки залежності вихідного коду від вхідного;
6. Схема моделі розподільювача тактів згідно варіанту в пакеті Proteus. Графіки вхідних та вихідних сигналів;
7. Схема моделі селектора 10-розрядного двійкового коду згідно варіанту в пакеті Proteus. Перевірити його роботу в режимі $A = B$, $A < B$ і $A > B$;
8. Схема моделі комутатор цифрових сигналів з використанням мультиплексора КП1 згідно варіанту в пакеті Proteus. Графіки вхідних та вихідних сигналів (на вхід подати код нарощення адреси);
9. Висновки по кожній схемі і результатам моделювання.

Контрольні питання

1. Наведіть особливості побудови комбінаційний пристроїв.
2. Яке призначення перетворювачів кодів?
3. Запишіть основні коди, які використовуються в цифровій техніці.
4. Поясніть правила формування коду Грея.
5. Побудуйте карти Карно для перетворення трьохрозрядного коду Грея в код 421.
6. Поясніть методику побудови перетворювачів кодів.
7. Як формується семисегментний код?
8. Наведіть приклади використання шкальних індикаторів?
9. Наведіть приклади застосування дешифраторів.
10. Побудуйте внутрішню схему дешифратора коду 21 в код «1 з 4».
11. Збільшення розрядності дешифраторів.
12. Дайте визначення мультиплексора і демультимплексора. Перерахуйте застосування мультиплексорів і демультимплексорів.
13. У чому суть каскадування мультиплексорів? Поясніть як на основі МС мультиплексорів «8-1» спроектувати мультиплексор на 16, 32, і т.д. входів.
14. На основі МС мультиплексора «8-1» або дешифратора «3 в 8» спроектуйте схему, що реалізує логічну функцію:
 - парності трьохрозрядного слова (парності числа одиниць в трьохрозрядному слові);
 - непарності трьохрозрядного слова;
 - $y = x_1x_2 + x_1x_3 + x_2x_3$.
15. Поясніть як за допомогою демультимплексора можна здійснити перетворення послідовного коду в паралельний.
16. Поясніть як за допомогою мультиплексора можна здійснити перетворення паралельного коду в послідовний.
17. Дані від одного з чотирьох джерел сигналу повинні послідовно передаватися по одній лінії одному з трьох приймачів. Спроектуйте схеми і поясніть роботу пристрою керування передавальної і приймальної сторін, які забезпечують таку можливість.
18. Дайте визначення цифрового компаратора. Які функції виконує цифровий компаратор?
19. Наведіть умовно-графічне позначення цифрового компаратора. Які входи, виходи є у мікросхеми компараторів цифрових сигналів? Яке їх призначення?
20. Як збільшити розрядність цифрового компаратора? Перерахуйте можливі застосування цифрового компаратора.

ЛАБОРАТОРНА РОБОТА №3

ДОСЛІДЖЕННЯ ТРИГЕРІВ

Мета роботи: вивчення основ теорії та принципів побудови основних типів тригерів, отримання практичних навичок розробки та моделювання цифрових пристроїв з використанням мікросхем тригерів.

Програма лабораторної роботи

1. Ознайомитись зі структурою пакетів Micro-Cap і Proteus та наявними інструментами для аналізу цифрових та логічних схем;
2. Використовуючи мікросхеми логічних елементів, зібрати схему та порівняти результати моделювання з фізичним пристроєм:
 - асинхронного RS-тригера, використовуючи елементи 2I-HI ($S=R \neq 0$);
 - асинхронного RS-тригера, використовуючи елементи 2АБО-НІ ($S=R \neq 1$);
3. Побудувати в Proteus внутрішню схему заданого тригера використовуючи логічні елементи. Побудувати графіки зміни вихідного сигналу тригера на входні сигнали;

№ Вар.	Побудова внутрішньої схеми	Досліджувана МС тригера	Тип перетвореного тригера	Нижня частота пропускання фільтра, кГц
1.	асинхронний S-тригер	TB1	T	5
2.	асинхронний R-тригер	TB6	TV	10
3.	асинхронний E-тригер	TB9	D	15
4.	синхронний RS-тригер прямим з статичним входом синхронізації	TB10	DV	20
5.	синхронний RS-тригер з прямим динамічним входом синхронізації	TB11	D	25
6.	синхронний RS-тригер з інверсним динамічним входом синхронізації	TB15	DV	30
7.	D-тригер з прямим статичним входом синхронізації	TM2	T	35
8.	D-тригер з прямим динамічним входом синхронізації	TM5	TV	40
9.	D-тригер з інверсним динамічним входом синхронізації	TM7	DV	45
10.	JK тригер з прямим динамічним входом синхронізації	TM8	T	50
11.	JK тригер з інверсним динамічним входом синхронізації	TM9	TV	55

№ Вар.	Побудова внутрішньої схеми	Досліджувана МС тригера	Тип перетвореного тригера	Нижня частота пропускання фільтра, кГц
12.	JK тригер з прямим динамічним входом синхронізації	TP2	R	60
13.	DV тригер з прямим динамічним входом синхронізації	TB1	TV	65
14.	DV з прямим статичним входом синхронізації	TB6	T	70
15.	DV тригер з інверсним динамічним входом синхронізації	TB9	DV	75
16.	JK тригер з прямим динамічним входом синхронізації	TB10	D	80
17.	JK тригер з інверсним динамічним входом синхронізації	TB11	TV	85
18.	D-тригер з інверсним динамічним входом синхронізації	TB15	TV	90
19.	синхронний R-тригер з інверсним статичним входом синхронізації	TM2	TV	95
20.	синхронний E-тригер з прямим динамічним входом синхронізації	TM5	T	100
21.	синхронний S-тригер з інверсним динамічним входом синхронізації	TM7	T	110
22.	синхронний RS-тригер з інверсним статичним входом синхронізації	TM8	DV	120
23.	D-тригер з прямим статичним входом синхронізації	TM9	T	130
24.	D-тригер з прямим динамічним входом синхронізації	TP2	S	150

4. Дослідити роботу заданої мікросхеми тригера в пакеті Proteus та здійснити перетворення в інший тип тригера згідно з варіантом;

5. Розробити схему та здійснити моделювання в пакеті Proteus.

МЕТОДИЧНІ ВКАЗІВКИ ДО ЛАБОРАТОРНОЇ РОБОТИ

Загальна характеристика тригерів

Тригери - це логічні пристрої послідовного типу з двома стійкими станами рівноваги. Під дією вхідних сигналів тригер може стрибкоподібно переключатися з одного стійкого стану в інший. При цьому в тригері здійснюється запис і зберігання інформації, тому тригер найпростіший елемент пам'яті та структурний елемент послідовної логіки.

Для зручності використання тригери мають два виходи: прямий Q (від англ. Quit - вихід) і інверсний \bar{Q} . Оскільки сигнали на виходах Q і \bar{Q} мають бути протилежними (комплементарними), стан тригера визначено, якщо задано значення одного з вихідних сигналів (найчастіше на прямому виході Q). Стан, $Q=1$, $\bar{Q}=0$ називається одиничним, а $Q=0$, $\bar{Q}=1$ - нульовим. При деяких комбінаціях вхідних сигналів, так званих заборонених комбінаціях, можуть з'явитися стани $Q=\bar{Q}=1$ або $Q=\bar{Q}=0$, які є невизначеними, оскільки вихідні сигнали не є комплементарними.

Входи тригера діляться на інформаційні та допоміжні (керуючі). Сигнали, що надходять на інформаційні входи, управляють станом тригера. Сигнали на допоміжних входах використовуються для попередньої установки тригера в потрібний стан і синхронізації. Допоміжні входи можна використовувати і в якості інформаційних. Число входів тригера залежить від його структури і призначення. Інформаційні входи тригера прийнято позначати буквами:

S (від англ. Set - установка);

R (від англ. Reset - скидання);

J (від англ. Jerk - раптове включення);

K (від англ. Kill - раптове відключення);

D (від англ. Delay - затримка);

T (від англ. Toggle - перемикач),

а керуючі входи – буквами:

C (від англ. Clock - синхронізація, тактування);

V (від англ. Valve - клапан, вентиль).

Тригери можна класифікувати за способом прийому інформації, принципом побудови, функціональним можливостям.

За способом прийому інформації тригери поділяються на асинхронні і синхронні. Асинхронні тригери сприймають інформаційні сигнали і реагують на них у момент їх появи на входах тригера. Синхронні тригери реагують на інформаційні сигнали при наявності дозволяючого сигналу на спеціальному керуючому вході C , який називається входом синхронізації (тактовим входом).

Синхронні тригери поділяються на тригери із статичним і динамічним керуванням по входу C . Тригери із статичним керуванням сприймають інформаційні сигнали при подачі на вхід синхронізації сигналу логічної одиниці (якщо вхід синхронізації прямий) або сигналу логічного нуля (якщо вхід синхронізації інверсний). Тригери з динамічним керуванням сприймають

інформаційні сигнали при зміні сигналу на вході синхронізації з рівня логічного 0 до рівня логічної 1 (якщо динамічний вхід синхронізації прямий), або з рівня логічної 1 до рівня логічного 0 (якщо динамічний вхід синхронізації інверсний).

За принципом побудови тригери можна розділити на одноступінчасті і двоступінчасті. Одноступінчасті тригери характеризуються наявністю одного ступеня запам'ятовування інформації. У двоступеневих тригерах є два ступені запам'ятовування інформації: спочатку інформація записується в першу ступінь, а потім переписується в другу і з'являється на виході.

За функціональним можливостям різняться:

Тригер з роздільною установкою станів 0 та 1 (RS- тригер);

Тригер з прийомом інформації по одному входу D (D- тригер або тригер затримки);

Тригер з лічильним входом T (T- тригер);

Універсальний тригер з інформаційними входами J і K (JK- тригер).

Тригер являє собою елементарний автомат Мура, тому закон його функціонування може бути заданий:

- Словесним описом;
- Таблицею переходів;
- Характеристичним рівнянням;
- Графом автомата Мура ;
- Блок -схемою мікропрограми.

Узагальнена запис характеристичного рівняння тригера має вигляд

$$Q(t+1) = \delta(Q(t), X(t)). \quad (1)$$

Стан, $Q(t+1)$ в якому тригер переходить зі стану $Q(t)$ під дією вхідних сигналів $X(t)$, приймає значення:

$$Q(t+1) \in \{0, 1, Q(t), \overline{Q}(t), \times\}, \quad (2)$$

позначення наступні:

$Q(t+1) = 0$ - Тригер знаходиться в нульовому стані незалежно від зміни сигналів на його входах;

$Q(t+1) = 1$ - Тригер знаходиться в одиничному стані незалежно від зміни сигналів на його входах;

$Q(t+1) = Q(t)$ - Стан тригера не змінюється при зміні вхідних сигналів;

$Q(t+1) = \overline{Q}(t)$ - Стан тригера змінюється на протилежне при зміні вхідних сигналів;

$Q(t+1) = \times$ - Стан тригера є невизначеним.

Асинхронний RS-тригер

Асинхронний RS-тригер з прямими входами має два інформаційні входи S і R, які використовуються для встановлення тригера в одиничний і нульовий стан відповідно. Закон функціонування RS-тригера з прямими входами визначається таблицею переходів (таблиця 1)

Таблиця 1 – Таблиця переходів асинхронного RS-тригера з прямими входами

№	R(t)	S(t)	Q(t)	Q(t+1)	$\bar{Q}(t+1)$	Режим
0	0	0	0	0	1	Зберігання
1	0	0	1	1	0	
2	0	1	0	1	0	Установка в одиничний стан
3	0	1	1	1	0	
4	1	0	0	0	1	Установка в нульовий стан
5	1	0	1	0	1	
6	1	1	0	×	×	Невизначений стан (заборонена комбінація)
7	1	1	1	×	×	

Як впливає з таблиці переходів, при комбінації сигналів $S(t)=1$, $R(t)=0$ тригер переходить в одиничний стан ($Q(t+1)=1$) незалежно від попереднього стану $Q(t)$. При комбінації сигналів $S(t)=0$, $R(t)=1$, тригер встановлюється в нульовий стан ($Q(t+1)=0$) незалежно від попереднього стану $Q(t)$. Комбінація сигналів $S(t)=0$, $R(t)=0$, не змінює стан тригера, тобто $Q(t+1)=Q(t)$. Комбінація сигналів $S(t)=1$, $R(t)=1$, є забороненою, тому що при цій комбінації стан тригера стає невизначеним.

Використовуючи карти Карно (рисунок 1), отримаємо мінімізовані вирази характеристичних рівнянь для функцій $Q(t+1)$ і $\bar{Q}(t+1)$

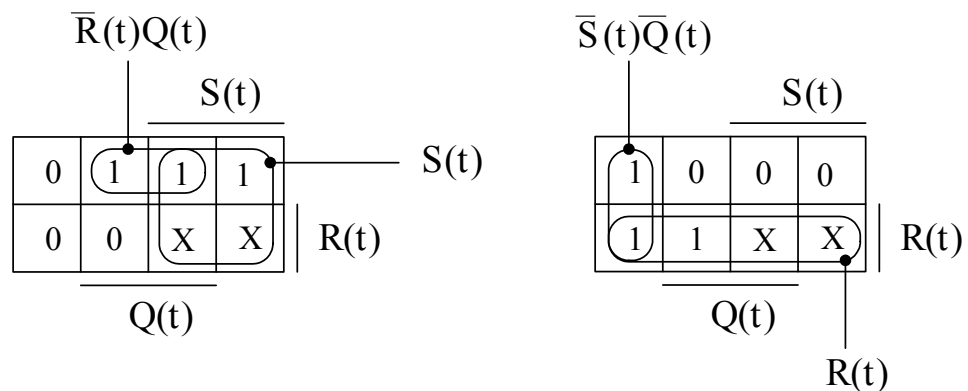


Рисунок 1 - Карти Карно асинхронного RS-тригера з прямими входами

$$Q(t+1) = S(t) + \bar{R}(t)Q(t), \quad (3)$$

$$\overline{Q}(t+1) = R(t) + \overline{S}(t)\overline{Q}(t). \quad (4)$$

Перетворимо вирази (3, 4) в базисі АБО-НІ:

$$\overline{Q}(t+1) = \overline{S(t) + \overline{R}(t)Q(t)} = \overline{S(t) + R(t) + \overline{Q}(t)}, \quad (5)$$

$$Q(t+1) = \overline{R(t) + \overline{S}(t)\overline{Q}(t)} = \overline{R(t) + \overline{S(t) + Q(t)}}. \quad (6)$$

З виразів (5, 6) випливає, що RS-тригер з прямими входами може бути реалізований на двох логічних елементах 2АБО-НІ, з'єднаних перехресно:

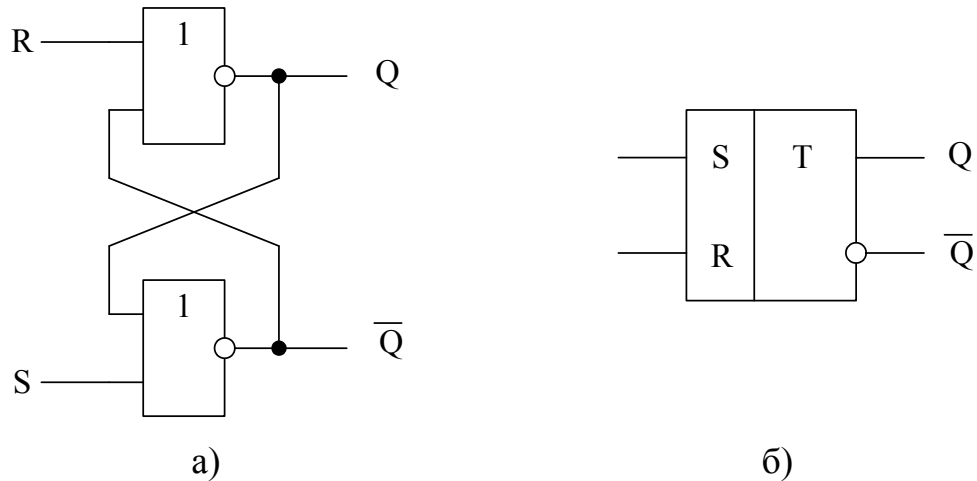


Рисунок 2 - Логічна структура (а) і умовне графічне позначення (б) асинхронного RS-тригера з прямими входами

Для асинхронного RS-тригера з інверсними входами активним рівнем вхідних сигналів є рівень логічного нуля, а пасивним - рівень логічної одиниці.

Характеристичні рівняння RS-тригера з інверсними входами можна отримати з рівнянь (5, 6) шляхом заміни прямих значень змінних $S(t)$ і $R(t)$ на інверсні $\overline{S}(t)$ і $\overline{R}(t)$:

$$Q(t+1) = \overline{S}(t) + R(t)Q(t), \quad (7)$$

$$\overline{Q}(t+1) = \overline{R}(t) + S(t)\overline{Q}(t). \quad (8)$$

Перетворимо вирази (7, 8) в базисі І-НІ:

$$Q(t+1) = \overline{\overline{\overline{S}(t) + R(t)Q(t)}} = \overline{S(t)\overline{R(t)Q(t)}}, \quad (9)$$

$$\overline{Q}(t+1) = \overline{\overline{\overline{R}(t) + S(t)\overline{Q}(t)}} = \overline{R(t)\overline{S(t)\overline{Q}(t)}}. \quad (10)$$

З виразів (9, 10) випливає, що RS-тригер з інверсними входами може бути реалізований на двох логічних елементах 2І-НІ, з'єднаних перехресно:

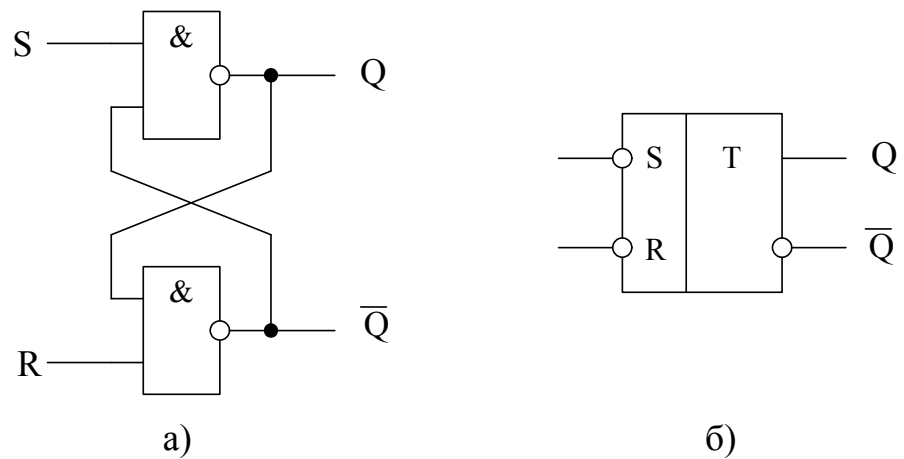


Рисунок 3 - Логічна структура (а) і умовне графічне позначення (б) асинхронного RS-тригера з інверсними входами

Синхронний RS-тригер

Синхронний RS - тригер зі статичним керуванням відрізняється від асинхронного наявністю входу синхронізації (C - входу), на який надходять синхронізуючі (тактові) сигнали. Зміна стану синхронного RS -тригера може відбуватися тільки за наявності сигналу логічної одиниці на вході синхронізації (якщо вхід синхронізації прямий). Якщо ж на вході синхронізації присутній сигнал логічного нуля, тригер знаходиться в режимі зберігання. Таким чином, таблиця переходів синхронного RS-тригера з прямими інформаційними входами і прямим входом синхронізації має вигляд:

Таблиця 2 - Таблиця переходів синхронного RS -тригера з прямими інформаційними входами і прямим входом синхронізації

№	C	R(t)	S(t)	Q(t)	Q(t+1)	$\bar{Q}(t+1)$	Режим
0	0	0	0	0	0	1	Зберігання
1	0	0	0	1	1	0	
2	0	0	1	0	0	1	
3	0	0	1	1	1	0	
4	0	1	0	0	0	1	
5	0	1	0	1	1	0	
6	0	1	1	0	0	1	
7	0	1	1	1	1	0	
8	1	0	0	0	0	1	
9	1	0	0	1	1	0	
10	1	0	1	0	1	0	Установка в одиничний стан
11	1	0	1	1	1	0	
12	1	1	0	0	0	1	Установка в нульовий стан
13	1	1	0	1	0	1	
14	1	1	1	0	×	×	Невизначений стан (заборонена комбінація)
15	1	1	1	1	×	×	

При комбінації сигналів $S(t)=1$, $R(t)=0$, $C=1$ тригер переходить в одиничний стан ($Q(t+1)=1$) незалежно від попереднього стану $Q(t)$. При комбінації сигналів $S(t)=0$, $R(t)=1$, $C=1$ тригер встановлюється в нульовий стан ($Q(t+1)=0$) незалежно від попереднього стану $Q(t)$. Комбінація сигналів $S(t)=1$, $R(t)=1$, $C=1$ є забороненою. При $C=0$ тригер не змінює стану незалежно від значень сигналів на інформаційних входах, тобто $Q(t+1)=Q(t)$.

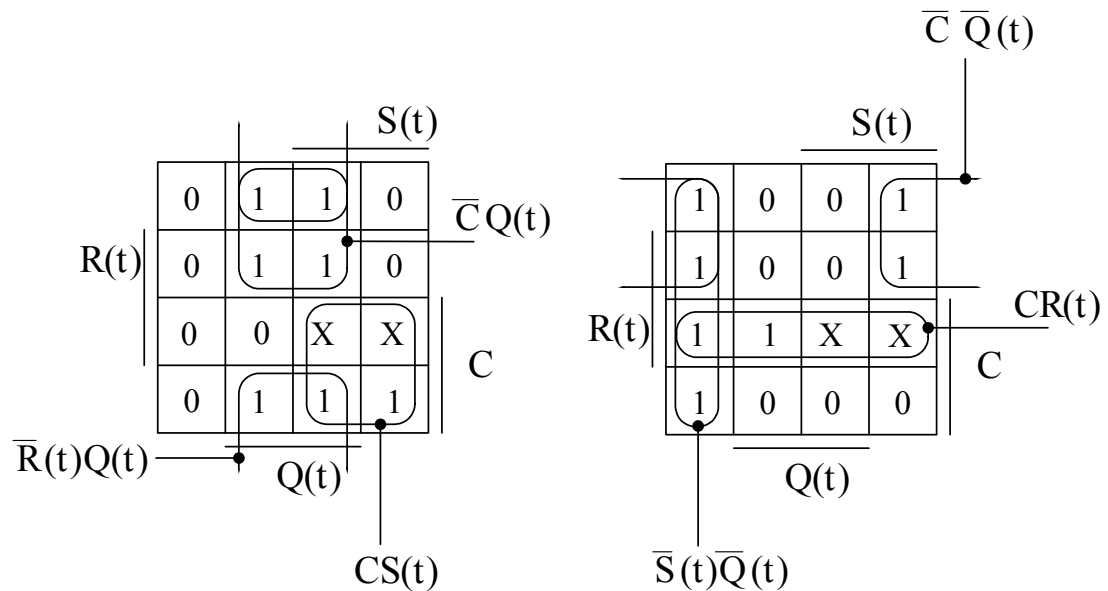


Рисунок 4 - Карти Карно синхронного RS-тригера з прямими інформаційними входами і статичним керуванням

Використовуючи карти Карно (рисунок 4), отримаємо мінімізовані вирази характеристичних рівнянь для функцій $Q(t+1)$ и $\bar{Q}(t+1)$

$$Q(t+1) = CS(t) + \bar{R}(t)Q(t) + \bar{C}Q(t) = CS(t) + (\bar{R}(t) + \bar{C})Q(t), \quad (11)$$

$$\bar{Q}(t+1) = CR(t) + \bar{S}(t)\bar{Q}(t) + \bar{C}\bar{Q}(t) = CR(t) + (\bar{S}(t) + \bar{C})\bar{Q}(t). \quad (12)$$

Перетворимо рівняння (11, 12) в базис І-НІ:

$$Q(t+1) = \overline{\overline{CS(t)} \cdot \overline{\overline{R(t)}C} \cdot \overline{Q(t)}}, \quad (13)$$

$$\bar{Q}(t+1) = \overline{\overline{CR(t)} \cdot \overline{\overline{S(t)}C} \cdot \overline{\bar{Q}(t)}}. \quad (14)$$

З виразів (13, 14) випливає, що синхронний RS-тригер з прямими входами може бути реалізований на чотирьох логічних елементах 2І-НІ:

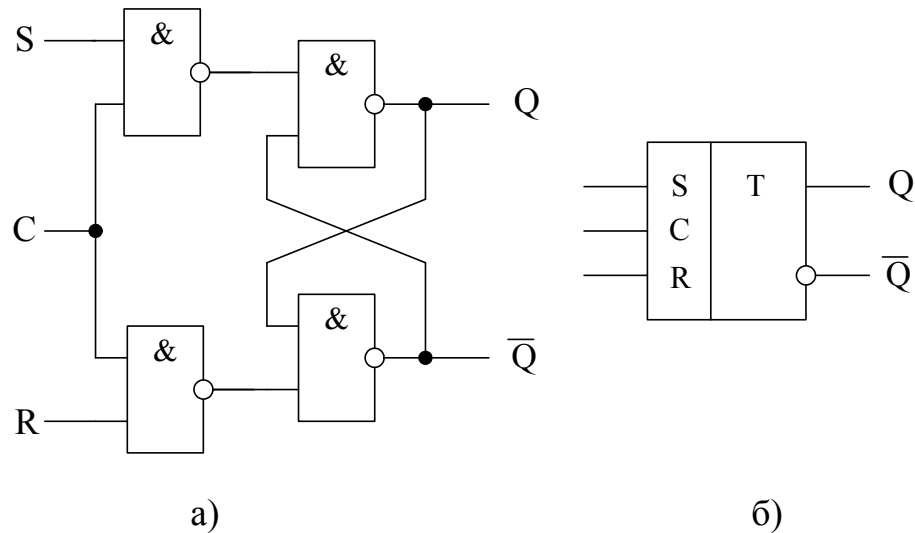


Рисунок 5 - Логічна структура (а) і умовне графічне позначення (б) синхронного RS-тригера з прямими інформаційними входами і статичним керуванням

Синхронний D-тригер із статичним керуванням

Синхронний D-тригер, або тригер затримки, має один інформаційний вхід (D-вхід) і вхід синхронізації (C - вхід). Основне призначення D-тригера - затримка сигналу, поданого на вхід D. Під дією сигналу синхронізації ($C = 1$) інформація, що надходить на вхід D, з'являється на виході Q. Якщо на вході синхронізації присутній сигнал логічного нуля ($C = 0$), то тригер знаходиться в режимі зберігання. Закон функціонування D-тригера визначається таблицею переходів:

Таблиця 3 - Таблиця переходів синхронного D – тригера

№	C	D(t)	Q(t)	Q(t+1)	$\bar{Q}(t+1)$	Режим
0	0	0	0	0	1	Зберігання
1	0	0	1	1	0	
2	0	1	0	0	1	
3	0	1	1	1	0	
4	1	0	0	0	1	Запис інформації D
5	1	0	1	0	1	
6	1	1	0	1	0	
7	1	1	1	1	0	

З таблиці переходів впливає характеристичне рівняння D-тригера

$$Q(t+1) = \bar{C}\bar{D}(t)Q(t) + \bar{C}D(t)Q(t) + CD(t)\bar{Q}(t) + CD(t)Q(t) = \bar{C}Q(t) + CD(t). \quad (15)$$

Можна вважати, що D тригер відповідає RS-триггеру, що працює тільки в режимах установки в одиничний ($S = 1, R = 0$, коли $D = 1$) або в нульовий стан

($S = 0, R = 1$, коли $D = 0$). Це дозволяє реалізувати D-тригер на базі синхронного RS-тригера (рисунок 6, а). Умовне графічне позначення синхронного D-тригера представлено на рисунок 6, б).

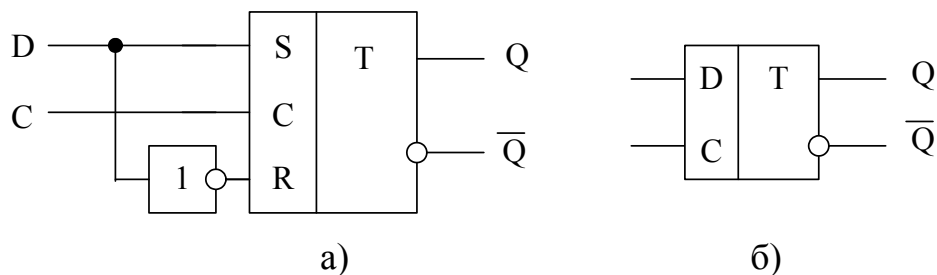


Рисунок 6 - Синхронний D-тригер: а – функціональна схема; б – умовне графічне позначення

Для реалізації синхронного D-тригера часто використовується логічна схема представлена на рисунку 7.

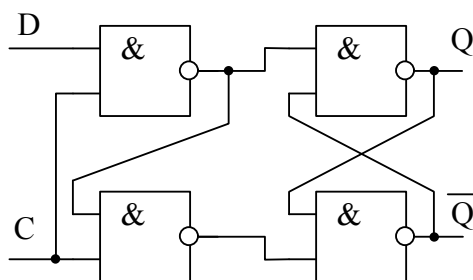


Рисунок 7 – Логічна схема синхронного D-тригера

Синхронні RS- і D- тригери з динамічним керуванням

Синхронні RS- і D- тригери з динамічним керуванням є двоступінчатими структурами, кожна із ступенів яких представляє собою синхронний тригер зі статичним керуванням.

На рисунку 8,а представлений приклад реалізації синхронного RS - тригера з керуванням по фронту сигналу синхронізації. При $C = 0$ тригер першого ступеня встановлюється в стан, який визначається таблицею переходів (таблиця 2), а тригер другого ступеня працює в режимі зберігання. Коли $C = 1$, тригер першого ступеня переходить в режим зберігання, а сигнали з його виходів забезпечують установку тригера другого ступеня в той же стан, що й у першій ступені. Таким чином, сигнали на виході синхронного RS- тригера з динамічним управлінням формуються при переході сигналу синхронізації зі значення логічного нуля до значення логічної одиниці.

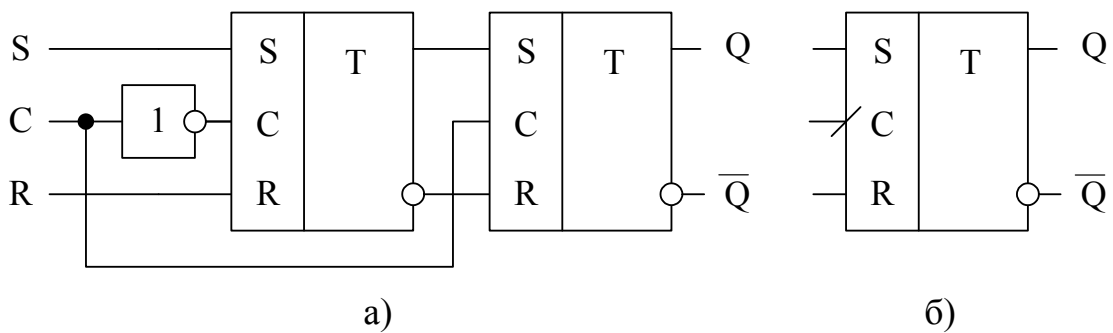


Рисунок 8 - Синхронний RS-тригер з керуванням по фронту сигналу синхронізації: а - функціональна схема, б - умовне графічне позначення

На рисунку 9, а наведено приклад реалізації синхронного D -тригера з керуванням по зрізу сигналу синхронізації. При $C=1$ відбувається запис інформації в D- тригер першого ступеня, а RS- тригер другого ступеня працює в режимі зберігання. Коли $C=0$, D- тригер переходить в режим зберігання, а сигнали з його виходів забезпечують установку вихідного RS- тригера в такий же стан, в якому знаходиться D- тригер. Таким чином, вхідна інформація формується на виході синхронного D- тригера з динамічним керуванням при переході сигналу синхронізації зі значення логічної одиниці до значення логічного нуля.

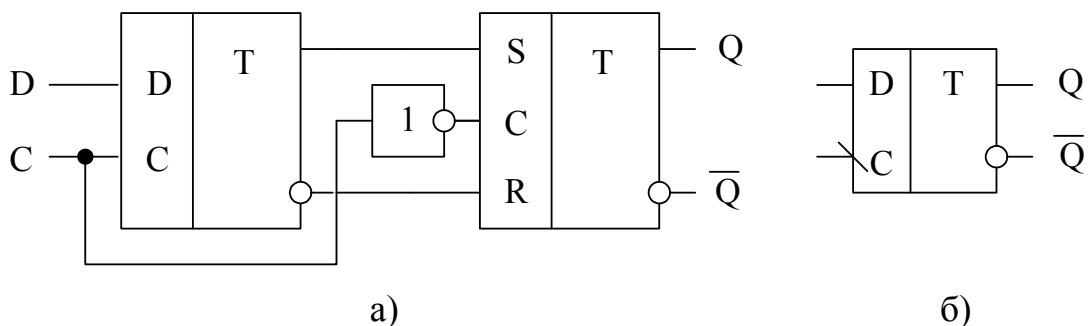






Рисунок 9 - Синхронний D-тригер з керуванням по зрізу сигналу синхронізації: а - функціональна схема, б - умовне графічне позначення

Слід зазначити, що на рисунку 9 RS-тригер другого ступеня може бути замінений синхронним D-тригером зі статичним керуванням.

JK-тригер

Універсальний JK-тригер володіє найбільш широкими функціональними можливостями. Тригер має два інформаційних входи J і K, що використовуються для управління режимом роботи, а також динамічний вхід синхронізації C. Закон функціонування JK-тригера з керуванням по фронту сигналу синхронізації визначається таблицею переходів (таблиця 4).

Таблиця 4 - Таблиця переходів JK-тригера з керуванням по фронту сигналу синхронізації

С	J	K	Q(t+1)	Режим
0	×	×	Q(t)	Зберігання
1	×	×	Q(t)	
	0	0	Q(t)	
	0	1	0	Установка в нульовий стан
	1	0	1	Установка в одиничний стан
	1	1	$\overline{Q}(t)$	Перемикання в протилежний стан

JK-тригер може бути реалізований на основі синхронного RS-тригера з динамічним управлінням. При цьому сигнали на інформаційних входах RS-тригера повинні визначатися таблицею істинності

Таблиця 5 - Таблиця переходів JK-тригера реалізованого на RS-тригері

J	K	Q(t)	Q(t+1)	S	R	Режим RS-тригера
0	0	0	0	0	0	Зберігання
0	0	1	1	0	0	
0	1	0	0	0	0	
0	1	1	0	0	1	Установка в нульовий стан
1	0	0	1	1	0	Установка в одиничний стан
1	0	1	1	0	0	Зберігання
1	1	0	1	1	0	Установка в одиничний стан
1	1	1	0	0	1	Установка в нульовий стан

У відповідності з таблицею переходів:

$$S = \overline{J}K \overline{Q}(t) + JK\overline{Q}(t) = J\overline{Q}(t); \quad (16)$$

$$R = \overline{J}KQ(t) + JKQ(t) = KQ(t). \quad (17)$$

Виразам (16, 17) відповідає структура, представлена на рисунку 10.

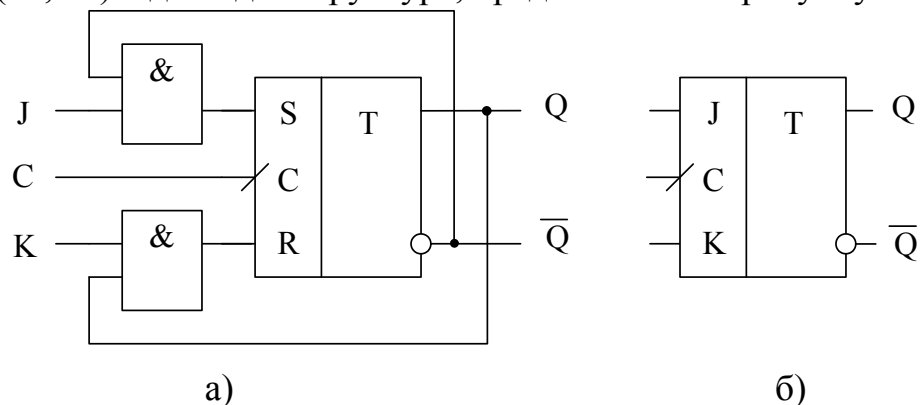


Рисунок 10 - Універсальний JK-тригер з керуванням по фронту сигналу синхронізації: а - функціональна схема, б - умовне графічне позначення

Лічильний тригер (Т-тригер)

Лічильний тригер (Т-тригер) (рисунк 11, а) містить тільки один вхід, який називається лічильним (тактовим) входом (Т-входом), на який подаються імпульси синхронізації (тактові імпульси). Закон функціонування лічильного тригера полягає у зміні стану тригера на протилежний по фронту або по зрізу кожного тактового імпульсу. Лічильний тригер може бути побудований на базі синхронних RS-тригера і D-тригера з динамічним керуванням (рисунк 11, б і в відповідно).

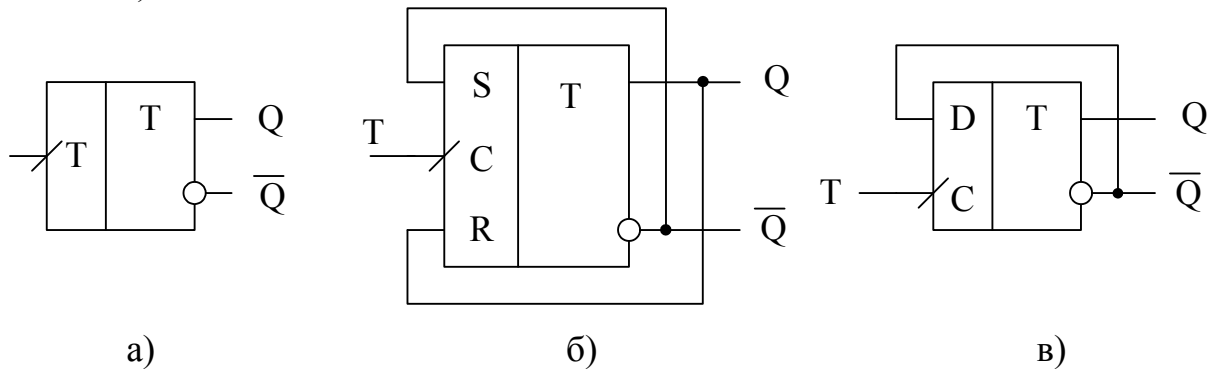


Рисунок 11 - Лічильний тригер з керуванням по фронту сигналу синхронізації: а - умовне графічне позначення; б - реалізація на основі синхронного RS-тригера з динамічним керуванням; в - реалізація на основі D-тригера з динамічним керуванням

Характерною особливістю є те що вихідний сигнал Т тригера має вдвічі меншу частоту ніж тактовий сигнал, тому такі тригери використовуються для побудови лічильників.

Різновидом лічильного тригера є TV-тригер (рисунк 12, а), який крім лічильного входу Т додатково містить керуючий V-вхід. При $V=1$ такий тригер працює як лічильний, а при $V=0$ зберігає свій стан незмінним (режим зберігання). TV-тригер можна реалізувати на основі універсального JK-тригера, об'єднавши інформаційні входи J і K, на які подається сигнал керування V, і використовуючи вхід синхронізації як лічильний вхід (рисунк 12, б) Такі тригери інколи називають синхронні Т-тригери.

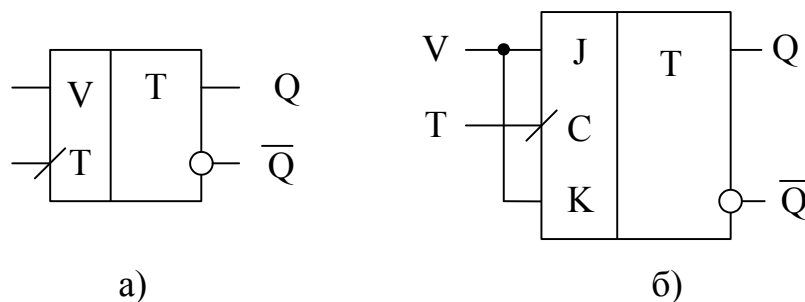


Рисунок 12. Лічильний TV-тригер з керуванням по фронту сигналу синхронізації: а - умовне графічне позначення; б - реалізація на основі універсального JK-тригера

Особливості мікросхем тригерів

Для розширення функціональних можливостей інтегральні мікросхеми тригерів можуть містити допоміжні входи, призначені для попередньої установки тригерів в одиничний або нульовий стан. Такі входи є асинхронними і мають пріоритет по відношенню до інформаційних і тактових входів. Наприклад, на рисунку 13 представлені умовно - графічні позначення мікросхем K555TM2 (два D -тригера з керуванням по фронту імпульсів синхронізації) і K555TB9 (два універсальних JK -тригера з керуванням по зрізу імпульсів синхронізації), які містять інверсні входи попередньої установки тригерів в одиничний і нульовий стан.

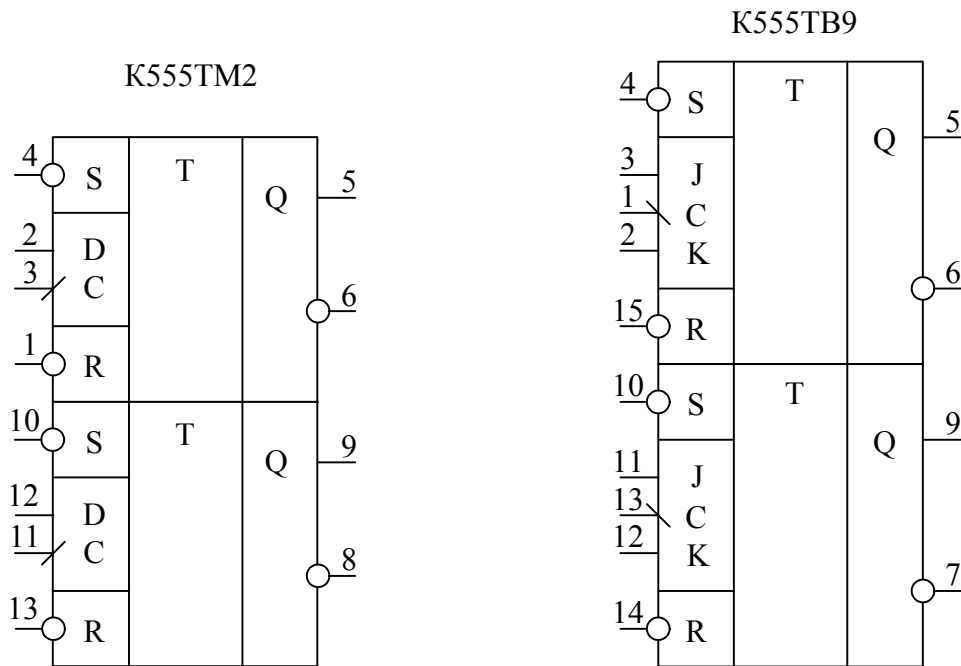


Рисунок 13 - Умовні графічні позначення мікросхем тригерів

Цифровий фільтр нижніх частот

Тригери можна використовувати для обробки періодичних послідовностей входних сигналів. При цьому тригер, тактований кварцовим генератором, може дуже точно розрізняти частоти проходження входних імпульсів, тобто виконувати функцію найпростішого цифрового фільтра. Такі схеми вигідно відрізняються від схем з одновібратором і часозадаючими RC - ланцюжками можливістю повністю інтегрального виконання і відсутністю будь-якого налаштування.

Найпростіший приклад подібної обробки полягає у формуванні огинаючої входного сигналу. Тобто при надходженні входного сигналу заданої частоти вихідний сигнал повинен бути рівний одиниці, а при відсутності входного сигналу - нулю. Це завдання, може бути вирішене за допомогою одновібратора з перезапуском (типу АГЗ). Однак застосування тригерів значно збільшує точність спрацювання і дозволяє працювати з частотами, близькими

до граничних для даного типу тригерів. Схема формувача огибаючої складається з двох тригерів, тактованих зовнішнім синхросигналом (рисунок 14). У даному випадку передбачається, що частоти вхідного сигналу і тактового сигналу рівні між собою.

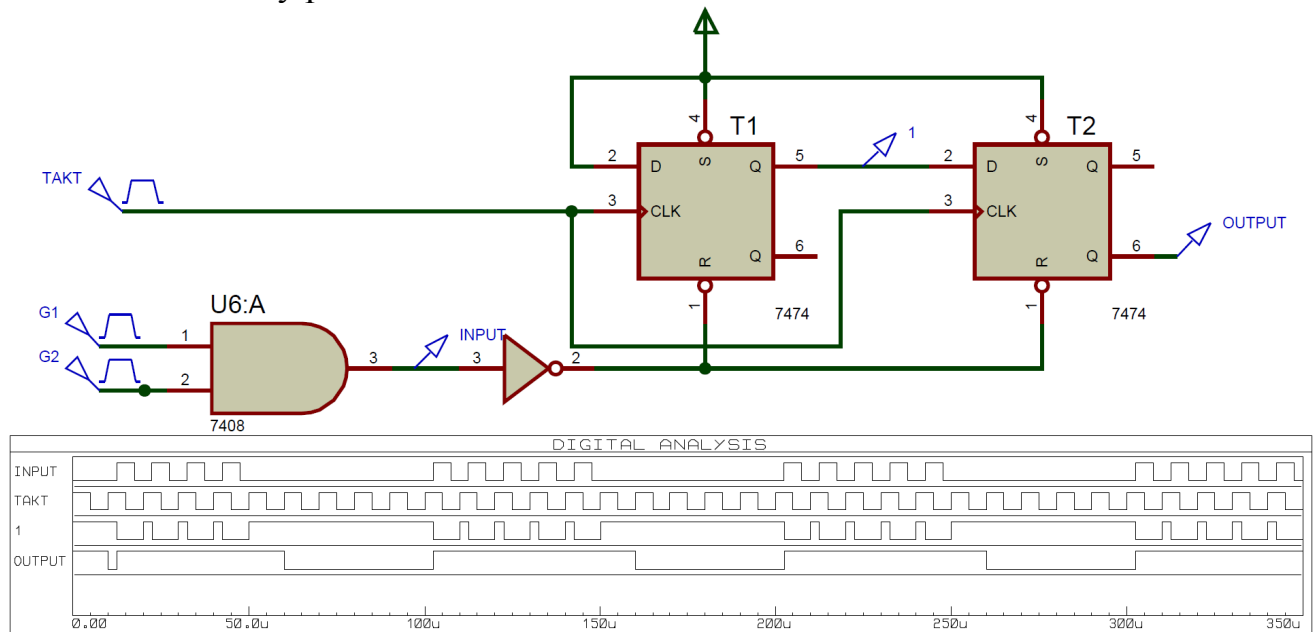


Рисунок 14 - Формувач сигналу огибаючої вхідного сигналу на тригерах

Тригери включені як двохтактна лінія затримки із загальним тактовим сигналом С і з вхідним сигналом скиду. Перший вхідний імпульс послідовності ініціює початок дії вихідного сигналу, тобто перемикання виходу в стан логічної 1, а закінчується дія вихідного сигналу, тобто повернення виходу в стан логічного 0, через 1-2 періоду тактового сигналу після закінчення вхідної послідовності (залежно від часового зсуву вхідного сигналу щодо тактового сигналу). Схема працює з вхідним сигналом будь-якої частоти, більшої половини частоти тактового сигналу (наприклад, при тактовій частоті 10 МГц вхідний сигнал повинен мати частоту, більшу 5 МГц). Тобто за половину періоду вхідної частоти не повинно приходити більше одного позитивного фронту тактового сигналу.

Цей же формувач огибаючої можна використовувати в більш складних схемах. Прикладом може служити фільтр, який дозволяє розділити дві частоти вхідного сигналу, пропустити більш високочастотний сигнал і відсікти більш низькочастотний (рисунок 15).

В наведеній моделі формувача огибаючої в середовищі Proteus (рисунок 14) тактова частота становить 100 кГц, Вхідний сигнал формується на виході елемента 2І двома генераторами з частотами 10 кГц та 100 кГц, тобто вхідний сигнал представляє собою пачки по 5 імпульсів. Також тактовий і вхідний сигнал зсунуті на четверть періоду тобто на 12,5мкс.

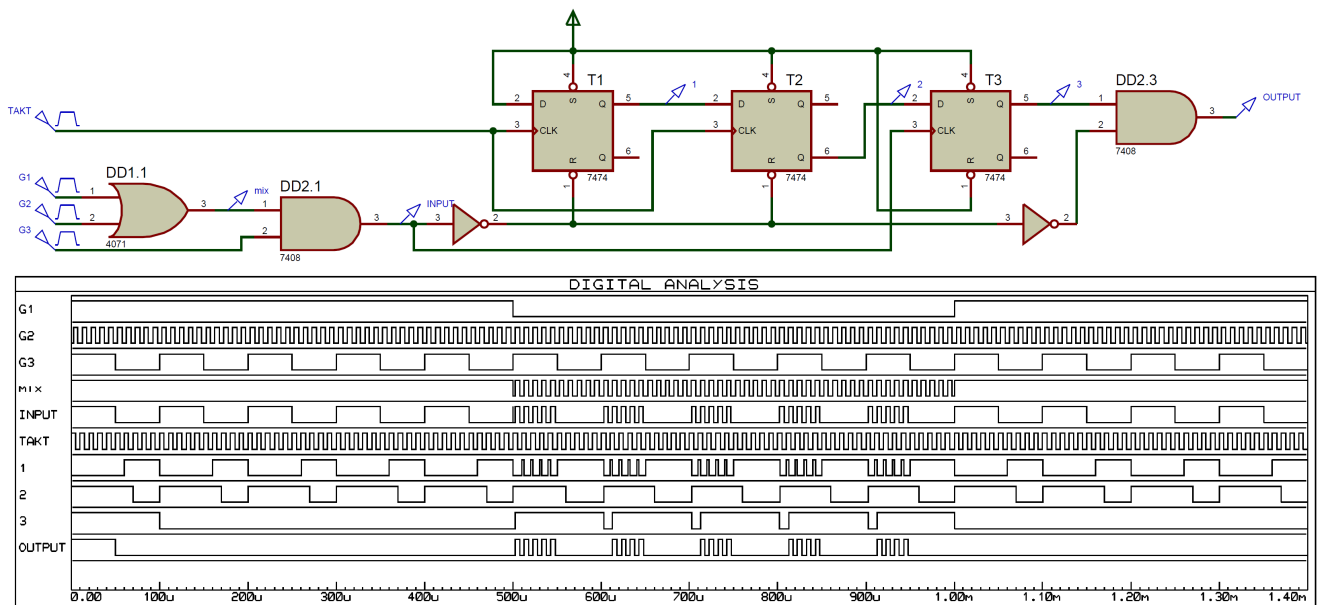


Рисунок 15 – Цифровий фільтр низьких частот на тригерах

Фільтр складається з трьох тригерів і елемента 2І, що працює в режимі пропускання позитивних входніх імпульсів. Два тригера (ліві на схемі) утворюють формувач огинаючої. Третій (правий на схемі) тригер видає сигнал пропускання у випадку, коли сигнал огинаючої неперервний, тобто коли частота входнього сигналу становить більше половини тактової частоти. Якщо в момент приходу позитивного фронту входнього сигналу сигнал огинаючої на виході другого тригера нульовий, то пропускаючий сигнал на виході третього тригера також нульовий, і імпульси не проходять на вихід. При цьому перший входній імпульс сигналу, на вихід не проходить. Ланцюжок з двох інверторів компенсує затримку спрацьовування третього тригера, вона затримує входній сигнал перед подачею його на вхід вихідного пропускаючого елемента 2І.

Таким чином, фільтр надійно пропускає входні сигнали з частотою, більше половини тактової частоти, і надійно затримує сигнали з частотою, меншою чверті тактової частоти. Наприклад, при тактовій частоті 10 МГц фільтр пропускати сигналы з частотою вище 5 МГц, і затримувати сигнали з частотою нижче 2,5 МГц. З частотами входнього сигналу від 2,5 до 5 МГц робота фільтра не буде стабільною, вона залежатиме від часового зсуву між входнім сигналом і тактовим сигналом.

В наведеній моделі цифрового фільтра низьких частот в середовищі Proteus (рисунок 15) тактова частота становить 100 кГц, тому мінімальна нижня частота становить 50 кГц. Входній сигнал формується мікшером частот на елементах DD1.1 та DD2.1. Параметри генераторів G1 – 1 кГц, G1 – 100 кГц та зсув на 2,5 мкс, G3 – 10 кГц.

Під час моделювання схем тригерів в середовищі Proteus слід звернути увагу на параметри налаштувань опцій моделювання та генераторів (рисунок 16, 17).

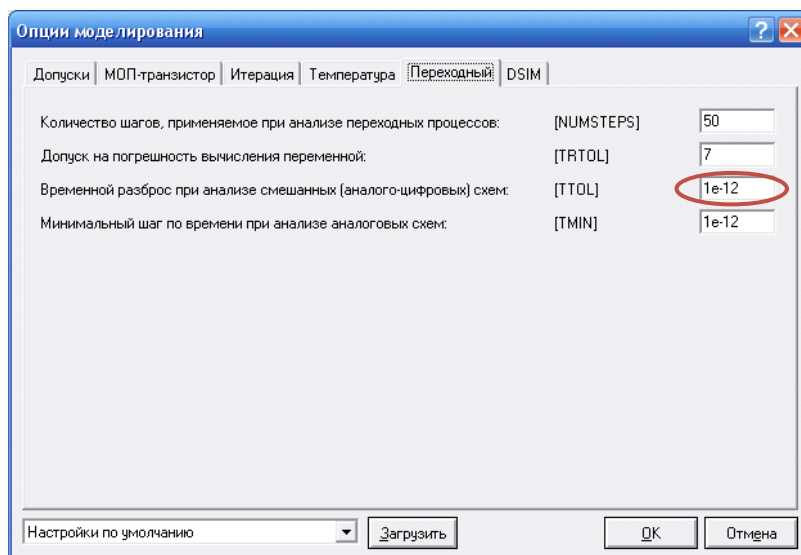


Рисунок 16 – Налаштування параметрів моделювання

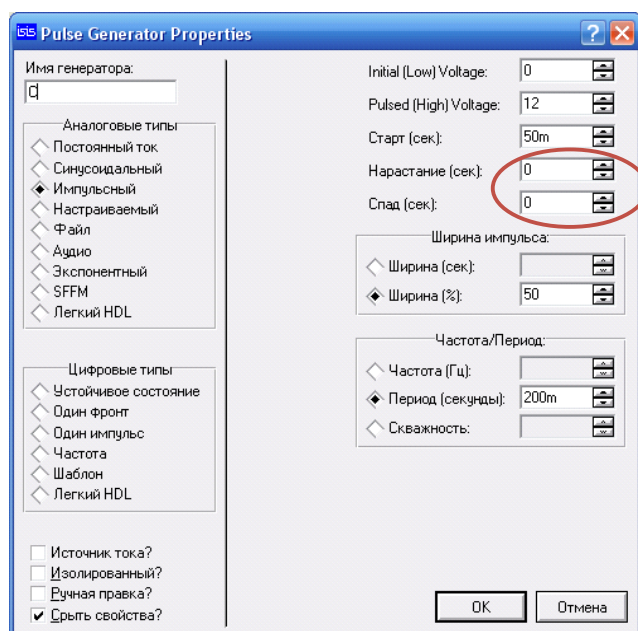


Рисунок 17 – Приклад налаштування параметрів генератора

Зміст звіту

1. Титульний аркуш;
2. Мета роботи;
3. Завдання згідно варіанту;
4. Схема моделі асинхронного RS-тригера, виконаного на елементах 2I-NI ($S=R \neq 0$) в пакеті Proteus або Micro-Cap та результати моделювання у вигляді часових діаграм вихідних сигналів для всіх можливих комбінацій вхідних сигналів.
5. Схема моделі асинхронного RS-тригера, виконаного на елементах 2АБО-NI ($S=R \neq 1$) в пакеті Proteus або Micro-Cap та результати

- моделювання у вигляді часових діаграм вихідних сигналів для всіх можливих комбінацій вхідних сигналів.
6. Схема внутрішньої побудови заданого типу тригера, виконаного на логічних мікросхемах в пакеті Proteus та результати моделювання у вигляді часових діаграм вихідних сигналів для всіх можливих комбінацій вхідних сигналів.
 7. Коротка технічна характеристика заданої мікросхеми тригера або її аналога (функціональне призначення, розташування та нумерація виводів, таблиця переходів, внутрішня схема, основні електричні параметри), Схема дослідження заданої мікросхеми тригера в пакеті Proteus та результати моделювання у вигляді часових діаграм вихідних сигналів для всіх можливих комбінацій вхідних сигналів;
 8. Схема перетворення заданого тригера в інтегральному виконанні в інший тип тригера згідно з варіантом в пакеті Proteus та результати моделювання у вигляді часових діаграм вихідних сигналів для всіх можливих комбінацій вхідних сигналів;
 9. Схема моделі цифрового фільтра нижніх частот з використанням D-тригерів з нижньою частотою пропускання згідно варіанту в пакеті Proteus. Графіки вхідних та вихідних сигналів;
 10. Висновки по кожній схемі і результатам моделювання.

Контрольні питання

1. Що називається тригером?
2. За якими основними ознаками класифікують тригери. Типи тригерів.
3. Яке функціональне призначення входів тригерів ?
4. Що таке таблиця переходів тригера?
5. Як працює асинхронний RS- тригер?
6. Як працює синхронний RS- тригер?
7. Як складається характеристичне рівняння RS -тригера?
8. Намалуйте часові діаграми роботи синхронного і асинхронного RS- тригерів. Поясніть різницю.
9. Яка комбінація на входах RS -тригера називається забороненою і чому?
10. У чому відмінність JK -тригера від RS -тригера ?
11. Що таке JK- тригер? Яка таблиця переходів JK -тригера?
12. Принцип роботи синхронного D -тригера .
13. Чому виникає необхідність у побудові двоступеневих тригерних пристроїв?
14. Особливості побудови тригерів з динамічним входом синхронізації.
15. Що таке JK- тригер з внутрішньою затримкою? Які особливості його побудови та функціонування?
16. Що таке DV- тригер?
17. Що таке T- тригер ? Яка його таблиця переходів ?
18. Поясніть роботу схеми синхронного JK -тригера із статичним входом синхронізації.
19. Який принцип дії синхронних двоступеневих RS- , D- , DV- , JK- тригерів?

- 20.Що таке TV- тригер?
- 21.Чим визначається швидкодія тригера ?
- 22.Накреслити схему RS -тригера на логічних елементах "АБО -НІ " і пояснити принцип його роботи.
- 23.Чому JK- тригер називається універсальним ?
- 24.Пояснити за таблицею переходів роботу D -тригера .
- 25.Який характерною особливістю володіє періодична послідовність імпульсів на виході T- тригера ?

ЛАБОРАТОРНА РОБОТА №4

ДОСЛІДЖЕННЯ ЦИФРОВИХ ЛІЧИЛЬНИКІВ

Мета роботи: Вивчення різновидів, принципів побудови та функціонування електронних лічильників. Отримання практичних навичок розробки та комп'ютерного моделювання електронних пристроїв з використанням лічильників роботи електронних лічильників.

Програма лабораторної роботи

1. Ознайомитись зі структурою пакетів Micro-Cap і Proteus та наявними інструментами для аналізу цифрових мікросхем лічильників.
2. Побудувати внутрішню схему заданого типу лічильника:

№ варіанту	Тип лічильника	Напрямок лічби	Розрядність лічильника	Тип тригера
1.	Асинхронний	реверсивний	4	D
2.	Синхронний паралельний	зворотній	3	JK
3.	Джонсона		10 станів	D
4.	Синхронний послідовний	реверсивний	4	JK
5.	Асинхронний	прямий	5	D
6.	Джонсона		8 станів	JK
7.	Синхронний паралельний	реверсивний	3	D
8.	Асинхронний	зворотній	5	JK
9.	Джонсона		6 станів	D
10.	Синхронний послідовний	реверсивний	4	JK
11.	Асинхронний	зворотній	3	D
12.	Асинхронний	прямий	3	JK
13.	Синхронний паралельний	реверсивний	3	D
14.	Асинхронний	зворотній	5	JK
15.	Асинхронний	прямий	5	D
16.	Синхронний послідовний	реверсивний	3	JK
17.	Синхронний паралельний	зворотній	3	D
18.	Асинхронний	прямий	4	JK
19.	Джонсона		4 стани	D
20.	Синхронний послідовний	зворотній	3	JK
21.	Синхронний паралельний	прямий	4	JK
22.	Асинхронний	прямий	3	D
23.	Джонсона		10 станів	JK

3. Розробити схему дільника частоти (згідно з варіантом):

№ варіанту	Коеф.ділення	Тип МС лічильника	Форма сигналу
1.	3	ИЕ5	$t_{\text{ипч}} = T_c$
2.	6	ИЕ19	меандр
3.	4	ИЕ2	$t_{\text{ипч}} = T_c$
4.	10	ИЕ5	меандр
5.	5	ИЕ6	$t_{\text{ипч}} = T_c$
6.	12	ИЕ7	меандр
7.	7	ИЕ9	$t_{\text{ипч}} = T_c$
8.	14	ИЕ19	меандр
9.	11	ИЕ9	$t_{\text{ипч}} = T_c$
10.	18	ИЕ19	меандр
11.	9	ИЕ7	$t_{\text{ипч}} = T_c$
12.	20	ИЕ2	меандр
13.	16	ИЕ8	$t_{\text{ипч}} = T_c$
14.	22	ИЕ5	меандр
15.	14	ИЕ9	$t_{\text{ипч}} = T_c$
16.	24	ИЕ5	меандр
17.	15	ИЕ6	$t_{\text{ипч}} = T_c$
18.	26	ИЕ7	меандр
19.	20	ИЕ6	$t_{\text{ипч}} = T_c$
20.	28	ИЕ5	меандр
21.	24	ИЕ7	$t_{\text{ипч}} = T_c$
22.	100	ИЕ2	меандр
23.	128	ИЕ19	$t_{\text{ипч}} = T_c$

$t_{\text{ипч}}$ - тривалість імпульсу на виході подільника частоти;

T_c – період вхідного сигналу.

МЕТОДИЧНІ ВКАЗІВКИ ДО ЛАБОРАТОРНОЇ РОБОТИ

Загальна характеристика лічильників

Лічильник (Counter) являє собою логічний цифровий пристрій послідовних типу, стан якого циклічно повторюється під дією вхідних імпульсів. Новий стан лічильника, як і будь-якого послідовного пристрою з пам'яттю, залежить не тільки від значення вхідних сигналів, але і від послідовності сигналів, які надходили на входи лічильника в минулому.

Основне призначення лічильника – підрахунок кількості імпульсів, які надійшли на лічильний вхід і фіксація їх числа в тому чи іншому коді. Після підрахунку заданого числа імпульсів лічильник в режимі безперервної лічби самостійно повертається в початковий нульовий стан і цикл його роботи повторюється.

Послідовні цифрові пристрої, виконані за схемою лічильника, що мають один лічильний вхід і один вихід, називаються *дільниками частоти*. Будь лічильник можна використовувати як дільник частоти.

На принципових схемах лічильники та лічильники-подільники позначаються символами СТ (двійкові - СТ2, десяткові - СТ10). У стандартних серіях цифрових інтегральних мікросхем (ІМС), лічильники позначаються буквами ІЕ.

Лічильник містить n послідовно включених лічильних тригерів, кожен з яких формує на виході той чи інший розряд вихідного коду. Перший тригер лічильника є молодшим розрядом, а праворуч від нього знаходяться старші розряди. Лічильники відрізняються один від одного числом розрядів n , модулем лічби M і типом лічильної послідовності, яка може бути двійковою, двійково - десятковою, в коді Грея або в іншому коді.

Виходи розрядних тригерів в лічильниках зазвичай позначаються на схемах індексами 0, 1, 2, 3, ... n , як номери розрядів двійкового коду, тоді Q_0 буде виходом тригера молодшого нульового розряду. Допускається позначення виходів 1, 2, 4, 8, ... згідно ваговим коефіцієнтам двійкового коду.

Найпростішим лічильником є Т- тригер, який на практиці реалізується на JK- або D- тригері. Т- тригер підраховує вхідні імпульси по модулю два і, будучи однорозрядним лічильником-дільником, здійснює ділення частоти вхідних імпульсів на два.

Модуль лічби M визначається загальним числом станів (перемикань) лічильника за один повний цикл лічильника. Для n - розрядного двійкового лічильника, що має 2^n станів, модуль лічби M і максимальне число підрахованих імпульсів N_{\max} , що надійшли на вхід лічильника, визначаються співвідношеннями:

$$M = 2^n; N_{\max} = 2^n - 1. \quad (1)$$

Загальна ємність для каскадно включених j лічильників дорівнює:

$$M_{\Sigma} = M_1 \cdot M_2 \cdot M_3 \cdot \dots \cdot M_j \quad (2)$$

За швидкодією і способом організації внутрішніх зв'язків лічильники поділяються на такі групи:

- Асинхронні (або послідовні);
- Синхронні (або паралельні).

За напрямом лічби лічильники поділяються на:

- Підсумовуючі (прямої лічби);
- Віднімаючі (зворотної лічби);
- Реверсивні (зі зміною напрямку лічби).

Зазначені класифікаційні ознаки незалежні і можуть зустрічатися в різних поєднаннях.

Найбільш поширені цифрові лічильники серій K555 (аналог 74LS) і KP1533 (74ALS), виконаних за технологією ТТЛШ (TTLs) - транзистор-транзисторна логіка зі структурами Шоттки, а також серій KP1554 (74AC) і KP1564 (74HC), виконаних за технологією КМОП (CMOS) на комплементарних МОН- структурах.

У технічній документації зазвичай вказуються повні назви мікросхем, наприклад, двійково-десятковий лічильник KP1533IE11 (аналог SN74ALS162N фірми Texas Instruments) або двійковий лічильник KP1554IE18 (аналог 1N74AC163N фірми National). На схемах можуть застосовуватися їх короткі позначення: IE11 (74x162) або IE18 (74x163).

У зарубіжних аналогах цифрових інтегральних мікросхем прийняті скорочення:

- ALS (Advanced Low Power Schottky) - поліпшена малопотужна серія ТТЛШ;
- AC (Advanced CMOS) - поліпшена серія КМОН;
- HCT (High Speed CMOS with TTL inputs) - високошвидкісна серія КМОН, сумісна по входу з ТТЛ;
- 74 - сімейство мікросхем для комерційних застосувань.

Принципи побудови лічильників

Розглянемо принципи побудови основних типів лічильників на Т-тригерах. Під впливом вхідних імпульсів, що подаються на лічильний вхід С, всі розряди лічильника будуть перемикатися послідовно один за одним, здійснюючи послідовне перенесення сигналів від молодших розрядів до старших. Тригери окремих розрядів при цьому спрацьовують неодноразово (асинхронно) з вхідним сигналом і з іншими розрядами, тому такі лічильники отримали назву послідовних лічильників, або асинхронних лічильників з послідовним переносом.

Для побудови підсумовуючого лічильника, що працює в режимі прямої лічби, коли кожен черговий вхідний імпульс збільшує результат лічби на одиницю, необхідно прямий вихід кожного попереднього тригера з'єднати з входом наступного тригера, якщо вхід Т є інверсним динамічним (рисунок 1, а).

Часові діаграми, що пояснюють роботу підсумовуючого лічильника з інверсним динамічним входом, наведено на рисунку 1, б, з якого випливає, що кожний наступний тригер перемикається негативним фронтом сигналу, формованого на виході попереднього тригера. У даному лічильнику молодший

розряд формує перший тригер, на який подаються лічильні імпульси, а наступні тригери формують старші розряди.

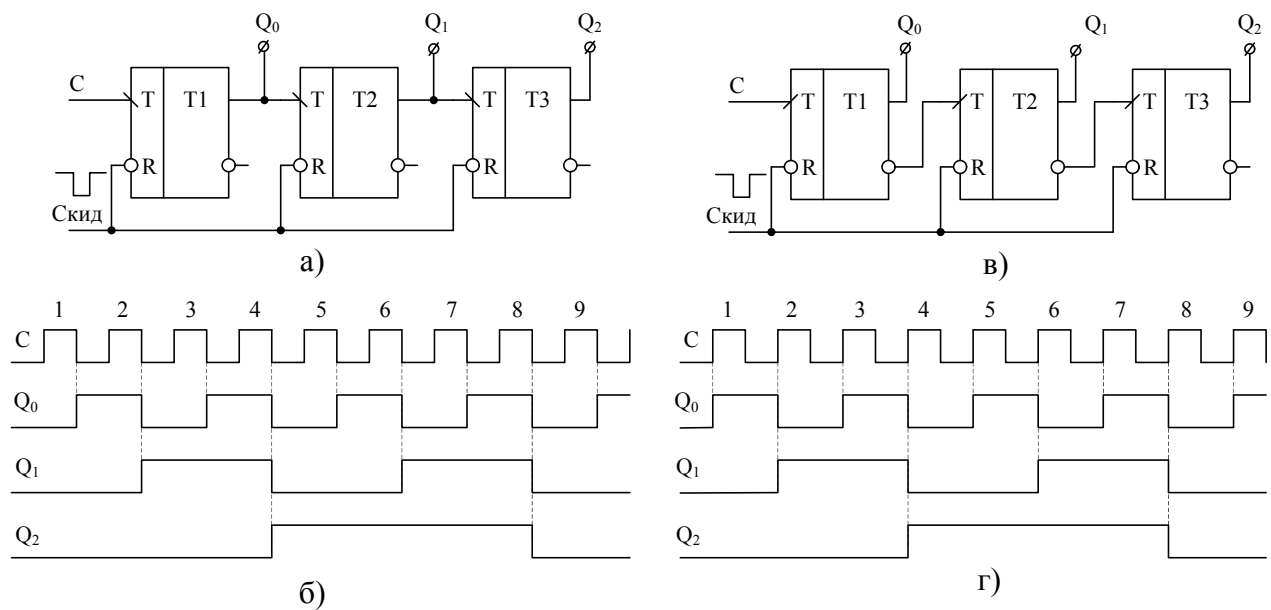


Рисунок 1 – Підсумовуючий двійковий лічильник на Т-тригерах

Якщо вхід є прямим динамічним (рисунок 1, в), то для організації підсумовуючого лічильника слід з'єднати інверсний вихід першого тригера з входом наступного. У цьому випадку перший тригер буде спрацьовувати по позитивному фронту кожного лічильного імпульсу, що надійшов на вхід T1, а наступні тригери будуть перемикатися по позитивному фронту інверсних вихідних сигналів, що знімаються з інверсних виходів попередніх тригерів. Часові діаграми (рисунок 2, г) пояснюють принцип роботи підсумовуючого лічильника на тригерах з прямими динамічними входами.

Розглянуті 3-розрядні підсумовуючі двійкові лічильники з модулем лічби $M = 2^3 = 8$, здійснюють лічбу від значень 000 до значень 111 (від 0 до 7 в десятковій системі). Результат лічби формується на виходах тригерів і записується згідно з номерами розрядів вихідного двійкового коду у вигляді $Q_2Q_1Q_0$, де Q_2 - вихід старшого розряду лічильника.

У початковому стані всі тригери лічильника встановлюються в нульовий стан за допомогою сигналу скидання R, який в даних схемах є інверсним статичним.

З приходом першого імпульсу лічильник встановлюється в стан 001. Надходження другого імпульсу призводить до збільшення результату лічби на одиницю і т.д. Після надходження восьмого імпульсу всі тригери обнуляються і цикл лічби автоматично повторюється.

Схемна реалізація лічильників зворотної лічби і організація міжкаскадних зв'язків при прямому і інверсному тактовому вході тригера показана на рисунку 2, а, в. Часові діаграми, що пояснюють роботу таких лічильників, наведено на рисунку 2, б, г.

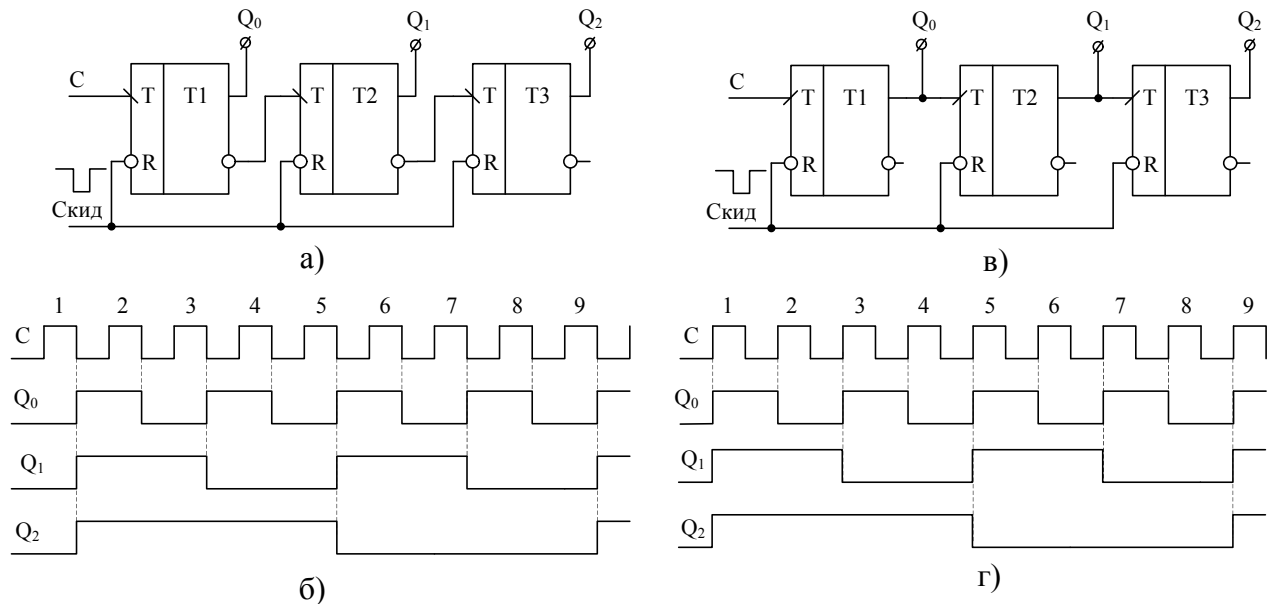


Рисунок 2 – Двійковий лічильник зворотної лічби на Т-тригерах

Робота лічильника зворотної лічби починається з установки всіх тригерів в нульовий стан (скидання). Перший імпульс C , що надійшов на вхід T , встановлює на виходах лічильника $Q_2Q_1Q_0$, комбінацію 111. Кожен наступний вхідний імпульс зменшує вміст лічильника на одиницю. При надходженні восьмого імпульсу всі тригери обнуляються і цикл лічби повторюється.

Лічильники зворотної лічби промисловістю не випускаються, при необхідності застосовуються реверсивні лічильники, що працюють в режимі віднімання.

Лічильники, що працюють як в прямому, так і в зворотному напрямках лічби, називаються реверсивними. При побудові реверсивного лічильника зміна напрямку лічби досягається перемиканням міжрозрядних зв'язків з режиму підсумовування в режим віднімання і навпаки, згідно рисунків 1 і 2 а. З цією метою в ланцюгах зв'язку між тригерами включаються схеми комутації. На рисунку 3 зображено реверсивний двійковий лічильник на Т-тригерах.

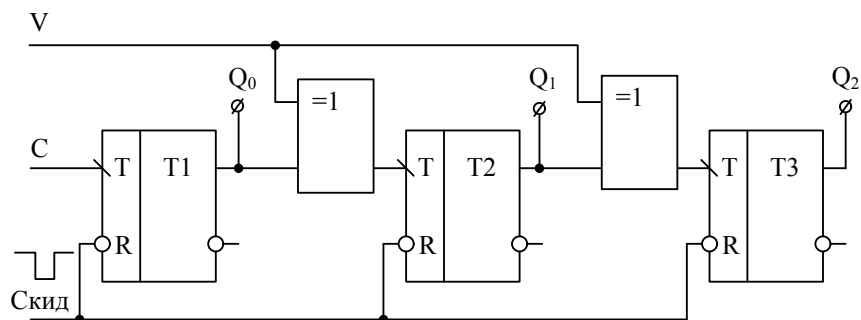


Рисунок 3 – Реверсивний двійковий лічильник на Т-тригерах

Якщо введемо змінну V значення якої буде визначати напрямок лічби (0 – лічба в прямому напрямку, 1 - в зворотному), тоді для лічби в прямому напрямку $V = 0$, сигнал з виходу лічильника C_i передається на вхід наступного C_{i+1} , якщо лічба зворотна $V = 1$, то сигнал з виходу лічильника C_i передається на вхід наступного C_{i+1} з інверсією. Це відповідає таблиці істинності комутувального елемента тригерів, логічну функцію якого можна записати в

ДНФ. Як бачимо в якості елемента комутації напрямку лічби може слугувати елемент виключне АБО.

V	C _i	C _{i+1}
1	0	1
1	1	0
0	0	0
0	1	1

$$C_{i+1} = C_{i+1} \cdot \overline{C_i} + \overline{V} \cdot C_i = V \oplus C_i$$

При проектуванні цифрових пристроїв часто виникає необхідність побудувати лічильник з довільним модулем лічби, коли $M \neq 2^n$. Принцип побудови таких лічильників полягає у виключенні надлишкових станів за допомогою включення зворотних зв'язків усередині лічильника або методом керованого скидання лічильника в нуль, коли в ньому встановлюється певна комбінація згідно необхідного модуля лічби.

Наведемо приклад схемної реалізації підсумовуючого двійково - десяткового лічильника з модулем лічби $M = 10$ на основі методу керованого скидання (рисунк 4). Іноді такі лічильники називають декадними (Decade counters) і на схемах позначаються СТ 2/10, двійковими їх називають по коду лічби, десятковими - по модулю.

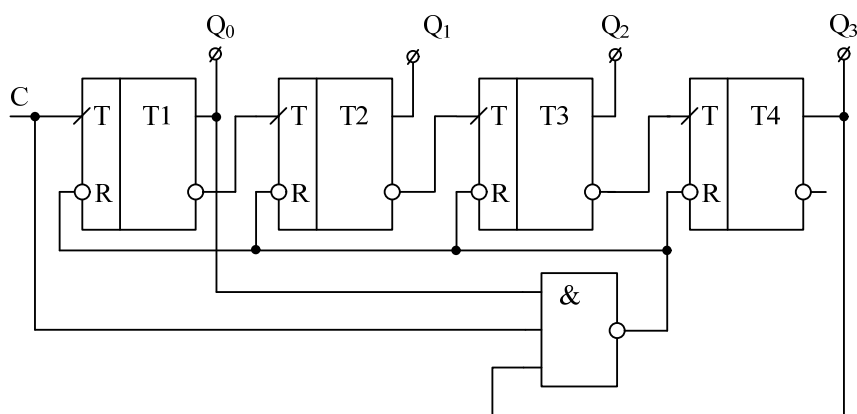


Рисунок 4 – Схема двійково - десяткового лічильника з модулем лічби $M = 10$ побудований на основі методу керованого скидання.

Для організації лічильного режиму інверсні виходи кожного тригера з'єднані з входами Т. В лічильнику 4 тригери, тоді загальне число станів лічильника 16. При модулі лічби $M = 10$ число надлишкових станів $16 - 10 = 6$. На рисунку 6 показано, які логічні елементи необхідно ввести і які з'єднання необхідно ввести, щоб лічильник працював за модулем 10, а на рисунку 7 наведені відповідні цьому режиму часові діаграми.

У схему лічильника додатково включений 4 - входовий логічний елемент 3І -НЕ, що виконує роль дешифратора комбінації $1001_2 = 9_{10}$ (тут і далі індекси позначають відповідно двійкові і десяткові числа). Лічильник здійснює підрахунок вхідних імпульсів від 0 до 9. Надходження на вхід лічильника десятого імпульсу викликає появу активного рівня сигналу на виході елемента 3І - НІ, що виробляє скидання всіх тригерів в нульовий стан. Тривалість імпульсу скидання $t_{ск}$ дорівнює сумі часу реакції тригера на сигнал скидання і

затримки сигналу в елементі 3І -НІ. Часові діаграми роботи лічильника з модулем лічби $M = 10$ наведено на рисунку 5.

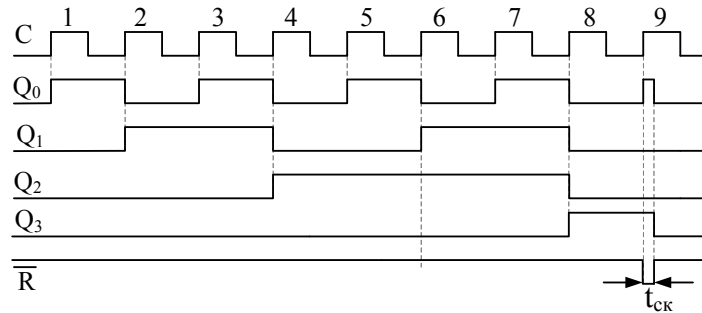


Рисунок 5 – Часові діаграми лічильника з модулем лічби $M = 10$ побудований на основі методу керованого скидання.

Аналогічним чином можна побудувати лічильник з іншим модулем лічби, якщо формувати код скидання ($M - 1$), відповідний необхідному модулю лічби. Наприклад, для побудови лічильника по модулю $M = 11$ необхідно на виході логічного елемента 3І - НІ виявляти комбінацію вихідних сигналів, відповідну коду $1010_2 = 10_{10}$. Як видно з діаграм роботи, недоліком такого лічильника є вкорочена тривалість останньої комбінації (1001), яка приблизно дорівнює часу скиду. Такий підхід до виникнення сигналу скиду може бути використаний для побудови подільника частоти з заданим коефіцієнтом ділення. Вихідним сигналом подільника частоти є сигнал скиду коефіцієнт ділення якого дорівнює $M - 1$.

На рисунку 6 зображено подільники частоти на базі двійкового лічильника ІЕ5 (аналог 7493).

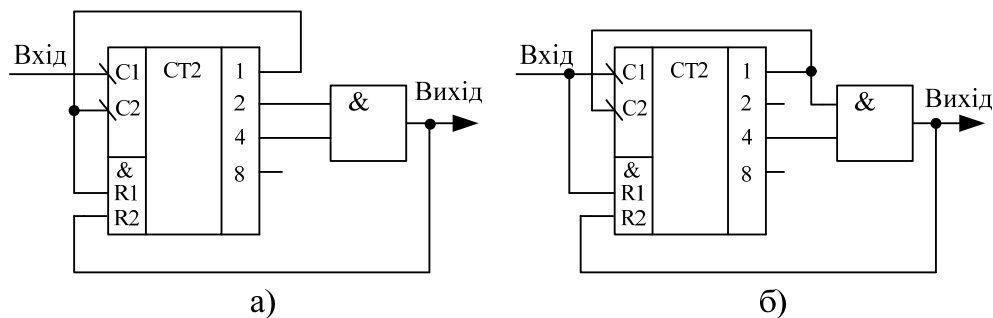


Рисунок 6 – Схеми подільників частоти на базі двійкового лічильника ІЕ5, а) коеф.ділення 7, б) коеф.ділення 5

Принцип роботи схем заснований на скиді лічильника при досягненні вихідного двійкового коду значення, що дорівнює коефіцієнту ділення K_d та модулю лічби M (як правило тривалістю комбінації скиду нехтують!!), відповідні біти об'єднуються логічною функцією І. В схемі на рисунку 6 а, вихідний сигнал знімається на виводі елемента на якому формується $M-1$, тому тривалість імпульсу вихідного сигналу дорівнює періоду вхідного. В схемі на рисунку 6, б принциповим є розмежування процесів нарощення коду, який здійснюється по зрізу вхідного сигналу, та скиду який здійснюється за високим логічним рівнем, тому тривалість імпульсу приблизно дорівнює тривалості паузи вхідного сигналу. Результати моделювання в Proteus двох розглянутих подільників приведено на рисунку 7.

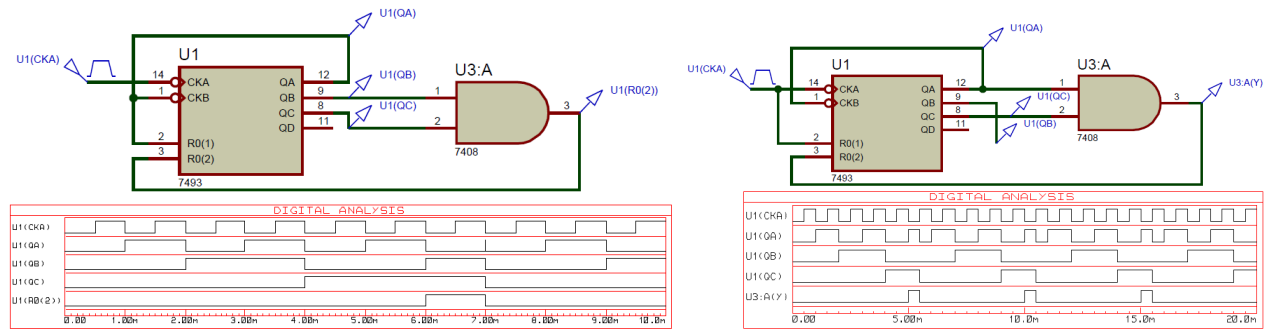


Рисунок 7 – Результати моделювання в Proteus подільників частоти

Інколи при побудові подільників частоти важливим є не тільки частота вихідного сигналу, але і його форма. В таких випадках частіше всього необхідний меандр. Для вирішення такої задачі необхідно вихід дільника частоти подати на вхід Т-тригера, який формує меандр з меншою в два рази частотою, тому модуль лічильника перед тригером:

$$M = 2 \cdot K_{\text{необ}}, \quad (3)$$

де $K_{\text{необ}}$ - необхідний коефіцієнт дільника з вихідним меандром.

На рисунку 8 приведено комп'ютерну модель двох генераторів в режимі ділення вхідного сигналу на 10, один побудований на десятковому лічильнику ІЕ2 (аналог 7490), інший на двійковому ІЕ5 вихід якого з'єднаний з входом Т-тригера реалізованого на D – тригері ТМ2 (74HC74).

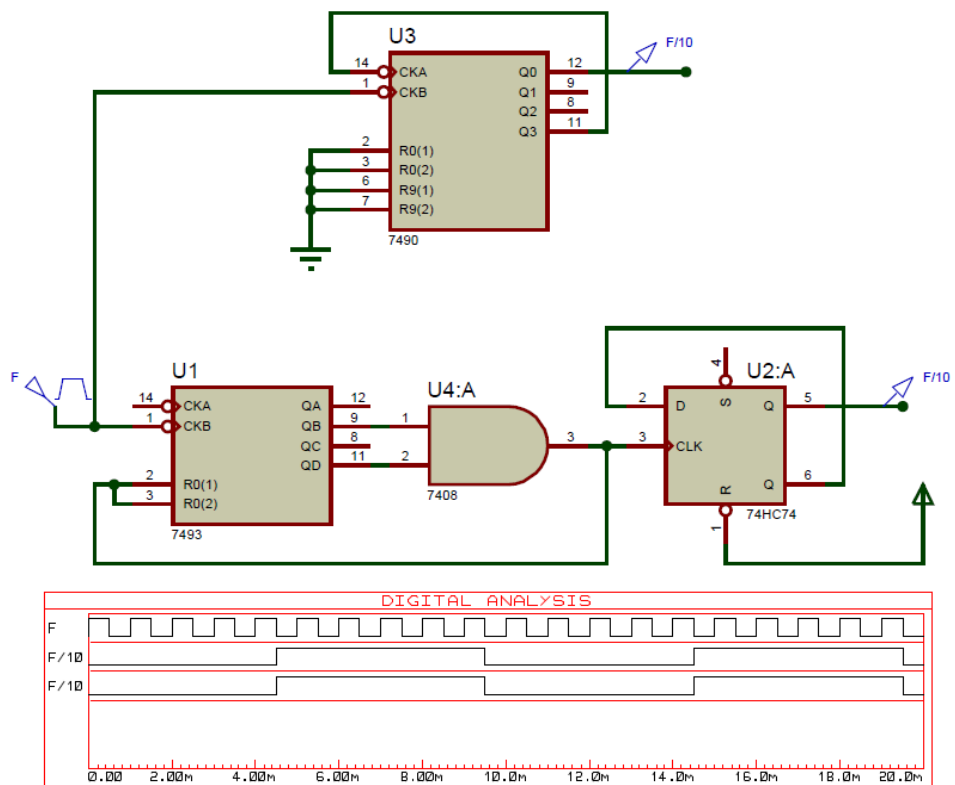


Рисунок 8 - Комп'ютерна модель генераторів в режимі ділення вхідного сигналу на 10, побудованих на десятковому лічильнику ІЕ2 та двійковому ІЕ5

Синхронні лічильники

Даний тип лічильників побудований за синхронним принципом, коли входи С з'єднані паралельно і тригери всіх розрядів перемикаються одночасно під впливом вхідного імпульсу. Сигнали міжрозрядного перенесення формуються за допомогою комбінаційної логіки і надходять паралельно на інформаційні входи тригерів. Такі лічильники називаються синхронними з паралельним переносом сигналів. Структурна схема 4 - розрядного синхронного лічильника з паралельним перенесенням сигналів представлена на рисунку 9.

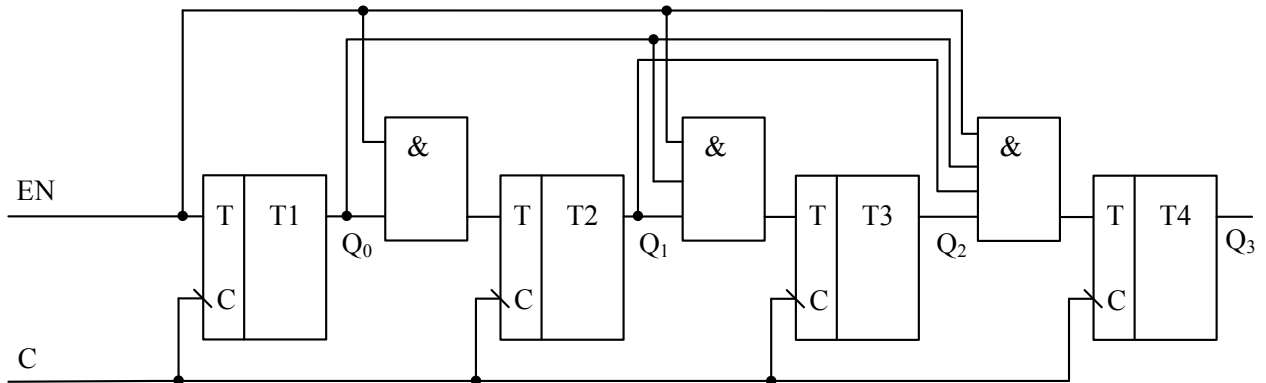


Рисунок 9 - Структурна схема 4 - розрядного синхронного лічильника з паралельним перенесенням сигналів

Лічильник є двійковим підсумовуючим, реалізований на синхронних Т-тригерах. Роль комбінаційних схем тут виконують багатовходові логічні елементи І. Лічильні імпульси надходять паралельно на входи С всіх тригерів, забезпечуючи роботу схеми за зрізом лічильного імпульсу.

Часові діаграми, що пояснюють різницю між асинхронними та синхронними 3 - розрядними лічильниками, наведено на рисунку 10.

З наведених діаграм випливає, що в асинхронному лічильнику (рисунок 9, а) перемикання стану кожного тригера відстає від активного фронту перемикання попереднього тригера на час спрацювання тригера $t_{тр}$, таким чином розряди на виході асинхронного лічильника встановлюються не одночасно, а по чергові (асинхронно). В синхронному лічильнику (рисунок 9, б) всі тригери перемикаються активним фронтом чергового лічильного імпульсу, коли сигнал дозволу EN має одиничне значення. Якщо припустити, що час спрацювання всі тригерів однаковий то перемикання всіх розрядів вихідного коду відбувається одночасно (синхронно).

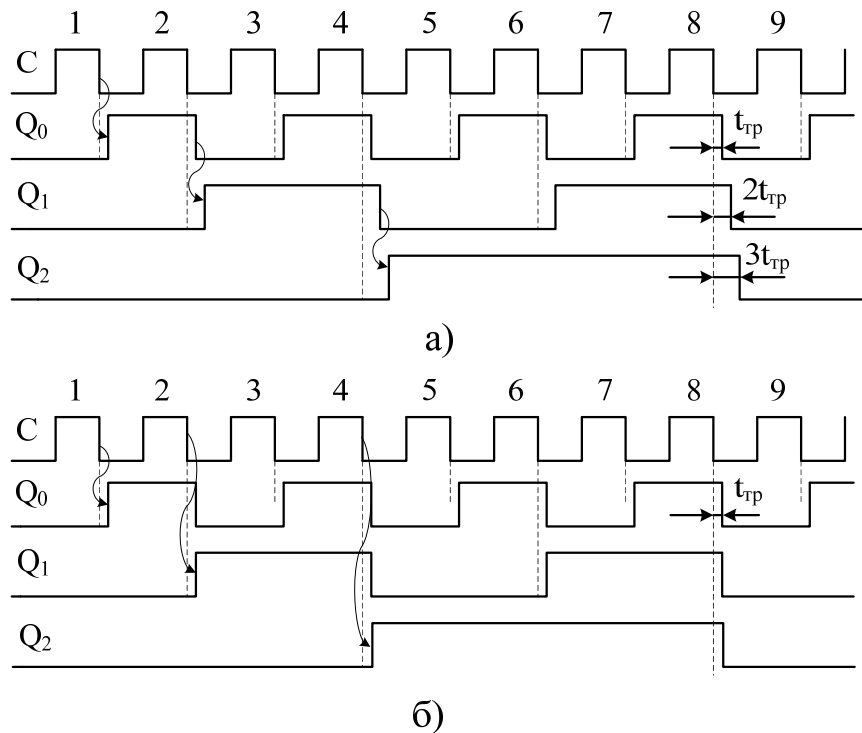


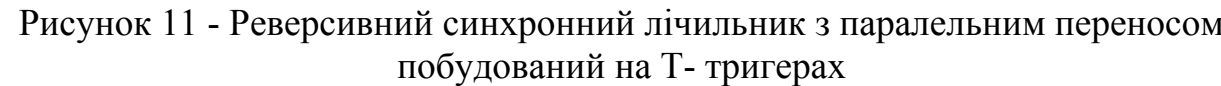
Рисунок 10 - Часові діаграми роботи асинхронного а) та синхронного б) 3 - розрядного лічильника

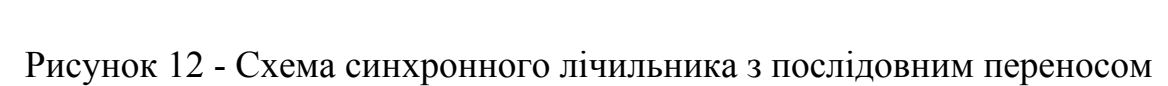
В синхронних лічильниках лічильні імпульси не беруть участь в утворенні сигналів переносу, тому напрямок лічби в таких схемах не залежить від динамічного управління (прямого або інверсного) по лічильному входу С, а залежить тільки від підключення прямого або інверсного виходу тригера молодшого розряду до комбінаційної логіки, що формує сигнали переносу.

Багато лічильників з паралельним переносом, що випускаються у вигляді мікросхем, мають крім основних виходів - додаткові. На одному з виходів, позначеному «>15», сигнал 1 з'являється при заповненні лічильника одиницями, тобто коли він перейшов в стан з номером 15. Отже, на цьому виході формується сигнал перенесення в наступний лічильник. На іншому виході, позначеному «<0», сигнал з'являється при заповненні лічильника нулями і є сигналом позики в наступний лічильник в режимі віднімання.

Реверсивний лічильник можна побудувати і на Т- тригерах (рисунок 10). Як і в розглянутому раніше підсумовуючому лічильнику, лічильні імпульси надходять на Т вхід тригера через логічні елементи тільки в тому випадку, якщо вони відкриті одиничними сигналами з виходів попередніх розрядів.

У лічильника, структурна схема якого зображена на рисунку 11, для лічильних імпульсів передбачено два входи. Якщо лічильник повинен працювати в режимі прямої лічби, імпульси слід подавати на вхід «+1», в режимі зворотної лічби - на вхід «-1». При використанні такого лічильника в якості реверсивного з одним джерелом імпульсів необхідно передбачити зовнішній пристрій комутації лічильних імпульсів на додатній «+1», або на від'ємний «-1» входи. Варіант такої комутуючої приставки до лічильника може бути реалізований на RS – тригері, коли на його прямому виході встановиться одиничний рівень, який відкриє елемент І для лічильних імпульсів, лічильник буде працювати в режимі додавання. Якщо подати позитивний імпульс на R-





Комбінований, тобто паралельно - послідовний перенос застосовується при побудові багаторозрядних лічильників, які повинні мати високу швидкодію. Функціональна схема таких лічильників складається з групи тригерів, всередині кожної з яких організовується паралельне перенесення, а між групами – послідовне.

(рисунок 13 а)) потрібно виходи «>15» та «<0» першого лічильника з'єднати з входами «+1» «-1» відповідно наступного лічильника на виході якого будуть формуватись старші розряди.

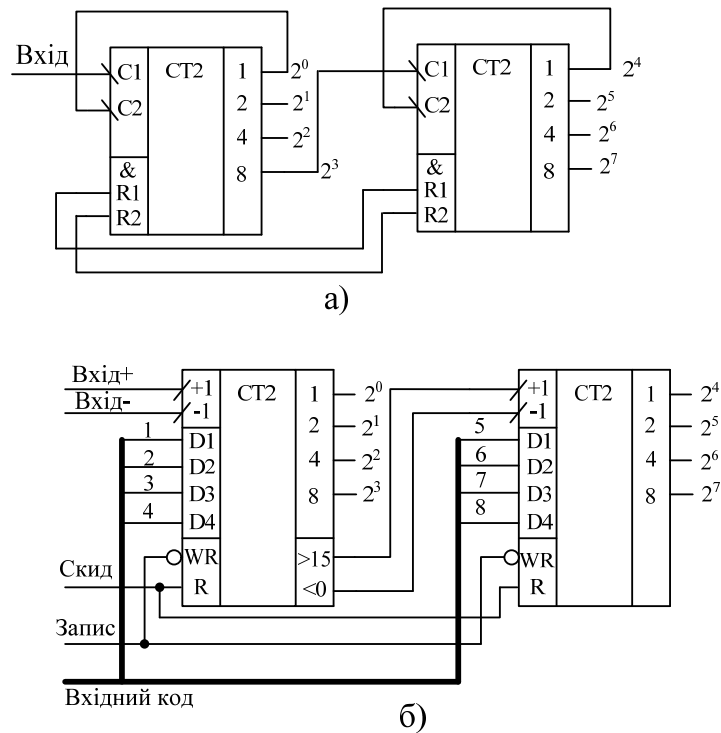


Рисунок 13 – Нарощування розрядності лічильників а) ІЕ5, б) ІЕ7

На рисунку 14 показана логічна структура чотирьох-розрядного кільцевого лічильника і його часова діаграма (рисунок 15). Крім JK - тригерів, в таких схемах застосовують також і D-тригери. В останньому випадку інверсні виходи тригерів не використовуються.

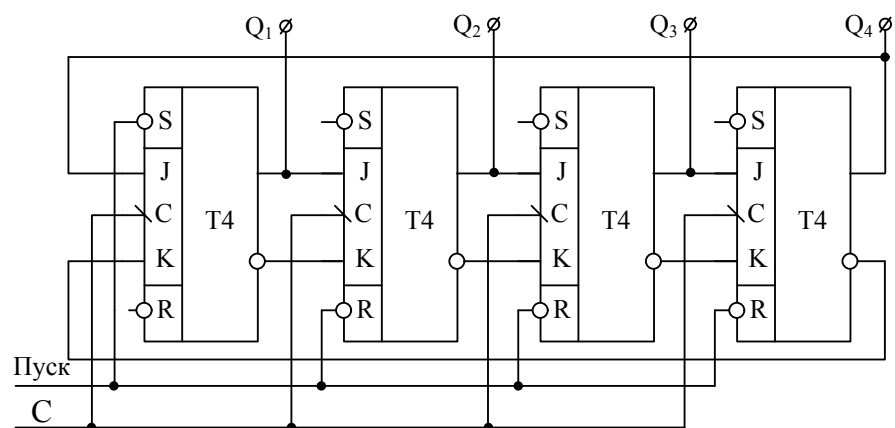


Рисунок 14 - Структурна схема чотирьох-розрядного кільцевого лічильника на базі JK – тригерів

До початку роботи, разом з введенням логічної 1 в перший розряд, інші тригери встановлюються в нуль, оскільки стан, який вони приймуть в момент включення живлення непередбачуваний.

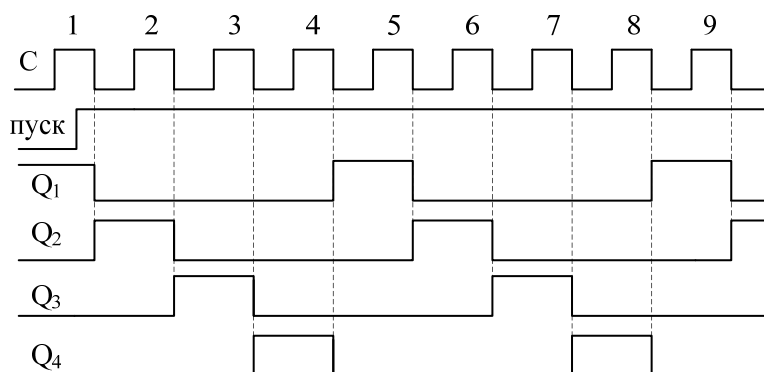


Рисунок 15 – Часові діаграми роботи чотирьох-розрядного кільцевого лічильника

На відміну від двійкових лічильників перетворення послідовності імпульсів в необхідний код (наприклад, восьмеричний або десятковий) тут забезпечується без допомоги дешифратора, що є перевагою кільцевих лічильників. Кожен з виходів приходить в активний стан з частотою $f_{вих} = f_{вх} / m$, де m - число тригерів, тобто модуль кільцевого лічильника чисельно дорівнює числу тригерів. Оскільки кільцеві лічильники не містять зовнішніх логічних елементів, вони володіють великою швидкістю. Кільцеві лічильники мають недолік - підвищена витрата тригерів і відповідно великі економічні та енергетичні витрати. Так, наприклад, для кільцевого лічильника з модулем лічби 16 буде потрібно 16 тригерів, в той час як для двійкового лічильника достатньо чотирьох.

Модуль кільцевого лічильника можна збільшити до $M = 2m$, якщо один із зв'язків між тригерами зробити перехресним, тобто вхід одного з тригерів з'єднати з інверсним виходом попереднього тригера. Оскільки лічильник кільцевий, не має значення, між якими розрядами виконується перехресний зв'язок, проте на схемах для наочності з'єднують вихід останнього тригера із входом першого. Такі пристрої називають лічильниками Джонсона.

На рисунку 16 показана схема лічильника Джонсона на вісім вихідних станів.

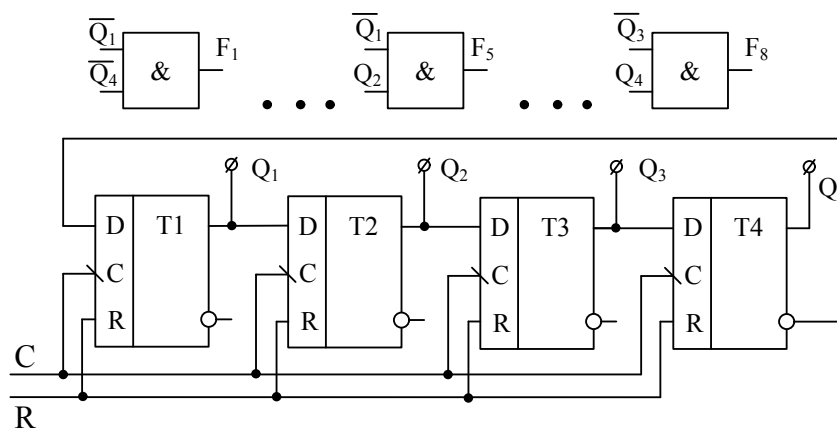


Рисунок 16 – Лічильника Джонсона на вісім вихідних станів

Після встановлення всіх тригерів в нульовий стан на вході першого тригера виявиться логічна 1, яка буде з кожним тактовим імпульсом передаватися, не стираючись в наступному ступені до заповнення всіх розрядів. За рахунок зворотного зв'язку в наступному циклі по лічильнику піде хвиля нулів і т. д. Код Джонсона на виході тригерів Q1 – Q4 дешифрується елементами 2І. Принцип дешифрування полягає у виявленні границь між зонами одиниць і нулів. Наведена нижче таблиця відображає його роботу. З таблиці випливає, що перетворення коду Джонсона в позиційний код здійснюється згідно співвідношеннями (4).

№ станів	Стан виходів			
	Q ₁	Q ₂	Q ₃	Q ₄
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1

$$\begin{aligned}
 F_1 &= \overline{Q_1} \cdot \overline{Q_4}; & F_2 &= Q_1 \cdot \overline{Q_2}; \\
 F_3 &= Q_2 \cdot \overline{Q_3}; & F_4 &= Q_3 \cdot \overline{Q_4}; \\
 F_5 &= Q_1 \cdot Q_4; & F_6 &= \overline{Q_1} \cdot Q_2; \\
 F_7 &= \overline{Q_2} \cdot Q_3; & F_8 &= \overline{Q_3} \cdot Q_4;
 \end{aligned} \quad (4)$$

Перевагою лічильника Джонсона є те, що комбінація 01 або 10 на виходах двох сусідніх тригерів протягом одного циклу має місце один раз незалежно від довжини лічильника, тому для організації дешифратора достатньо використати логічні елементи 2І. Друга перевага лічильника Джонсона полягає в тому, що в ході лічби тільки один тригер змінює свій стан, на виходах, тому не виникають помилкові піки напруги, обумовлені затримками сигналів в різних розрядах.

На рисунку 17 приведено комп'ютерну модель та результати моделювання лічильника Джонсона на 6 станів реалізованого на D – тригерах TM2 (7474). Сигнал переповнення CARRY може бути використаний для каскадування (нарощення) таких лічильників.

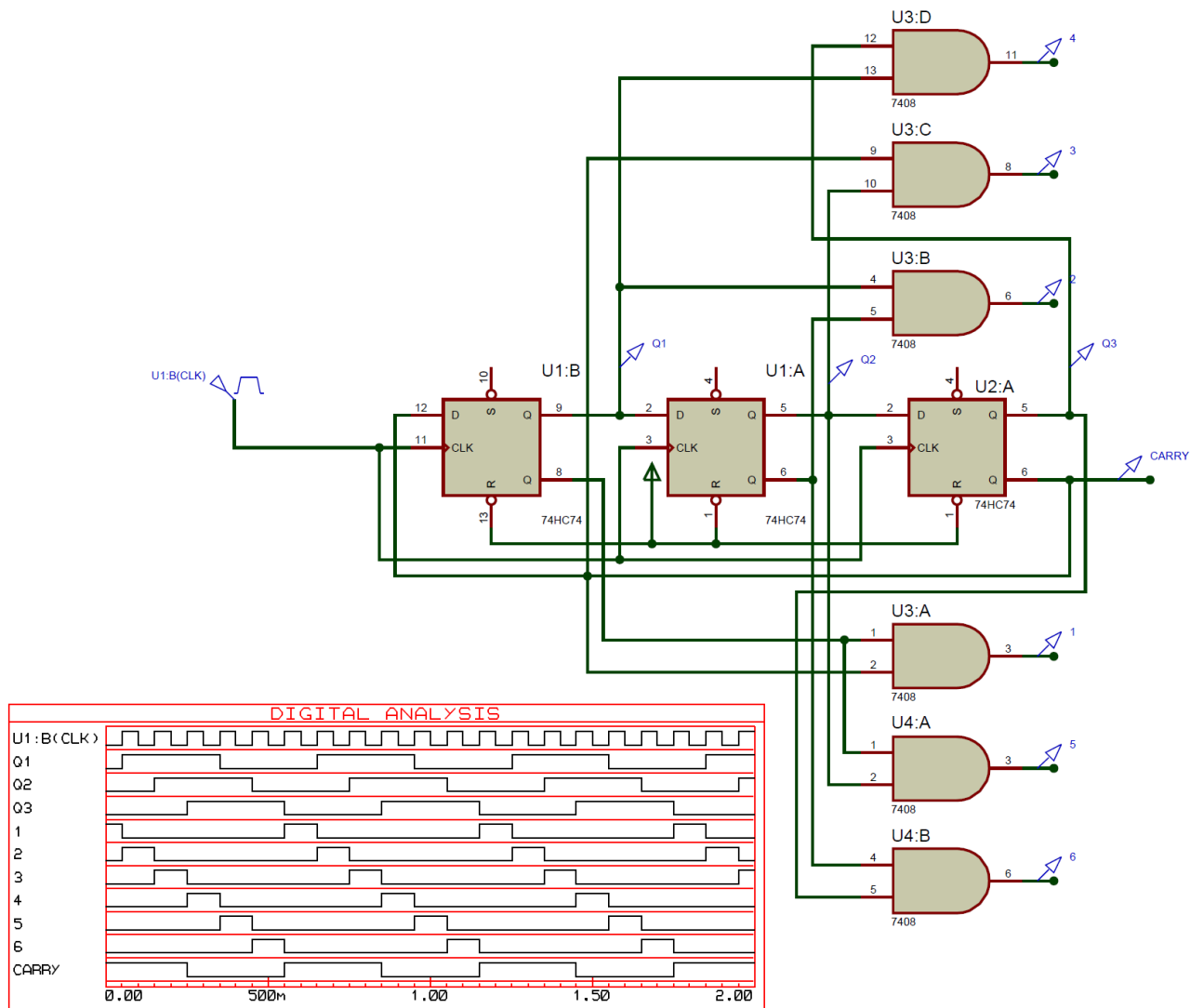


Рисунок 17 - Комп'ютерна модель та результати моделювання лічильника Джонсона на 6 станів

Деякі промислові лічильники з дешифраторами побудовані як лічильники Джонсона (наприклад, тип К561ІЕ8, К561ІЕ9).

Зміст звіту

1. Титульний аркуш;
2. Мета роботи;
3. Завдання згідно варіанту;
4. Коротка технічна характеристика мікросхем тригерів на базі яких побудована відповідна схема лічильника;
5. Схема моделі заданого лічильника в пакеті Proteus. Привести графіки залежності вихідного коду від кількості вхідних імпульсів, якщо лічильник реверсивний побудувати залежності для двох режимів (віднімання та додавання);
6. Коротка технічна характеристика мікросхеми лічильника згідно варіанту на базі якої побудована відповідна схема подільника частоти;

7. Схема моделі подільника частоти згідно варіанту в пакеті Proteus. Графіки вхідних та вихідних сигналів;
8. Висновки по кожній схемі і результатам моделювання.

Контрольні питання

1. За якими ознаками класифікуються електронні лічильники ?
2. Призначення лічильників в обчислювальних пристроях.
3. Приведіть схему та діаграму роботи двійкового трьох-розрядного лічильника на базі D-тригерів з інверсним динамічним входами.
4. Приведіть схему та діаграму роботи двійкового трьох-розрядного лічильника на базі D-тригерів з прямими динамічним входами.
5. Чому при підключенні прямих динамічних лічильних входів тригерів до інверсних виходів попередніх тригерів, лічильник на D-тригерах працює як підсумовуючий, а при підключенні до прямих - як віднімаючий?
6. Намалюйте схему трьох-розрядного підсумовуючого двійкового лічильника з паралельним перенесенням сигналів. Які переваги характерні для такого лічильника порівняно з лічильником з послідовним переносом ?
7. Яким способом можна змінити модуль лічильника?
8. Скільки тригерів повинен містити лічильник з модулем $M = \{ 3, 5, 7, 10, 25, 74 \}$?
9. Подільник частоти на базі двійкового лічильника. Побудуйте подільник частоти з коефіцієнтом ділення 70.
10. Кільцеві лічильники, характеристики, принцип побудови.
11. Принцип побудови та функціонування лічильника Джонсона ?
12. Нарощення розрядності лічильників.
13. Особливості побудови подільників частоти з вихідним меандром.
14. Двійково-десяткові лічильники особливості застосування.
15. Як здійснюється попередній запис в синхронних лічильниках ?
16. Наведіть схему пристрою, що дозволяє здійснити режим реверсу в лічильнику
17. Наведіть структурну схему реверсивного лічильника.
18. Чим різняться між собою асинхронні і синхронні лічильники ?
19. Зобразіть часові діаграми, що пояснюють роботу асинхронного і синхронного підсумовуючого лічильника.
20. Яка властивість JK тригерів дозволяє побудувати на їх основі синхронні лічильники?

ЛАБОРАТОРНА РОБОТА №5

ДОСЛІДЖЕННЯ ЦИФРО-АНАЛОГОВИХ ТА АНАЛОГО-ЦИФРОВИХ ПЕРЕТВОРЮВАЧІВ

Мета роботи: вивчити структуру та основні принципи побудови ЦАП та АЦП, ознайомитися з основними технічними параметрами мікросхем ЦАП та АЦП. Розробити генератор імпульсів заданої форми та цифровий пристрій обчислення амплітуди аналогового сигналу.

ЗАВДАННЯ

1. Ознайомитись зі структурою пакету Proteus та наявними інструментами для аналізу ЦАП та АЦП.
2. Розробити в пакеті Proteus схему ЦАП з використанням матриці R-2R згідно з номером варіанту

Номер варіанту	Розрядність, n	Опорна напруга, В	Спосіб вмикання матриці R-2R	Тип виходу
1.	2	10	прямий	інверсний
2.	3	12	прямий	прямий
3.	4	14	інверсний	інверсний
4.	5	15	прямий	прямий
5.	2	10	інверсний	інверсний
6.	3	9	прямий	прямий
7.	4	5	інверсний	інверсний
8.	5	5	прямий	прямий
9.	2	12	інверсний	прямий
10.	3	9	прямий	інверсний
11.	4	7	прямий	прямий
12.	5	10	інверсний	прямий
13.	3	6	прямий	інверсний
14.	2	5	інверсний	прямий
15.	3	10	прямий	інверсний
16.	4	5	інверсний	прямий
17.	5	12	прямий	інверсний
18.	2	10	інверсний	прямий
19.	3	9	прямий	інверсний
20.	4	11	інверсний	прямий
21.	5	18	прямий	інверсний
22.	2	9	інверсний	прямий
23.	3	13	прямий	інверсний
24.	4	7	інверсний	прямий
25.	5	14	прямий	інверсний

3. Розробити в пакеті Proteus схему паралельного АЦП згідно з номером варіанту

Номер варіанту	Розрядність, n	Опорна напруга, В	Частота стробуючого сигналу, кГц	Тип виходу
1.	2	10	10	прямий
2.	3	12	1	інверсний
3.	2	14	2	прямий
4.	3	15	5	інверсний
5.	2	10	2	прямий
6.	3	9	4	інверсний
7.	2	5	6	прямий
8.	3	5	7	прямий
9.	2	12	8	інверсний
10.	3	9	9	інверсний
11.	2	7	20	прямий
12.	3	10	0,5	інверсний
13.	2	6	0,2	прямий
14.	3	5	1	інверсний
15.	2	10	2	прямий
16.	3	5	3	інверсний
17.	2	12	5	прямий
18.	3	10	10	інверсний
19.	2	9	15	прямий
20.	3	11	25	інверсний
21.	2	18	35	прямий
22.	3	9	45	інверсний
23.	2	13	50	прямий
24.	3	7	2	інверсний
25.	2	14	4	прямий

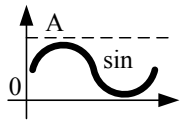
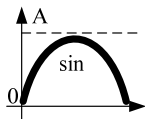
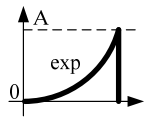
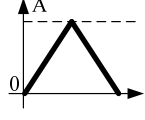
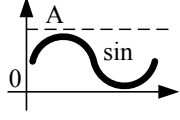
4. Дослідити в пакеті Proteus мікросхему ЦАП (DAC0808) на вхід подати сигнал нарощення двійкового коду.

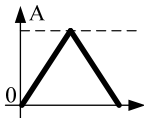
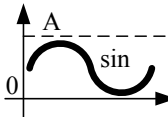
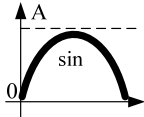
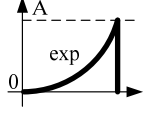
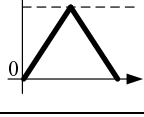
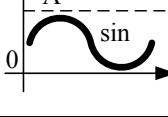
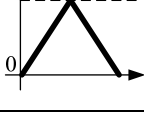
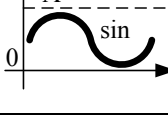
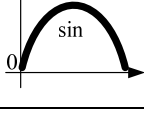
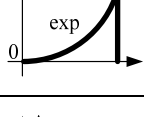
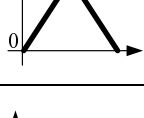
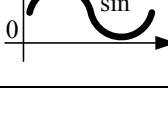
5. Розробити в Proteus схему АЦП послідовного наближення з використанням мікросхеми ЦАП DAC0808 з параметрами згідно варіанту завдання, визначити час перетворення.

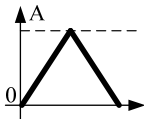
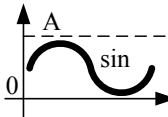
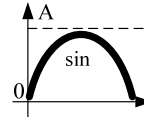
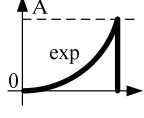
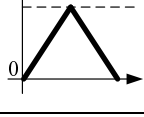
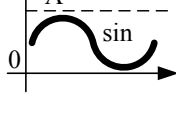
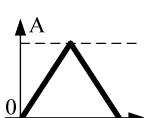
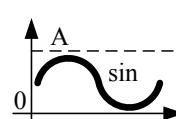
Номер варіанту	Розрядність, n	Опорна напруга, В	Тактова частота, кГц	Вхідна напруга, В
1.	4	5	10	0...5
2.	5	9	30	0...4
3.	6	12	20	0...10
4.	7	15	25	0...11
5.	8	5	30	0...4
6.	4	9	35	0...9

Номер варіанту	Розрядність, n	Опорна напруга, В	Тактова частота, кГц	Вхідна напруга, В
7.	5	12	40	0...9
8.	6	15	45	0...10
9.	7	5	50	0...2
10.	8	9	55	0...7
11.	4	12	60	0...10
12.	5	15	65	0...5
13.	6	5	70	0...3
14.	7	9	75	0...2
15.	8	12	100	0...6
16.	4	15	110	0...5
17.	5	5	120	0...2
18.	6	9	130	0...5
19.	7	12	140	0...5
20.	8	15	150	0...5
21.	4	5	160	0...1
22.	5	9	170	0...8
23.	6	12	180	0...6
24.	7	15	190	0...11
25.	8	5	200	0...4

6. Розробити генератор імпульсів заданої форми з використанням мікросхеми ЦАП та EEPROM M2732 з параметрами згідно варіанту завдання.

№ варіанту	Розрядність, n	Амплітуда, В	Частота генерованого сигналу, Гц	Форма періоду генерованого сигналу
1.	5	5	10	
2.	6	7	20	
3.	7	9	30	
4.	8	10	40	
5.	5	12	50	

№ варіанту	Розрядність, n	Амплітуда, В	Частота генераованого сигналу, Гц	Форма періоду генераованого сигналу
6.	6	5	60	
7.	7	7	70	
8.	8	9	80	
9.	5	10	90	
10.	6	12	100	
11.	7	5	110	
12.	8	7	120	
13.	5	9	140	
14.	6	10	150	
15.	7	12	200	
16.	8	5	220	
17.	5	7	120	

№ варіанту	Розрядність, n	Амплітуда, В	Частота генераованого сигналу, Гц	Форма періоду генераованого сигналу
18.	6	9	100	
19.	7	10	180	
20.	8	12	250	
21.	5	5	230	
22.	6	7	300	
23.	7	9	350	
24.	8	10	400	
25.	5	12	500	

7. Дослідити в пакеті Proteus мікросхему АЦП з паралельним (ADC0808) і послідовним (ADC0831) інтерфейсом, порівняйте швидкість перетворення для заданої викладачем тактової частоти

8. Розробити в Proteus цифровий пристрій обчислення амплітуди аналогового сигналу

МЕТОДИЧНІ ВКАЗІВКИ ДО ЛАБОРАТОРНОЇ РОБОТИ

Принципи побудови ЦАП

Цифро-аналогові перетворювачі (ЦАП) – електронні пристрої призначені для перетворення цифрового коду в пропорційний аналоговий сигнал, використовуються для зв'язку цифрових та аналогових пристроїв. При цифро-аналоговому перетворенні кількісний зв'язок між вхідним двійковим n - розрядним кодом X і аналоговим сигналом U на виході має вигляд:

$$X = x_0 \cdot 2^0 + x_1 \cdot 2^1 + \dots + x_{n-1} \cdot 2^{n-1} : \quad (1)$$

$$U = X \cdot \Delta U, \quad (2)$$

де ΔU - крок квантування за рівнем, тобто аналоговий еквівалент одиниці молодшого розряду цифрового коду

$$\Delta U = U_{\text{ref}} / (2^n - 1), \quad (3)$$

де U_{ref} - опорна напруга ЦАП.

ЦАП будуються за принципом підсумовування струмів або напруг пропорційних ваговим коефіцієнт двійкового коду. Такий принцип реалізовано в схемі резистивної матриці постійного імпедансу, або R-2R матриці. На рисунку 1 зображено 4-розрядну R-2R матрицю. Опорна напруга в цій схемі зменшується в 2 рази на кожному вузлі матриці, а вхідний опір не залежить від кількості розрядів і дорівнює R . Ключ S_3 комутує струм $U_{\text{ref}} / 2R$, S_2 - струм $U_{\text{ref}} / 4R$, S_1 - струм $U_{\text{ref}} / 8R$, S_0 - струм $U_{\text{ref}} / 16R$. Тобто струми, що комутуються сусідніми ключами відрізняються в двох, як і вага розрядів двійкового коду.

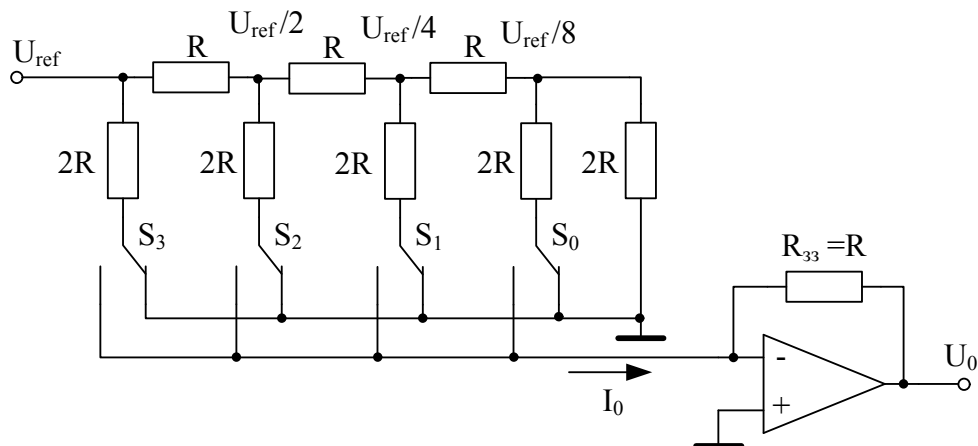


Рисунок 1 – 4-розрядний ЦАП на основі R-2R матриці

Струми всіх ключів сумуються і перетворюються в пропорційну напругу за допомогою операційного підсилювача (ОП) з опором зворотного зв'язку $R_{33} = R$. Сумарний струм I_0 від всіх ключів створює напругу на виході ОП:

$$U_0 = I_0 \cdot R_{33} = I_0 \cdot R, \quad (4)$$

Тому вклад кожного ключа у вихідну напругу ОП становить для ключа $S_3 - U_{ref}/2$, $S_2 - U_{ref}/4$, $S_1 - U_{ref}/8$, $S_0 - U_{ref}/16$. Таким чином при вхідному коді $X = 0000$ вихідна напруга буде нульовою, а при вхідному коді $X = 1111$, вона буде дорівнювати $15U_{ref}/16$. Отже напруга на виході ЦАП при $R_{33} = R$, буде зв'язана з вхідним кодом X та опорною напругою U_{ref} таким співвідношенням:

$$U_{вих} = -X \cdot U_{ref} \cdot 2^{-n} \quad (5)$$

На рисунку 2 зображено модель 4-розрядного ЦАП з опорною напругою 10 В в пакеті Proteus, осцилограми роботи представлені на рисунку 3. Вихідний сигнал після інверсного суматора на ОП, інвертується ще раз другим ОП, тому вихідна напруга додатна. Для зменшення викидів напруги під час перемикання матриці в коло зворотного зв'язку ОП паралельно резистору бажано ввімкнути конденсатор.

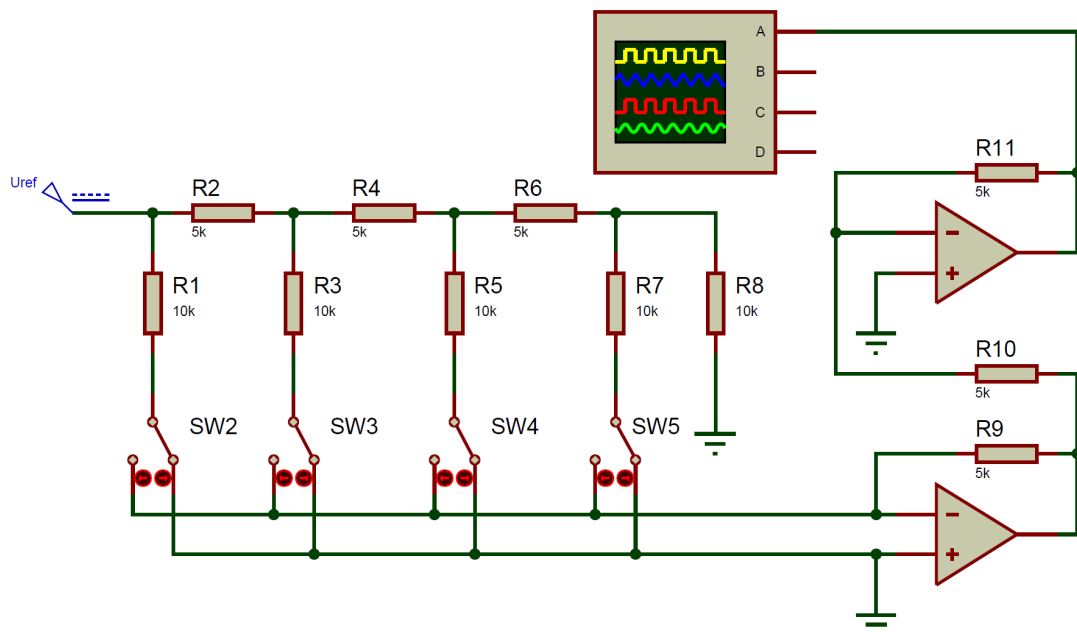


Рисунок 2 – Модель 4-розрядного ЦАП в пакеті Proteus

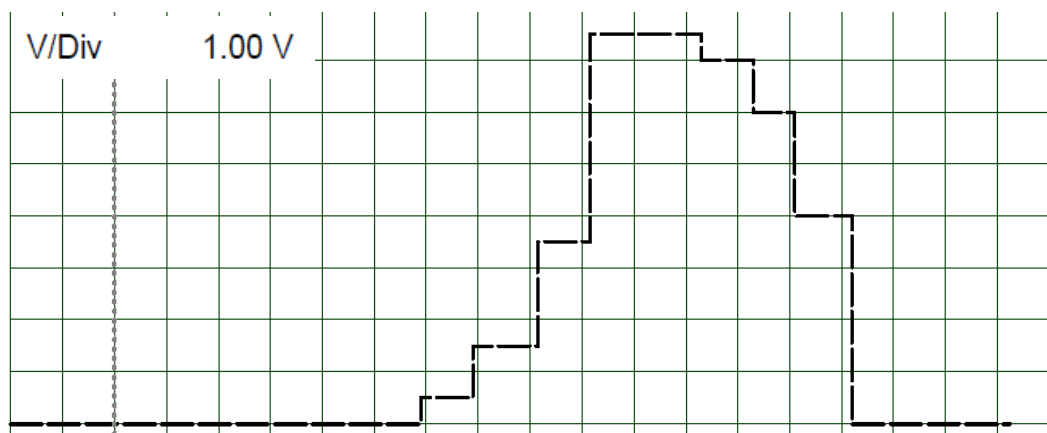


Рисунок 3 – Вихідна напруга ЦАП при почерговому вмиканні ключів починаючи з молодшого розряду та вимиканні в зворотному напрямку

Для побудови ЦАП часто використовують інверсне увімкнення резистивної матриці (рисунок 4), кожному розряду коду відповідає перемикач який сигналом лог. 0 ввімкнений на спільний провід, а сигналом лог. 1 на джерело опорної напруги, при цьому кожен розряд вхідного коду створює струм пропорційний вазі розряду. Вихідний струм інверсної матриці дорівнює сумі струмів створених кожним розрядом вхідного коду, цей струм можна перетворити в напругу за допомогою операційного підсилювача з опором зворотного зв'язку $R_{зз} = R$.

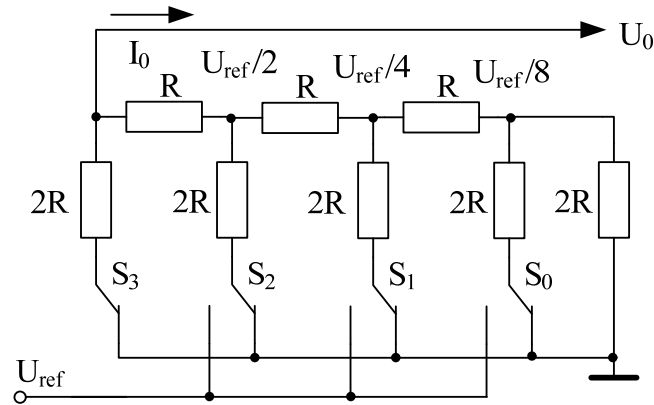


Рисунок 4 – 4-розрядна інверсна R-2R матриця

Перевагою інверсної матриці є можливість застосування в якості комутаторів стандартних ключів на МДН транзисторах, тобто до виходів матриці можна напряму підєднати виходи цифрових мікросхем, при цьому слід пам'ятати, що опорною буде напруга логічної 1 мікросхеми, яка приблизно дорівнює напрузі її живлення. На рисунку 5 зображено часові діаграми роботи 4 розрядного ЦАП з інверсною матрицею на вхід якого подано двійковий код з 4 розрядного лічильника, який наращується імпульсами тактового генератора.

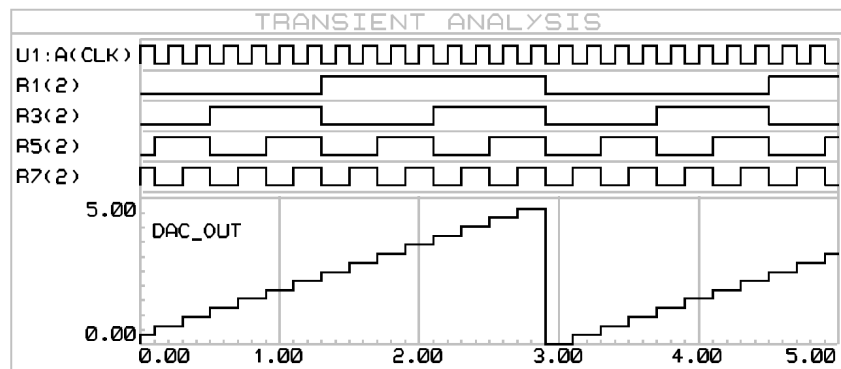


Рисунок 5 – Результати моделювання 4 розрядного ЦАП з інверсною матрицею на вході якого подано двійковий код, який наращується імпульсами тактового генератора.

Генератор періодичного сигналу довільної форми з використанням мікросхем ЦАП

Типове використання мікросхем ЦАП – генерація аналогового сигналу довільної форми заданого цифровим кодом [1 с. 291-292]. На рисунку 6

приведено модель генератора періодичного сигналу з використанням мікросхеми ЦАП DAC0808 та EEPROM M2732 в пакеті Proteus.

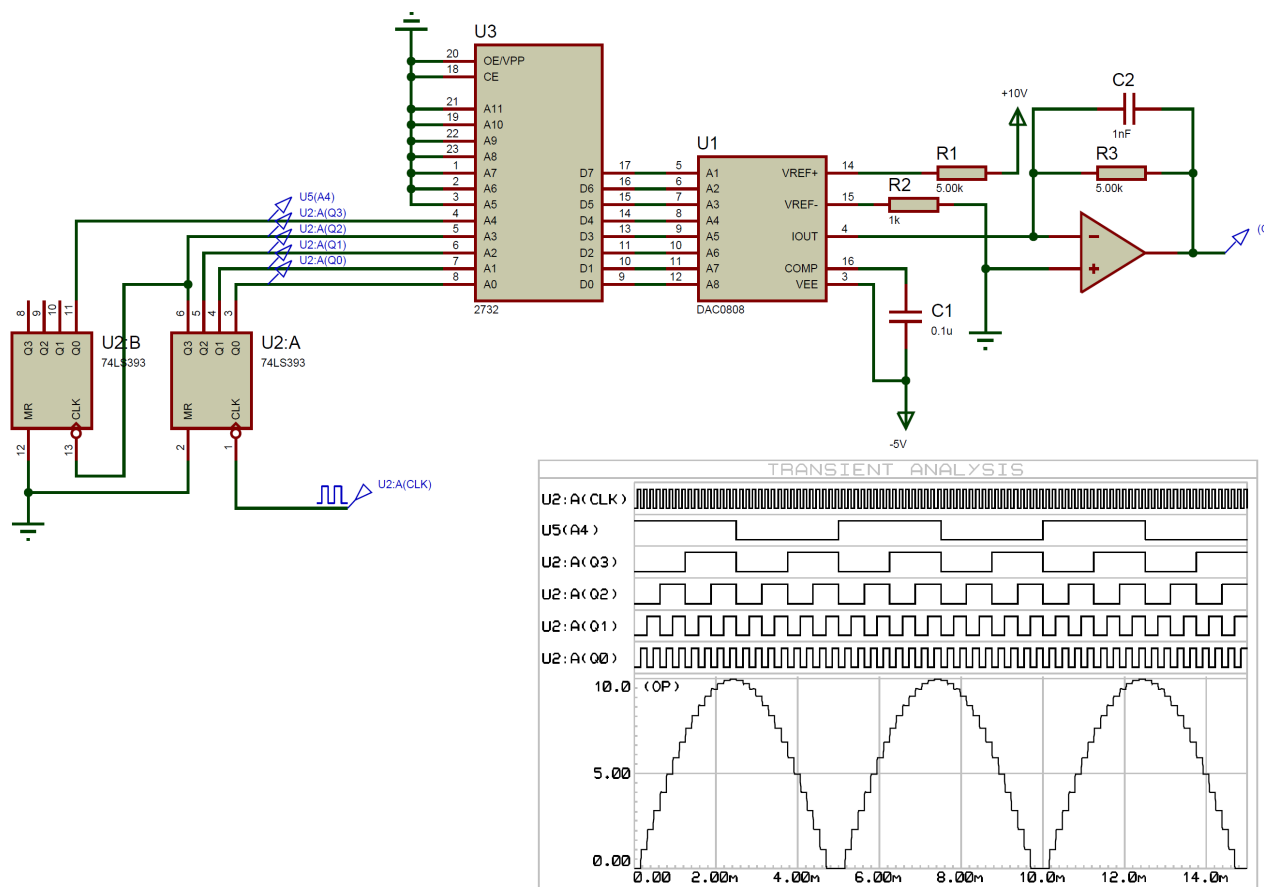


Рисунок 6 - Модель генератора періодичного сигналу в пакеті Proteus.

Розроблена схема генератора працює на основі 5 розрядного ЦАП, і видає на виході сигнал однієї півхвилі синусоїди з амплітудою 10 В, яка дорівнює опорній напрузі U_{ref} , та частотою 200 Гц. Цифровий код пропорційний генерованому сигналу записується в мікросхему EEPROM. Виведення цифрових кодів відбувається послідовно за рахунок підключення до перших 5 адресних виводів EEPROM виходів двійкового генератора, значення якого наращується з частотою тактового генератора. Враховуючи, що 8-розрядна ЦАП використовується в 5-розрядному режимі то весь діапазон напруги $0 \dots U_{ref}$, що відповідає вхідному коду $0 \dots 255$ в десятковому еквіваленті квантується на 32 однакових рівнів напруг. Отже необхідно знайти 32 значення функції $255 \sin(w_i)$, де $w_i = 0, \pi/32, \pi/16, \dots, \pi$, $i = 0 \dots 32$. Отримані значення коду необхідно записати в EEPROM в шістнадцятковому форматі. Для цього потрібно записати розраховані значення у вигляді представленому на рисунку 7. Стрілкою показано напрямок нарощення адреси комірок EEPROM. Файл прошивки в бінарному форматі можна створити програмою FileInHex, яка конвертує код з .txt в .bin. Двічі клацнувши на мікросхемі EEPROM в меню задаємо скопійований файл з розширенням .bin. Частота тактового генератора розраховується з таких міркувань: якщо частота генерованого

сигналу має складати 200 Гц, а весь період розбитий на 32 рівні, то необхідна частота генератора наروщення коду $32 \cdot 200 = 6,4$ кГц.

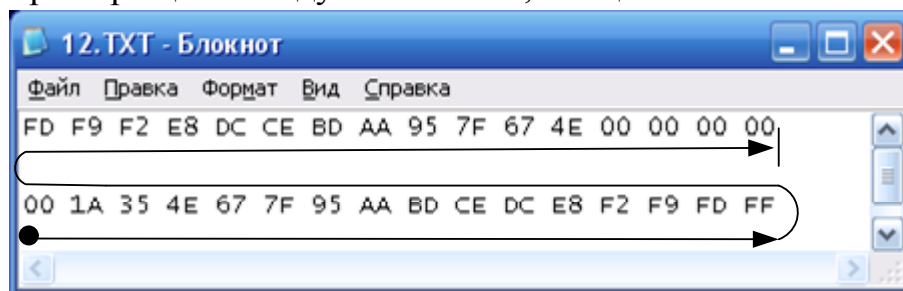


Рисунок 7 – Формат запису коду генерованої функції

Принципи побудови АЦП

Аналого-цифровий перетворювач (АЦП, англ. Analog-to-digital converter, ADC) - пристрій, що перетворює вхідний аналоговий сигнал в дискретний код (цифровий сигнал). Як правило, АЦП - електронний пристрій, що перетворює напругу в двійковий цифровий код. Найпростішим однорозрядним двійковим АЦП є компаратор.

Аналоговий сигнал є безперервною функцією часу, в АЦП він перетворюється в послідовність цифрових значень. Сам процес перетворення включає в себе три основні операції: дискретизацію, квантування і кодування (Рисунок 8).

Операція дискретизації полягає в тому, що заданий неперервний аналоговий сигнал перетворюється в дискретні значення через рівні відрізки часу, що визначаються частотою дискретизації. Для адекватного перетворення аналогового сигналу в цифровий код частота дискретизації, за теоремою Котельникова, повинна в два або більше разів перевищувати максимальну частоту спектра аналогового сигналу.

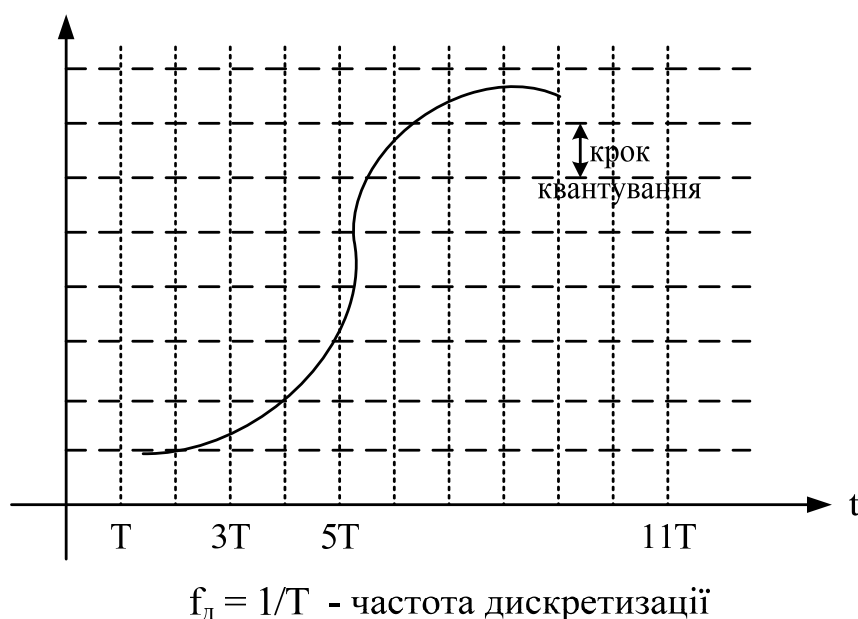


Рисунок 8 – Дискретизація та квантування аналогового сигналу

Після того, як сигнал дискретизований, проводиться його квантування і кодування, що, власне, і є основною операцією при аналого-цифровому перетворенні. На цьому етапі кожному дискретному сигналу ставиться у відповідність цифровий код. Цифровий код квантований, тобто здатний приймати лише ряд дискретних значень, які називаються рівнями квантування (Рисунок 8). Рівні квантування утворюються шляхом розбиття всього діапазону, в якому змінюється аналоговий сигнал, на ряд ділянок, кожному з яких присвоюється певний номер. Ці номери кодуються заздалегідь вибраним кодом, найчастіше двійковим, а їх число N вибирається рівним 2^n .

Розрядність АЦП характеризує кількість дискретних значень, які перетворювач може видати на виході. У двійкових АЦП розрядність вимірюється в бітах. Розрядністю АЦП визначається і його роздільна здатність - мінімальна зміна величини вхідного аналогового сигналу, яке може бути зафіксоване даними АЦП:

$$Q = U_{\text{ref}} / (2^n - 1) \quad (6)$$

Наприклад при діапазоні вхідних напруг від 0 В до 5 В і використанні 10 - бітного АЦП з опорною напругою 5 В ми маємо роздільну здатність АЦП 4,9 мВ. Тобто АЦП в змозі розрізнити сигнали які відрізняються на 4,9 мВ. При збільшенні сигналу на 4,9 мВ - результат перетворення збільшиться на 1. Якщо для такого ж діапазону вхідних сигналів використовувати АЦП з більшою розрядністю, то можна зафіксувати менші значення, тобто отримати більш точне значення сигналу (для 24 - бітного АЦП, $Q = 0,3$ мВ). Розрядність АЦП визначає теоретично можливу точність АЦП. На практиці роздільна здатність АЦП обмежена відношенням сигнал / шум вхідного сигналу.

Паралельний АЦП

Для реалізації паралельних АЦП використовується масив компараторів, кожний з яких порівнює вхідну напругу з опорною напругою, яка для кожного компаратора, формується на вбудованому прецизійному резистивному дільнику. Значення опорних напруг починаються зі значення, рівного $U_{\text{ref}} / 2^n$, і збільшуються при переході до кожного наступного компаратора з тим же кроком. В результаті для 3-х розрядного АЦП потрібно $2^3 - 1$ або сім компараторів, а, наприклад, для 8-розрядного паралельного АЦП буде потрібно вже 255 (або $(2^8 - 1)$) компараторів.

Із збільшенням вхідної напруги компаратори послідовно встановлюють свої виходи в логічну одиницю замість логічного нуля (або навпаки в залежності від вмикання входів компаратора), починаючи з компаратора, що відповідає за молодший знаковому розряду (LSB). Далі отриманий цифровий код можна перетворити в двійковий використовуючи шифратор. На рисунку 9 зображено 2 розрядний паралельний АЦП, з шифратором 8 в 3 на мікросхемі 74НСТ148 (ІВ1).

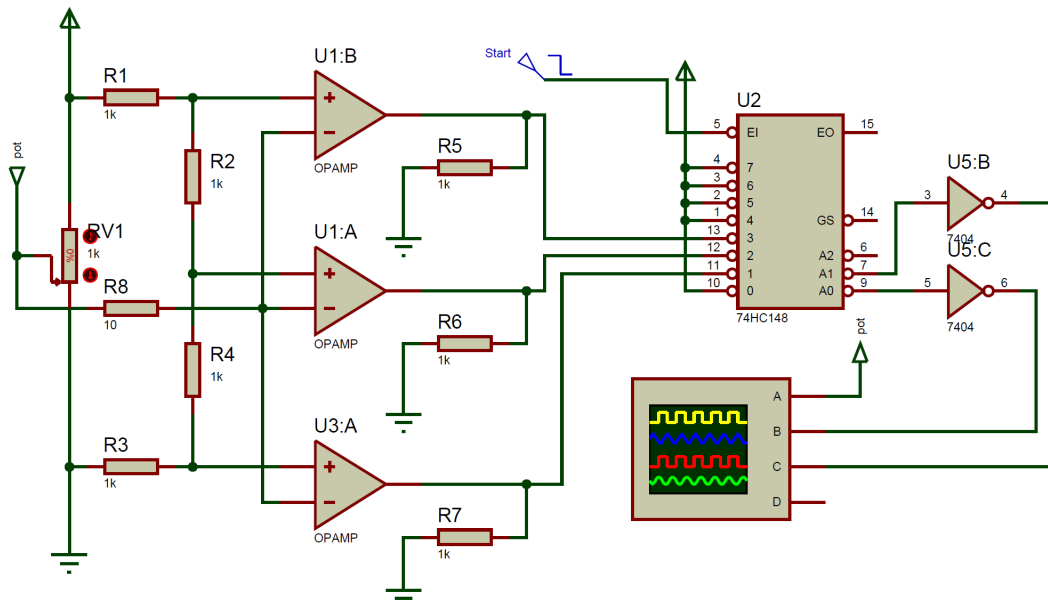


Рисунок 9 - Модель 2-розрядного паралельний АЦП в пакеті Proteus.

Стани компараторів і вихідний сигнал в залежності від рівня вхідної напруги можна побачити в таблиці 1.

Таблиця 1 - Стан компараторів і вихідні сигнали АЦП

Вхідна напруга	Входи дешиф.			Стан виходів дешиф. після інверсії	
	K_3	K_2	K_1	Q_0	Q_1
0	1	1	1	0	0
1	1	1	0	1	0
2	1	0	0	0	1
3	0	0	0	1	1

Осцилограми вхідної напруги що довільно задається потенціометром та розрядів вихідного коду наведено на рисунку 10, 12.

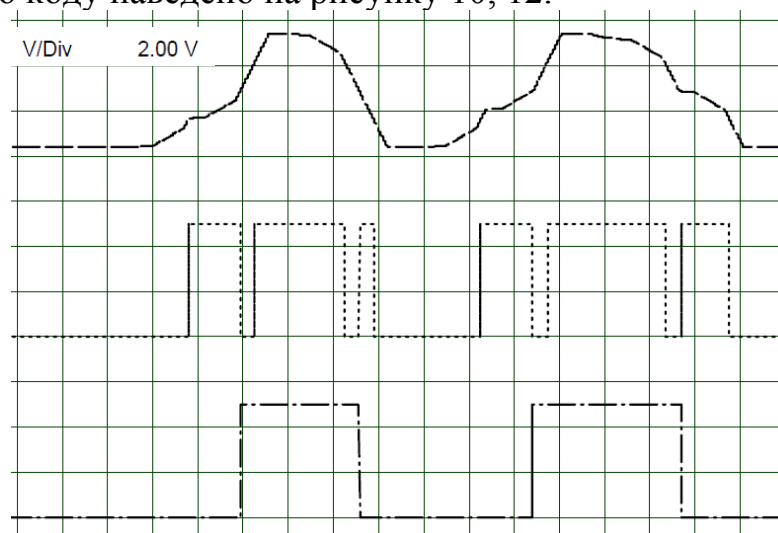


Рисунок 10 – Осцилограма яка ілюструє роботу 2 розрядного паралельного АЦП в пакеті Proteus.

Для кращої стабільності та наглядності роботи схеми вхідний код, що подається на шифратор стробується паралельним регістром, а на вхід подається лінійно змінна напруга від генератора лінійно змінної напруги (ГЛН) (рисунок 11).

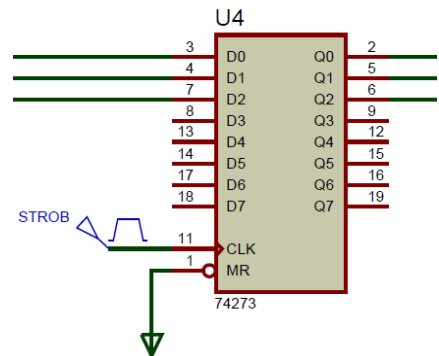
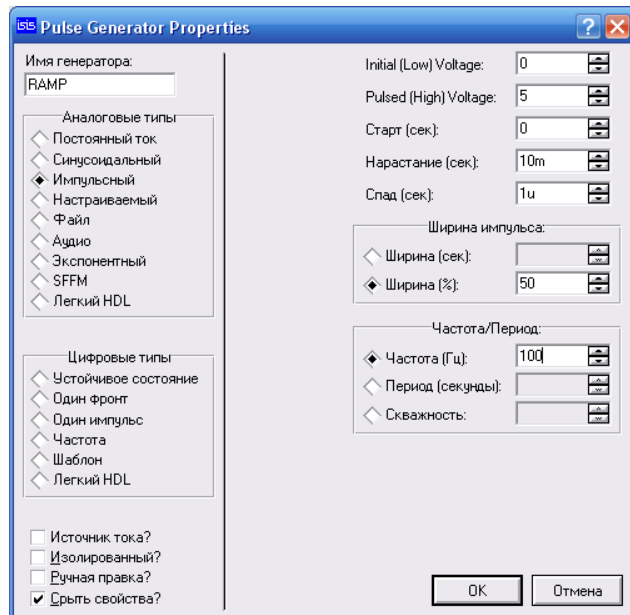


Рисунок 11 – Приклад налаштування генератора лінійно змінної напруги, та схема ввімкнення стробуючого регістра

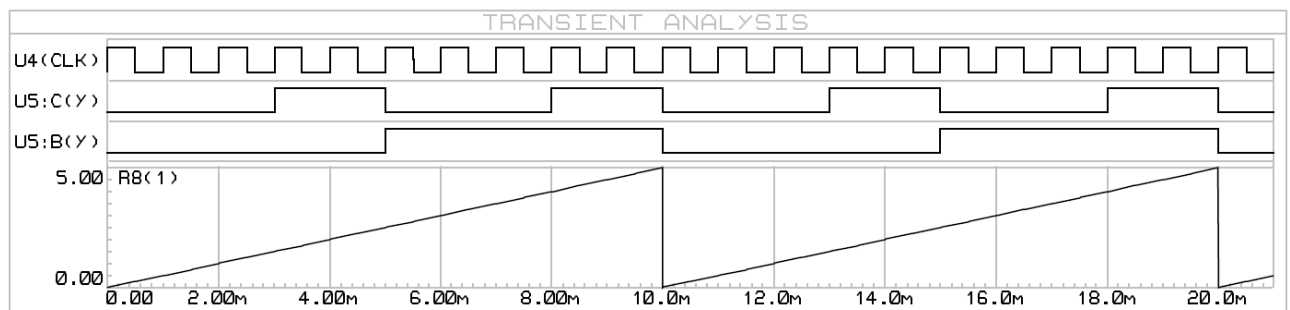


Рисунок 12 – Осцилограма яка ілюструє роботу 2 розрядного паралельного АЦП на вході якого ГЛН із стропуванням вихідного коду в пакеті Proteus.

Паралельний АЦП забезпечує найбільшу швидкість перетворення, і дійсно, час перетворення тут - всього один такт, і він обмежений лише швидкодією компараторів і затримкою на шифраторі. Недолік: громіздка структура (кількість компараторів $2^n - 1$, шифратор 2^n в n).

АЦП послідовного наближення

В АЦП послідовної лічби (рисунок 12) імпульси генератора тактових імпульсів (ГТІ) при одиничному вихідному сигналі компаратора через кон'юнктор заповнюють лічильник, на виході якого формується вихідний код.

Вихідна напруга ЦАП, пропорційна цьому коду, подається на компаратор, де порівнюється з вхідною напругою. Коли сигнали на входах компаратора рівні, він переключається в нуль і забороняє доступ імпульсів до лічильника. Вихідний код лічильника при цьому є цифровим еквівалентом напруги на виході ЦАП, а отже, і напруги $U_{\text{вх}}$.

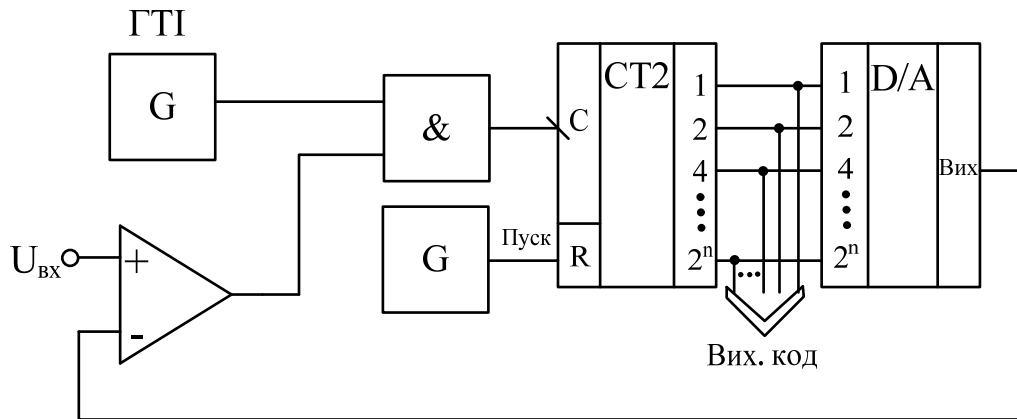


Рисунок 14 – Структурна схема АЦП послідовного наближення

В описаних АЦП значення вихідного коду в процесі перетворених багаторазово змінюється. Вони мають низьку швидкодію, так, наприклад, для отримання 10 розрядів вихідного коду потрібен час 1024 тактових інтервалів, час перетворення не постійний і залежить від $U_{\text{вх}}$.

Одним із застосувань АЦП є обчислення амплітуди аналогового сигналу [1 с. 303].

Зміст звіту

1. Титульний аркуш;
2. Мета роботи;
3. Завдання згідно варіанту;
4. Схема моделі ЦАП в пакеті Proteus з використанням матриці R-2R, представити осцилограми для різних комбінацій ключів;
5. Схема моделі паралельного АЦП, представити осцилограми при подачі на АЦП лінійно змінної напруги $0 \dots U_{\text{ref}}$;
6. Схема моделі АЦП послідовного наближення з використанням мікросхеми ЦАП DAC0808, представити осцилограми при подачі на АЦП лінійно змінної напруги $0 \dots U_{\text{ref}}$, представити основні технічні характеристики використовуваних мікросхем;
7. Схема моделі генератора імпульсів заданої форми з використанням мікросхеми ЦАП DAC0808 та EEPROM M2732, представити осцилограми генерованої напруги, представити основні технічні характеристики використовуваних мікросхем;
8. Додаткові завдання викладача;
9. Висновки по кожній схемі і результатам моделювання.

Контрольні питання

1. Що таке ЦАП та АЦП, для чого він призначений?
2. На якому принципі заснована побудова ЦАП.
3. Чому в ЦАП використовуються високостабільні джерела живлення?
4. Яким властивостями володіє матриця резисторів $R - 2R$?
5. Намалюйте схему найпростішого 5-розрядного ЦАП з резистивною матрицею.
6. Перерахуйте основні параметри ЦАП і дайте їх визначення. Які параметри має промислові ЦАП.
7. На що впливає розрядність АЦП Як визначити вагу молодшого розряду АЦП, знаючи число розрядів і динамічний діапазон вхідного сигналу? Проілюструвати на прикладі.
8. Чим визначається точність , роздільна здатність і швидкодія АЦП?
9. Які ви знаєте схеми побудови АЦП ? Які їх переваги і недоліки?
10. Які типи АЦП існують? Области застосування АЦП?
11. Операції дискретизації , квантування , кодування аналогового сигналу. Теорема Котельникова та її застосування до основних операцій перетворення аналогових сигналів.
12. Принцип функціонування паралельних АЦП.
13. АЦП послідовного наближення. Принцип функціонування , коротка технічна характеристика.

ДОДАТКИ

Додаток А - Типи мікросхем сімейства SN74 та їх вітчизняні аналоги

Номер SN74	Позначення аналога	Номер SN74	Позначення аналога	Номер SN74	Позначення аналога
00	ЛА3	51	ЛР11	130	РУ5
01	ЛА8	53	ЛР3	132	ТЛ3
02	ЛЕ1	54	ЛР13	134	ЛА19
03	ЛА9	55	ЛР4	136	ЛЛ3
04	ЛН1	60	ЛД1	136	ЛП12
05	ЛН2	64	ЛР9	138	ИД7
06	ЛН3	65	ЛР10	139	ИД14
07	ЛН4	72	ТВ1	140	ЛА16
07	ЛП9	74	ТМ2	141	ИД1
08	ЛИ1	75	ТМ7	145	ИД10
09	ЛИ2	77	ТМ5	147	ИВ3
10	ЛА4	80	ИМ1	148	ИВ1
11	ЛИ3	81	РУ1	150	КП1
12	ЛА10	82	ИМ2	151	КП7
13	ТЛ1	83	ИМ3	152	КП5
14	ТЛ4	84	РУ3	153	КП2
15	ЛИ4	85	СП1	154	ИД3
16	ЛН5	86	ЛП5	155	ИД4
17	ЛП4	89	РУ2	156	ИД5
20	ЛА1	90	ИЕ2	157	КП16
21	ЛИ6	92	ИЕ4	158	КП18
22	ЛА7	93	ИЕ5	160	ИЕ9
23	ЛЕ2	95	ИР1	161	ИЕ10
25	ЛЕ3	97	ИЕ8	162	ИЕ11
26	ЛА11	107	ТВ6	163	ИЕ18
27	ЛЕ4	109	ТВ15	164	ИР8
28	ЛЕ5	112	ТВ9	165	ИР9
30	ЛА2	113	ТВ10	166	ИР10
32	ЛЛ1	114	ТВ11	168	ИЕ16
37	ЛА12	121	АГ1	169	ИЕ17
38	ЛА13	123	АГ3	170	ИР32
40	ЛА6	124	ГГ1	170	РП1
42	ИД6	125	ЛП8	172	РП3
50	ЛР1	128	ЛЕ6	173	ИР15

Номер SN74	Позначення аналога	Номер SN74	Позначення аналога	Номер SN74	Позначення аналога
174	ТМ9	245	АП6	384	ИП9
175	ТМ8	247	ИД18	385	ИМ7
180	ИП2	251	КП15	390	ИЕ20
181	ИП3	253	КП12	393	ИЕ19
182	ИП4	257	КП11	395	ИР25
183	ИМ5	258	КП14	465	АП14
184	ПР6	259	ИР30	466	АП15
185	ПР7	260	ЛЕ7	533	ИР40
190	ИЕ12	261	ИП8	534	ИР41
191	ИЕ13	273	ИР35	573	ИР33
192	ИЕ6	279	ТР2	574	ИР37
193	ИЕ7	280	ИП5	630	ВЖ1
194	ИР11	283	ИМ6	639	АП9
195	ИР12	289	РУ9	640	АП10
196	ИЕ14	295	ИР16	643	АП16
197	ИЕ15	298	КП13	646	АП20
198	ИР13	299	ИР24	670	ИР26
221	АГ4	323	ИР29	873	ИР34
225	РУ10	352	КП19	874	ИР38
226	ВА1	353	КП17	1000	ЛА21
240	АП3	365	ЛП10	1003	ЛА23
241	АП4	366	ЛН6	1010	ЛА24
242	ИП6	367	ЛП11	1020	ЛА22
243	ИП7	373	ИР22	1034	ЛП16
244	АП5	374	ИР23	1035	ЛП17
		377	ИР27		

Додаток Б - Функціональне призначення цифрових мікросхем стандартних серій

Позн.	Аналог SN74	Функція
АГ1	121	Одновібратор без перезапуску
АГ3	123	Два одновібратора з перезапуском
АГ4	221	Два одновібратора без перезапуску
АП3	240	Два 4 - розрядних буфера з 3С та інверсією
АП4	241	Два 4 - розрядних буфера з 3С
АП5	244	Два 4 - розрядних буфера з 3С
АП6	245	8 - розрядний двонаправлений буфер з 3С
АП9	640	8 - розрядний двонаправлений буфер з 3С
АП10	640	8 - розрядний двонаправлений буфер з 3С та інверсією
АП14	465	8 - розрядний буфер з 3С
АП15	466	8 - розрядний буфер з 3С та інверсією
АП16	643	8 - розрядний буфер з 3С
АП20	646	8-розрядних двонаправлений буфер з регістром і з 3С
ВА1	226	Схема сполучення з магістраллю
ВЖ1	630	16 - розрядна схема контролю по коду Хеммінга
ГТ1	124	Два генератора, керованих напругою
ІВ1	148	Пріоритетний шифратор 8-3
ІВ3	147	Пріоритетний шифратор 9-4
ІД1	14	Двійково - десятковий дешифратор з високовольтним виходом
ІД3	154	Дешифратор 4-16
ІД4	155	Здвоєний дешифратор 2-4
ІД5	156	Два дешифратора 2-4 с СК
ІД6	42	Двійково - десятковий дешифратор 3-8
ІД7	138	Дешифратор 3-8
ІД10	145	Двійково - десятковий дешифратор 3-8 з великим вихідним струмом
ІД14	139	Два дешифратора 2-4
ІД18	247	Дешифратор двійково - десяткового коду в код семисегментного індикатора
ІЕ2	90	4 - розрядний двійково- десятковий лічильник
ІН4	92	Лічильник - дільник на 12
ІЕ5	93	4 - розрядний двійковий лічильник
ІЕ6	192	4 - розрядний реверсивний двійково- десятковий лічильник
ІЕ7	193	4 - розрядний реверсивний двійковий лічильник
ІЕ8	97	Дільник частоти із змінним коефіцієнтом ділення
ІЕ9	160	4 - розрядний синхронний двійково - десятковий лічильник з асинхронним скидом
ІЕ10	161	4 - розрядний синхронний двійковий лічильник з асинхронним скидом
ІЕ11	162	4 - розрядний двійково- десятковий лічильник з синхронним скидом
ІЕ12	190	4 - розрядний синхронний реверсивний десятковий лічильник
ІЕ13	191	4 - розрядний синхронний реверсивний двійковий лічильник
ІЕ14	196	Лічильник - дільник на 2 і на 5
ІЕ15	197	4 - розрядний асинхронний лічильник з попередньою установкою
ІЕ16	168	4 - розрядний синхронний двійково - десятковий лічильник з паралельним завантаженням
ІЕ17	169	4 - розрядний синхронний двійковий лічильник з паралельним завантаженням
ІЕ18	163	4 - розрядний двійковий лічильник з синхронним скидом
ІЕ19	393	Здвоєний 4 - розрядного двійковий лічильник
ІЕ20	390	Два двійково - десяткових лічильника зі скидом

Позн.	Аналог SN74	Функція
ИМ1	80	1 - розрядний повний суматор
ИМ2	82	2 - розрядний повний суматор
ИМ3	83	4 - розрядний повний суматор
ИМ5	183	4 - розрядний повний суматор з прискореним переносом
ИМ6	283	4 - розрядний повний суматор з прискореним переносом
ИМ7	385	4 - розрядний суматор – віднім.
ИП2	180	8 -розрядна схема контролю парності
ИП3	181	АЛП для двох 4 - розрядних слів
ИП4	182	4 -розрядна схема прискореного переносу
ИП5	280	9 -розрядна схема контролю парності
ИП6	242	Двохнаправлений 4 - розрядний буфер з інверсією
ИП7	243	Двохнаправлений 4 - розрядний буфер
ИП8	261	Паралельний помножувач 2x4 розряда
ИП9	384	8 - розрядний послідовно - паралельний помножувач
ИР1	95	4 - розрядний двонаправлений зсувний регістр
ИР8	164	8 - розрядний регістр зсуву з послідовним входом і паралельними виходами
ИР9	165	8 - розрядний регістр зсуву з паралельними входами і послідовним виходом
ИР10	166	8 - розрядний зсувний регістр
ИР11	194	4 - розрядний 2 - направлений зсувний регістр
ИР12	195	4 - розрядний 2 - направлений зсувний регістр
ИР13	198	8 - розрядний зсувний регістр
ИР15	173	4 - розрядний регістр з 3С
ИР16	295	4 - розрядний реверсивний зсувний регістр з виходами 3С
ИР22	373	8 - розрядний регістр - фіксатор з 3С
ИР23	374	8 - розрядний регістр з 3С
ИР24	299	8 - розрядний двонаправлений реверсивний зсувний регістр з 3С
ИР25	395	4 - розрядний зсувний регістр з 3С
ИР26	670	Регістровий файл 4 x 4 з 3С
ИР27	377	8 - розрядний регістр з дозволом запису
ИР29	323	8 - розрядний зсувний регістр з 3С
ИР30	259	8 - розрядний регістр зберігання з адресацією
ИР32	170	Регістровий файл 4 x 4 з ВК
ИР33	573	8 - розрядний буферний регістр
ИР34	873	Два 4 - розрядних регістра з 3С
ИР35	273	8 - розрядний регістр зі скидом
ИР37	574	8 - розрядний регістр з 3С
ИР38	874	Два 4 - розрядних регістра з 3С
ИР40	533	8 - розрядний регістр - фіксатор з 3С та інверсією
ИР41	534	8 - розрядний регістр з 3С та інверсією
КП1	150	16 -канальний мультиплексор
КП2	153	Здвоєний 4 -канальний мультиплексор
КП5	152	8 -канальний мультиплексор
КП7	151	8 -канальний мультиплексор зі стробуванням
КП11	257	4 - розрядний 2 -канальний мультиплексор з 3С
КП12	253	2 - розрядний 4 -канальний мультиплексор
КП13	298	4 - розрядний 2 -канальний мультиплексор зі стробуванням
КП14	258	4 - розрядний 2 -канальний мультиплексор з 3С з інверсією
КП15	251	8 -канальний мультиплексор з 3С
КП16	157	4 - розрядний 2 -канальний мультиплексор
КП17	353	2 - розрядний 4 -канальний мультиплексор з 3С та інверсією
КП18	158	4 - розрядний 2 -канальний мультиплексор з інверсією

Позн.	Аналог SN74	Функція
КП19	352	2 - розрядний 4 -канальний мультиплексор з інверсією
ЛА1	20	Два логічних елемента 4І-НІ
ЛА2	30	Логічний елемент 8І-НІ
ЛА3	00	Чотири логічних елемента 2І-НІ
ЛА4	10	Три логічних елемента 3І-НІ
ЛА6	40	Два логічних елемента 4І-НІ з підвищеним вихідним струмом
ЛА7	22	Два логічних елемента 4І-НІ з ВК та підвищеним вихідним струмом
ЛА8	01	Чотири логічних елемента 2І-НІ з ВК
ЛА9	03	Чотири логічних елемента 2І-НІ з ВК
ЛА10	12	Три логічних елемента 3І-НІ з ВК
ЛА11	26	Чотири логічних елемента 2І-НІ з ВК та підвищеним вихідною напругою
ЛА12	37	Чотири логічних елемента 2І-НІ з підвищеним вихідним струмом
ЛА13	38	Чотири логічних елемента 2І-НІ з ВК та підвищеним вихідним струмом
ЛА16	140	Два логічних елемента 4І-НІ для роботи на лінію 50 Ом
ЛА19	134	Логічний елемент 12І-НІ з дозволом
ЛА21	1000	Чотири логічних елемента 2І-НІ з підвищеним вихідним струмом
ЛА22	1020	Два логічних елемента 4І-НІ з підвищеним вихідним струмом
ЛА23	1003	Чотири логічних елемента 2І-НІ з ВК та підвищеним вихідним струмом
ЛА24	1010	Три логічних елемента 3І-НІ з підвищеним вихідним струмом
ЛД1	60	Два 4 - входів розширювачі по АБО
ЛЕ1	02	Чотири логічних елемента 2АБО –НІ
ЛЕ2	23	Два логічних елемента 4АБО-НІ зі стробуванням
ЛЕ3	25	Два логічних елемента 4АБО-НІ зі стробуванням
ЛЕ4	27	Три логічних елемента 3АБО-НІ
ЛЕ5	28	Чотири логічних елемента 2АБО-НІ з підвищеним вихідним струмом
ЛЕ6	128	Чотири логічних елемента 2АБО-НІ з підвищеним вихідним струмом
ЛЕ7	260	Два логічних елемента 5АБО-НІ
ЛИ1	08	Чотири логічних елемента 2І
ЛИ2	09	Чотири логічних елемента 2І з ВК
ЛИ3	11	Три логічних елемента 3І
ЛИ4	15	Три логічних елемента 3І з ВК
ЛИ6	21	Два логічних елемента 4І
ЛЛ1	32	Чотири логічних елемента 2АБО
ЛЛ3	136	Чотири двовходових логічних елемента виключне АБО з ВК
ЛН1	04	Шість інверторів
ЛН2	05	Шість інверторів з ВК
ЛН3	06	Шість інверторів з ВК і підвищеною вихідною напругою
ЛН4	07	Шість буферних елементів з ВК
ЛН5	16	Шість інверторів з ВК і підвищеною вихідною напругою
ЛН6	366	Шість інверторів з 3С і управлінням
ЛП4	17	Шість буферних елементів з ВК і підвищеною вихідною напругою
ЛП5	86	Чотири двовходових логічних елемента виключне АБО
ЛП8	125	Чотири буферних елемента з 3С і роздільним керуванням
ЛП9	07	Шість буферних елементів з ВК і підвищеною вихідною напругою
ЛП10	365	Шість буферних елементів з 3С
ЛП11	367	Шість буферних елементів з 3С
ЛП12	136	Чотири двовходових логічних елемента виключне АБО з ВК
ЛП16	1034	Шість буферів з підвищеним вихідним струмом
ЛП17	1035	Шість буферів з ВК і підвищеним вихідним струмом
ЛР1	50	Два елементи 2- 2І- 2АБО-НІ
ЛР3	53	Елемент 2-2-2-3І – 4АБО -НІ

Позн.	Аналог SN74	Функція
ЛР4	55	Елемент 4 - 4И – 2АБО -НІ
ЛР9	64	Елемент 2-4-2-3І-АБО –НІ
ЛР10	65	Елемент 2 - 4 - 2 - 3І - АБО -НІ з ВК
ЛР11	51	Елементи 2 - 2І- 2АБО -НІ та 2 -3І -2АБО-НІ
ЛР13	54	Елемент 3-2-2-3І – 4АБО-НІ
ПР6	184	Перетворювач двійково-десятькового коду в двійковий
ПР7	185	Перетворювач двійкового коду в двійково-десятьковий
РП1	170	Регістровий ЗП 4 х 4
РП3	172	Регістровий ЗП 8 х 2 з ВК
РУ1	81	ОЗП з організацією 4х4
РУ2	89	ОЗП з організацією 16х4
РУ3	84	ОЗП 4 х 4 з додатковими входами запису
РУ5	130	ОЗП з організацією 256 х 1
РУ9	289	ОЗП з організацією 16х4
РУ10	225	ОЗП з організацією 16х4
СП1	85	4 - розрядний компаратор кодів
ТВ1	72	JK- тригер з елементом 3І на вході
ТВ6	107	Два JK - тригера
ТВ9	112	Два JK - тригера
ТВ10	113	Два JK - тригера
ТВ11	114	Два JK - тригера
ТВ15	109	Два JK - тригера
ТЛ1	13	Два тригера Шмітта з інверсією і елементом 4І на вході
ТЛ2	14	Шість тригерів Шмітта з інверсією
ТЛ3	132	Чотири тригера Шмітта з інверсією і елементом 2І на вході
ТМ2	74	Два D- тригера з прямими і інверсними виходами
ТМ5	77	Чотири D - тригера типу «фіксатор»
ТМ7	75	Чотири D - тригера типу «фіксатор» з прямими та інверсними виходами
ТМ8	175	Чотири D - тригера з прямими і інверсними виходами
ТМ9	174	Шість D - тригерів із загальним синхровходом
ТР2	279	Два DS -тригера

Додаток В - Таблиця відповідності зарубіжних і вітчизняних серій цифрових мікросхем

Серії SN74	Відчизняні серії
74 ... J	KM155
74 ...N	K155
74AC ... N	KP1554
74ALS ... N	KP1533
74F ... N	KP1531
74H...N	K131
74L...N	K134
74LS ... J	KM555
74LS ... N	K555
74S ... J	KM531
74S ... N	KP531

Додаток Г - Мікросхеми серії 40xx та їх вітчизняні аналоги

561, 1561	40xx	561, 1561	40xx	561, 1561	40xx	561, 1561	40xx
АГ1	4098	ИП2	4585	КТ1	4016	ПУ2	4009
ГГ1	4046	ИП3	4581	КТ3	4066	ПУ3	4010
ИД1	4028	ИП4	4582	ЛА10	40107	ПУ4	4050
ИД4	4055	ИП5	4554	ЛА7	4011	ПУ6	40109
ИД6	4056	ИП6	40101	ЛА8	4012	ПУ7	4069
ИД6	4555	ИР10	4006	ЛА9	4023	РУ2	4061
ИД7	4556	ИР12	4580	ЛЕ10	4025	СА1	4531
ИЕ10	4520	ИР14	4076	ЛЕ5	4001	ТВ1	4027
ИЕ11	4516	ИР15	40194	ЛЕ6	4002	ТЛ1	4093
ИЕ14	4029	ИР2	4015	ЛИ2	4081	ТЛ2	40106
ИЕ15	4059	ИР4	4031	ЛН1	4502	ТМ1	4003
ИЕ16	4020	ИР6	4034	ЛН2	4049	ТМ2	4013
ИЕ19	4018	ИР9	4035	ЛП1	4007	ТМ3	4042
ИЕ20	4040	КП1	4052	ЛП14	4070	ТР2	4043
ИЕ21	40161	КП2	4051	ЛП2	4030	УМ1	4054
ИЕ8	4017	КП3	4512	ЛП4	4000		
ИЕ9	4022	КП4	4519	ЛС2	4019		
ИМ1	4008	КП5	4053	ПР1	4094		
40xx	561, 1561	40xx	561, 1561	40xx	561, 1561	40xx	561, 1561

4000	ЛП4	4020	ИЕ16	4044	немає	4075	немає	40109	ПУ6
4001	ЛЕ5	4021	немає	4046	ГГ1	4076	ИР14	40161	ИЕ21
4002	ЛЕ6	4022	ИЕ9	4049	ЛН2	4077	немає	40194	ИР15
4003	ТМ1	4023	ЛА9	4050	ПУ4	4078	немає	4502	ЛН1
4006	ИР10	4024	немає	4051	КП2	4081	ЛИ2	4512	КП3
4007	ЛП1	4025	ЛЕ10	4052	КП1	4082	немає	4516	ИЕ11
4008	ИМ1	4026	немає	4053	КП5	4085	немає	4519	КП4
4009	ПУ2	4027	ТВ1	4054	УМ1	4086	немає	4520	ИЕ10
4010	ПУ3	4028	ИД1	4055	ИД4	4089	немає	4093	ТЛ1
4011	ЛА7	4029	ИЕ14	4056	ИД6	4094	ПР1	4541	немає
4012	ЛА8	4030	ЛП2	4059	ИЕ15	4096	немає	4554	ИП5
4013	ТМ2	4031	ИР4	4061	РУ2	4097	немає	4555	ИД6
4014	немає	4034	ИР6	4066	КТ3	4098	АГ1	4556	ИД7
4015	ИР2	4035	ИР9	4069	ПУ7	4099	немає	4580	ИР12
4016	КТ1	4038	немає	4070	ЛП14	40101	ИП6	4581	ИП3
4017	ИЕ8	4040	ИЕ20	4071	немає	40106	ТЛ2	4582	ИП4
4018	ИЕ19	4042	ТМ3	4072	немає	4531	СА1	4584	немає
4019	ЛС2	4043	ТР2	4073	немає	40107	ЛА10	4585	ИП2