Министерство образования Республики Беларусь

Учреждение образования «Белорусский государственный университет информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Дисциплина: СиФО ЭВМ

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к курсовому проекту

на тему

РАЗРАБОТКА МИКРО-ЭВМ НА ПЛИС

БГУИР КП 1-40 02 01 029 ПЗ

Студент: Родов Д.А., гр. 950505

Руководитель: кандидат технических наук, доцент Самаль Д.И.

Минск 2013

**Задание:** разработка микро-ЭВМ на ПЛИС.

Характеристики:

* Вариант: 29
* Тип архитектуры: Гарвардская.
* Разрядность шины адреса: 8 бит.
* Разрядность шины данных: 8 бит.
* ПЗУ: синхронная.
* ОЗУ: синхронная.
* Типы адресации: относительная со смещением, прямая, прямая регистровая.
* РОН: 4 штуки.
* КЭШ:

- k = 4;

- алгоритм замещения строк – без анализа;

- синхронизация с памятью – простая отложенная.

* Арифметические команды: CMP.
* Логические команды: AND, OR.
* Сдвиговые команды: ROL.
* Команда условного перехода: JMZ.
* Арбитраж шин: децентрализованный кольцевой.
* Стек:

- объем – 5 слов;

- направление роста – вверх.

* Схема предсказателя переходов:

- тип автомата – А3;

- бит шаблона – 4 бита;

- тип шаблона – PC(2) || GHR(2).

* КПДП:

- начальный адрес – 4;

- объем – 6 байт.

**СОДЕРЖАНИЕ**

Введение……………………………………………………………………...……2

1. Разработка общей структуры микро-ЭВМ. …………………………………..3

1.1. Функциональный состав микро-ЭВМ…………………………………..3

1.2. Разработка системы команд. …………………………………………....5

1.3. Описание взаимодействия всех блоков микро-ЭВМ при выполнении команд программы…………………………………………………….……...6

2. Разработка основных устройств микро-ЭВМ. ……………………………....8

2.1. Запоминающие устройства. Функциональный состав и временные диаграммы работы……………........………………………………………….8

2.2. Блок регистров общего назначения ………………………………….…9

2.3. Блок стека………..………………………………………………………10

2.4. Контроллер прямого доступа к памяти………………………………..11

2.5. Система арбитража шин.……………………………………………….12

2.6. Организация кэш-памяти процессора…………………………...…….12

2.7. Устройство управления…......………………………………………….14

2.8. Блок АЛУ………………………………………………………………..21

2.9. Блок предсказания переходов………………………………………….16

3. Функциональное моделирование... …………………………………….…....19

3.1. Запоминающие устройства.....………………………………………….19

3.2. Блок регистров общего назначения…………………………………....20

3.3. Блок стека………………………………………………………………..21

3.4. Блок КПДП……………………………………………………………....21

3.5. Блок кэш-памяти………………………………………………………...23

3.6. Устройство управления…………………….…………………………..25

3.7. Блок АЛУ………………………………………………………………..26

3.8. Описание временной диаграммы работы всего устройства…….……27

4. Анализ и оптимизация разработанной микро-ЭВМ. ………………………30

Заключение………………………………………………………………….…....31

Список литературы……….………………………..…………………………….32

Приложение А………………………………………..…………………………..33

Приложение Б………………………………………..…………………………..34