ANALOG DEVICES

# CMOS 180 MHz DDS/DAC Synthesizer

# AD9851

## 特征

180 MHz 时钟速率参考时钟具有 6 倍倍乘器。芯片具有高性能 10 位 DAC 和高速滞后比较器
无杂散动态范围 SFDR 为 43 分贝@ 70 MHz 的模拟输出。
32 位频率控制字
简化控制接口：并行或串行
异步加载格式
5 位相位调制和补偿能力
比较器纹波抖动<80 ps p-p @ 20 MHz
+2.7 V 至+5.25 V 单电源工作
低功耗： 555 毫瓦@ 180 兆赫
省电功能， 4 毫瓦@ 2.7 V
超小 28 引线 SSOP 封装
频带宽 正常输出工作频率范围为 0～72MHz ；

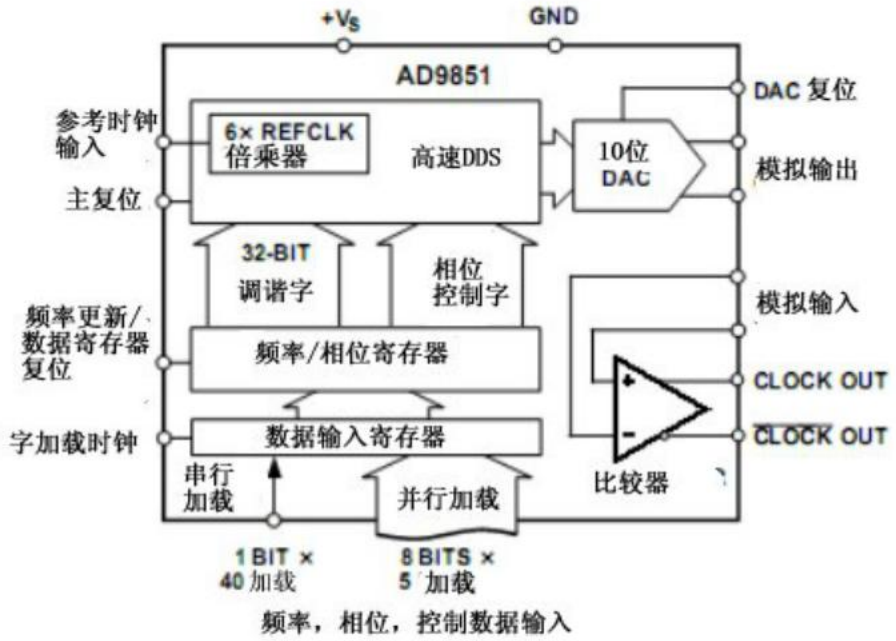
## 应用

频率/相敏正弦波合成
为进行数字通信设定时钟恢复和锁定电路
通信
数字控制的 ADC 编码发生器
敏捷 L.O 应用在正交振荡器
连续波，调幅，调频， FSK 信号，发射机的 MSK 模式。

## 概述

该 AD9851 是一种高度集成的设备，采用先进的 DDS 技术，再加上内部高速度、高性能 D / A 转换器，和比较器，使一个数字可编程频率合成器和时钟发生器功能化。当参照准确的时钟源，AD9851 可以产生一个稳定的频率和相位且可数字化编程的模拟正弦波输出。此正弦波可直接用作时钟源，在其内部转化为方波成为灵活的时钟发生器。AD9851 采用的最新的高速 DDS 内核可接受 32 位的频率控制字，180 MHz 系统时钟，分辨率为 0.04 赫兹。该 AD9851 包含一个特有的 6 × REFCLK 倍乘器电路，因此无需高速外部晶振。 6 × REFCLK 倍乘器使其有最小的无杂散动态范围 SFDR 和相位噪声特性。AD9851 提供了 5 位可编程相位调制，使移相输出的增量为 11.25° 。

## 功能方框图




该 AD9851 包含一个内部的高速比较器。可以输出一个低抖动输出脉冲。可进行频率调整，控制能将相位调谐字异步加载到 AD9851 并通过并行或串行方式载入。并行负载格式由五个迭代的 8 位控制字（字节） 。第一个 8 位字节控制输出相位， 6 × REFCLK 倍乘器，电源关闭启用和装载模式；其余字节组成 32 位频率控制字。串行加载完成是通过一个 40 位串行数据流进入通过其中一根并行输入总线。该 AD9851 采用先进的具有突破性功能的 CMOS 技术。供电电源仅 555 毫瓦功率耗散（ +5 V 电源供电） ，最大时钟速率为 180 兆赫。该 AD9851 封装采用 28 引脚 SSOP ，主流 AD9850 为 125 MHz 的频率。

## AD9851 详细说明

时钟输入特性（6 倍倍乘器未启动）：+5V 供电时最小输出频率 1MHZ，最高输出频率为 160MHZ。
+3.3V 供电时最小输出频率 1MHZ，最高输出频率为 120MHZ。
+2.7V 供电时最小输出频率 1MHZ，最高输出频率为 100MHZ。

时钟输入特性（6 倍倍乘器启动）：
+5V 供电时最小输出频率 5MHZ，最高输出频率为 30MHZ。
+3.3V 供电时最小输出频率 5MHZ，最高输出频率为 20.83MHZ。
+2.7V 供电时最小输出频率 5MHZ，最高输出频率为 16.66MHZ。

输入阻抗：1MΩ
输出阻抗：120kΩ

宽带无杂散动态范围 1.1 MHz 模拟输出 (DC to 72 MHz) +25° C IV 60 64 dBc
20.1 MHz 模拟输出 (DC to 72 MHz) +25° C IV 51 53 dBc
40.1 MHz 模拟输出(DC to 72 MHz) +25° C IV 51 55 dBc
50.1 MHz 模拟输出 (DC to 72 MHz) +25° C IV 46 53 dBc
70.1 MHz 模拟输出 (DC to 72 MHz) +25° C IV 42 43 dBc

窄带无杂散动态范围
1.1 MHz (±50 kHz) +25° C V 85 dBc
1.1 MHz (±200 kHz) +25° C V 80 dBc

40.1 MHz (± 50 kHz) +25° C V 85 dBc
40.1 MHz (± 200 kHz) +25° C V 80 dBc
70.1 MHz (± 50 kHz) +25° C V 85 dBc
70.1 MHz (± 200 kHz) +25° C V 73 dBc

器件输出特性
输入电容 +25° C V 3 pF
输出阻抗 +25° C IV 500 kΩ
输入偏差电流 +25° C I 12 μA
输入电压范围+25° C IV 0— 5 V
器件输出特性
Logic “1” +5 V Supply +25° C VI +4.8 V
Logic “1” +3.3 V Supply +25° C VI +3.1 V
Logic “1” +2.7 V Supply +25° C VI +2.3 V
Logic “0” Voltage +25° C VI +0.4 V
连续的输出电流 +25° CIV 20mA
滞后现象 +25° CIV10 mV
传输延时 +25° CIV 7 ns
转换频率 (1 V p-p Input Sine Wave) +25° C IV 200 MHz
上升/下降 时间, 15 pF Output Load +25° CIV 7 ns
输出抖动 (p-p)3 +25° C IV 80 ps (p-p)

时钟输出特性
输出抖动 (时钟发生器配置,
40 MHz 1 V 峰峰值输入正弦波) +25° C V 250 ps (p-p)
时钟输出占空比 FULL IV 50 ± 10 %

最大绝对额定值
最大节点温度 . . . . . .+150° C
存储温度 . . . . . - 65° C to +150° C
VS . . . . . +6 V
工作温度 . . . . . - 40° C to +85° C
数字输入 . . . . . - 0.7 V to +VS + 0.7 V
焊接温度 (10 sec) . . . . . .+300° C
数字输出电流 . . . . . 30 mA
SSOP 热阻抗 . . . . . 82° C/W
DAC 输出电流 . . . . . .30 mA

## 引脚功能描述

**引脚标号 /助记符**
**功能**

4 - 1,/D0 - D7
8 位数据输入. 数据端口，用于装载 32 位的频率控制字和 8 位相位控制字。 D7 为最高位

28 - 25/ D0=最低位 D7, 25 引脚, 也作为 40 位控制字串行输入引脚

5/PGND

6× REFCLK 倍乘器接口

6/PVCC
6× REFCLK 倍乘器正向供电电压引脚

7/W_CLK
数据加载时钟. 上升沿加载并行或串行频率/相位控制字异步输入到 40-bit 输入寄存器

8 /FQ_UD
频率更新 上升沿异步加载 40 位数据到内部数据寄存器对 DDS 核心起作用. FQ_UD 作用当输入寄存器只能容纳一位有效的数据。

9 /REFCLOCK
参考时钟输入. CMOS/TTL-电平脉冲, 直接或通过 6× REFCLK 倍乘器. 直接模式, 也是系统时钟. 如果 6× REFCLK 倍乘器采用, 倍乘器输出也是系统时钟。系统时钟上升沿开始工作。

10, 19/AGND
模拟地 (DAC and Comparator).
11, 18 /AVDD
模拟电路的正向供电电压 (DAC 和比较器, Pin 18) 和带隙电压参考 Pin 11.

12/ RSET
DAC 外部复位连接—3.92 kΩ电阻接地 10 mA 电流输出. 这使得 DAC 的 IOUT and IOUTB 满量程输出成为可能. RSET = 39.93/IOUT

13 /VOUTN
内部比较器负向输出端

14 /VOUTP
内部比较器正向输出端
15 /VINN
内部比较器的负向输入端。

16 /VINP
内部比较器的正向输入端。

17 /DACBP
DAC 旁路连接. 这是 DAC 旁路连接端 连接通常为 NC (无连接) 以便有很好的无杂散性能。

20 /IOUTB
互补 DAC 输出 具有和 IOUT 有相同的参数, 除去 IOUTB = (满量程输出-IOUT). 输出负载应该等于 IOUT 最好的 无杂散性能

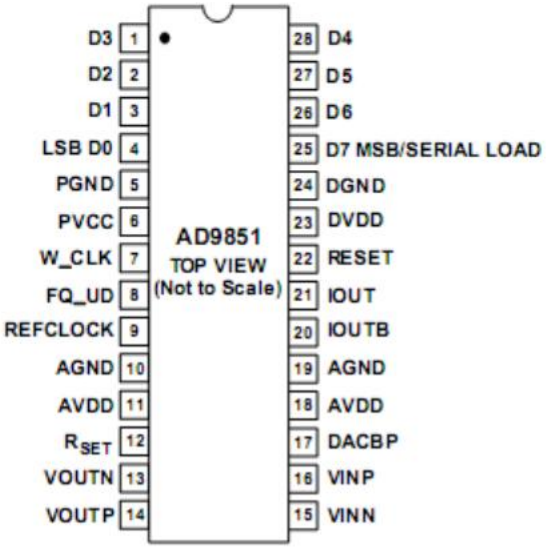
21/ IOUT
DAC 输出端转换通常是一电阻或一变压器接到地. IOUT = (满量程输出 - IOUTB)

22 /RESET

主复位引脚；高电平有效；高电平清除 DDS 累加器和相位延迟器为 0Hz 和 0 相位，同时置数据输入为并行模式以及禁止 6 倍参考时钟倍乘器工作。 未清除 40-bit 输入寄存器. RESET 优先权最高

23 /DVDD
数字电源引脚(+5Ⅴ)。

24 /DGND
数字地.




引脚图

# AD9851

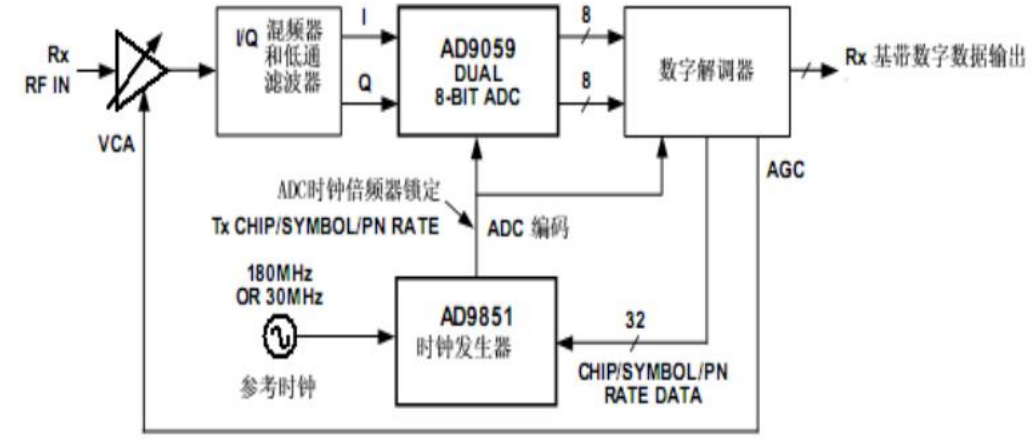



*Figure 1.* “码片速率 ”时钟发生器应用在快速光谱发接受

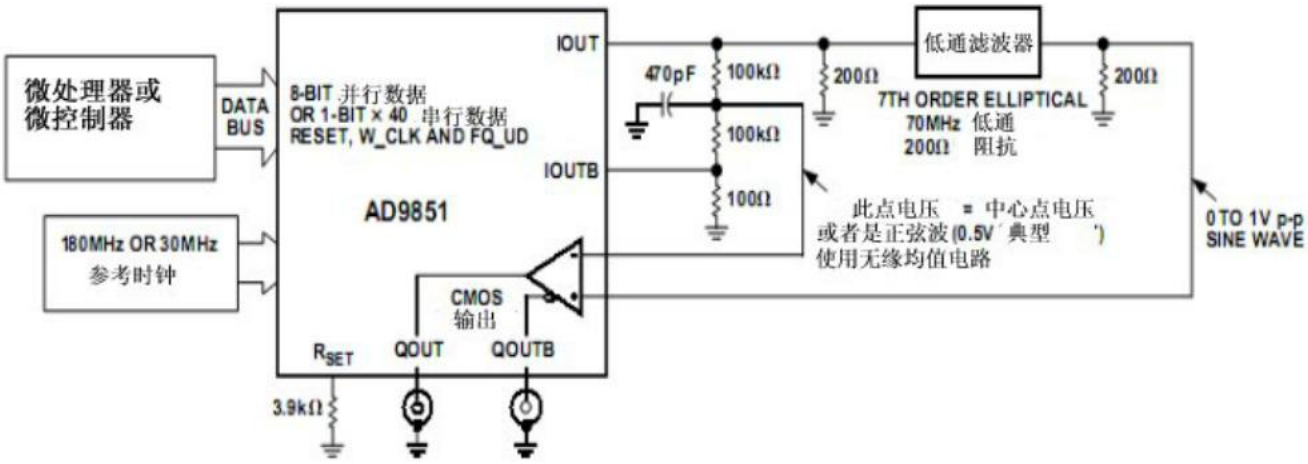



*Figure 2.* 基本时钟发生器构造

IOUT 和 IOUTB 都有 100 Ω负载. 两个 100 kΩ电阻器“样品”都有输出，输出值是这两个输出电压的平均值。带有 470 pF 电容 的滤波器和和施加到比较器的输入作为数字开关门限。

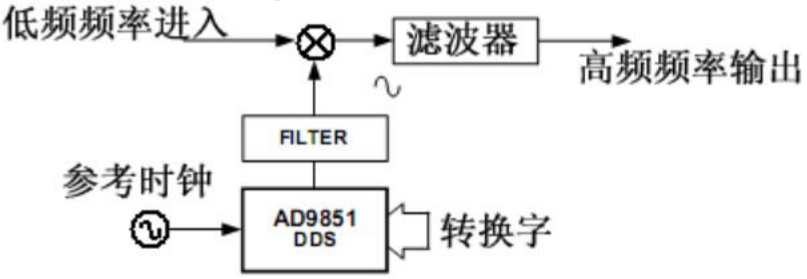



*Figure 3.* 频率/ 相敏 本机振荡器频率
混频被乘

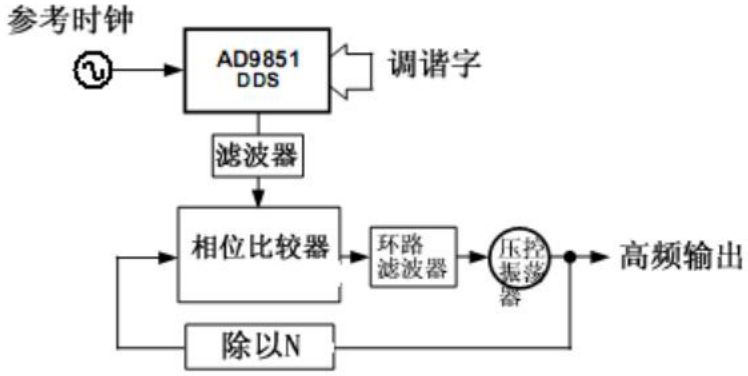



*Figure 4.* 锁相环参考频率/相敏

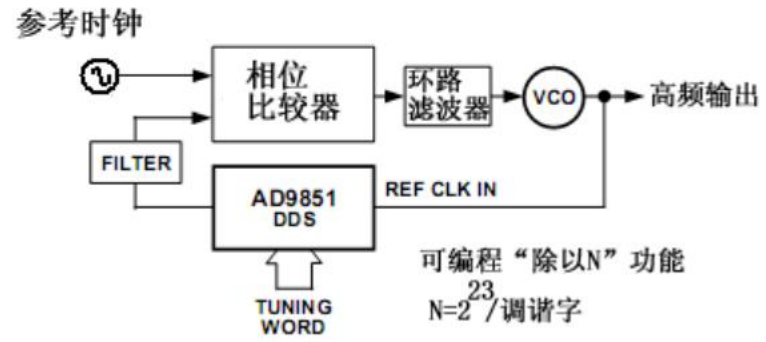
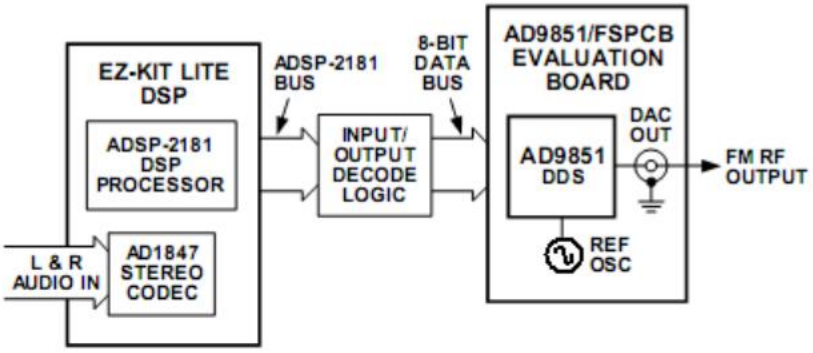
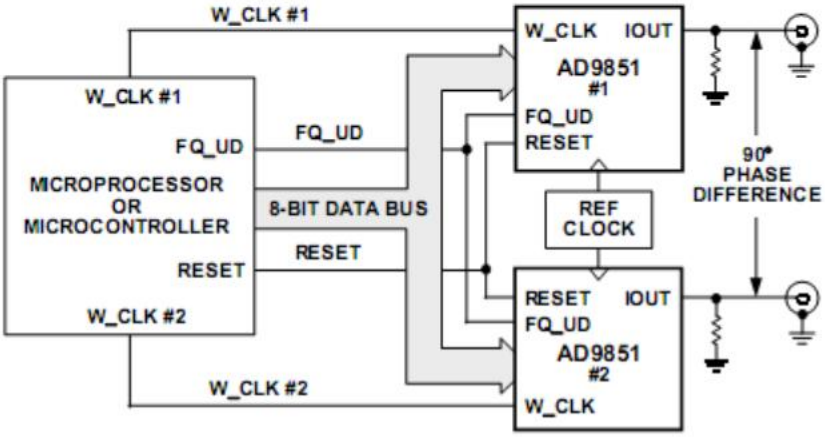



*Figure 5. Digitally-Programmable “Divide-by-N” Function in PLL*




在一个 reset 命令发出后，W_CLK 允许独立的编程每个 AD9851 40 位输入寄存器，通过 8 位数据总线或串行输入引脚。FQ_UD 脉冲发出后结果是完成这两个振荡器输出程序指定的频率和相位。

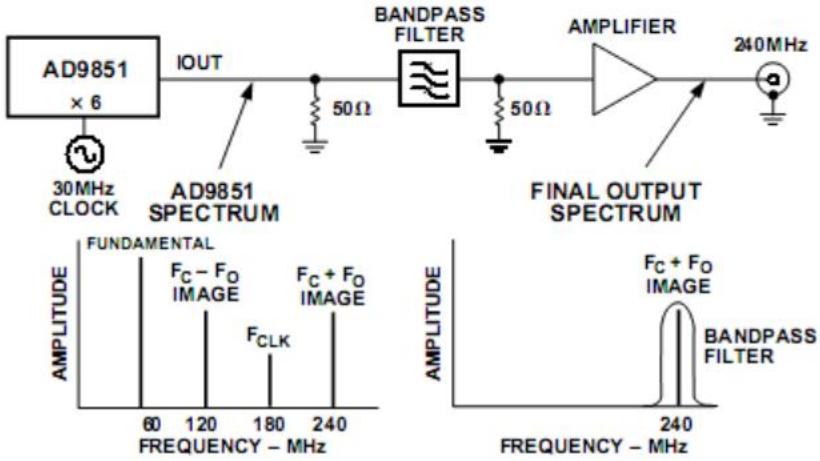



*Figure 8. Deriving a High Frequency Output Signal from the AD9851 by Using an "Alias" or Image Signal*

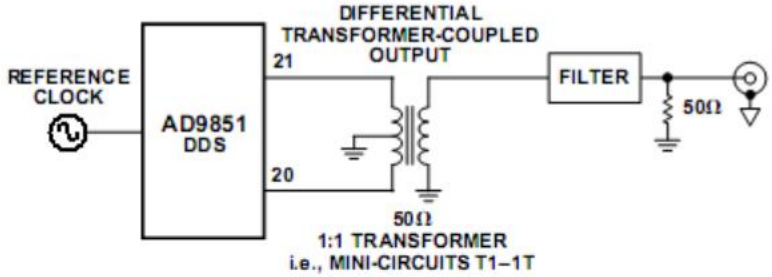



*Figure 9. Differential DAC Output Connection for Reduction of Common-Mode Signals*

AD9851 RSET 投入启动是由外部的 DAC（图 10 ）提供调幅，数字振幅控制 DAC 的输出电流。

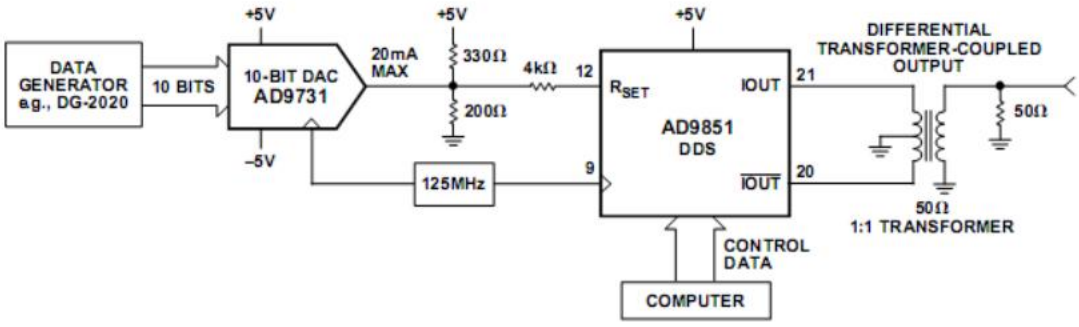



*Figure 10. The AD9851 $R_{SET}$ Input Being Driven by an External DAC*

# AD9851

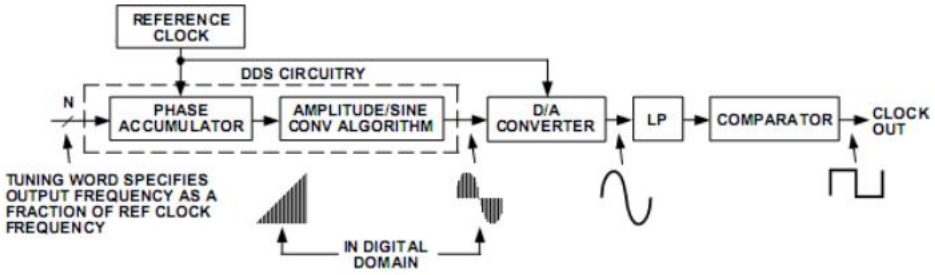



*Figure 11. Basic DDS Block Diagram and Signal Flow of AD9851*

操作和应用

AD9851 为直接数字频率合成器（ DDS ）技术形式的数控振荡器 ，用以产生频率/相敏正弦波。数字正弦波转换为模拟形式，通过内部 10 位高速数/模转换器。一个片上高速比较器提供模拟正弦波和低抖动 TTL/CMOS-兼容的方波。 DDS 技术是一种创新性电路架构，能够快速和精确的操纵其输出控制字，为全数字控制模式。 DDS 还可以启动高分辨率，能够选择输出频率。该 AD9851 允许输出频率分辨率约 0.04 赫兹。可直接选用 180M 时钟频率或直接使用参考时钟的 6 × REFCLK 倍乘器。AD9851 的输出波形的相位可连续从一个输出频率变化到另一个。

基本功能方框图和信号流图

AD9851 配置的时钟发生器如图 11 。电路是一种数字分频器功能，其增量分辨率由系统时钟和 N（位数调整字）决定，相位累加器是一个可变模计数器，其数值递增并储存是在每次收到一个时钟脉冲后。当计数器达到满量程开始出现“环绕”使相位累加器输出相持续。频率调谐字控制设置计数器模式，这有效地确定了在下一时刻的模增量。其值越大的递增的越快，越能加快累加器环绕，导致更高的输出频率。

AD9851 采用了一种特有的“角度轮换“的数学算法，值转换为 14 位截断值。32 位相位累加器由 DAC 量化使其振幅为 10 位。降低了 AD9851 功耗。

AD9851 系统时钟和调谐字输出频率之间的关系表示：

$$f_{OUT} = (\Delta\ Phase \times System\ Clock)/2^{32}$$

ΔPhase =十进制值的 32 位频率调谐字。

系统时钟=直接输入参考时钟或 6 倍频的输入时钟（如果 6 × REFCLK 乘法器启动）。

fOUT = 输出信号的频率 in MHz.

数字正弦波输出的 DDS 的核心驱动器为内部高速 10 位 D / A 转换器，输出为正弦波模拟形式。这种 DAC 优化了动态性能，从而使 AD9851 具有低杂散和低抖动性能 。DAC 可以工作在任一单端，图 2 和 8 ，输出不同的波形，图 9 和图 10 。 DAC 输出电流和 RSET 值由下式决定：

IOUT = 39.93/RSET

RSET = 39.93/IOUT

由于 AD9851 产生的是一个取样信号，其输出频谱遵循奈奎斯特采样定理。具体来说，其输出频谱中包含的基本波和锯齿信号（图像）。该图反映了发生在整数倍数的系统时钟频率±选定的输出频率。图形代表抽样频谱，与锯齿图像显示在图 12 。正常使用的带宽被视为延长的 DC 为 1 / 2 系统时钟。

例如在图 12 所示，该系统是 100 兆赫的时钟输出频率设定值为 20 兆赫输出。可以看出，锯齿波是非常突出的，并有相对较高的能量。

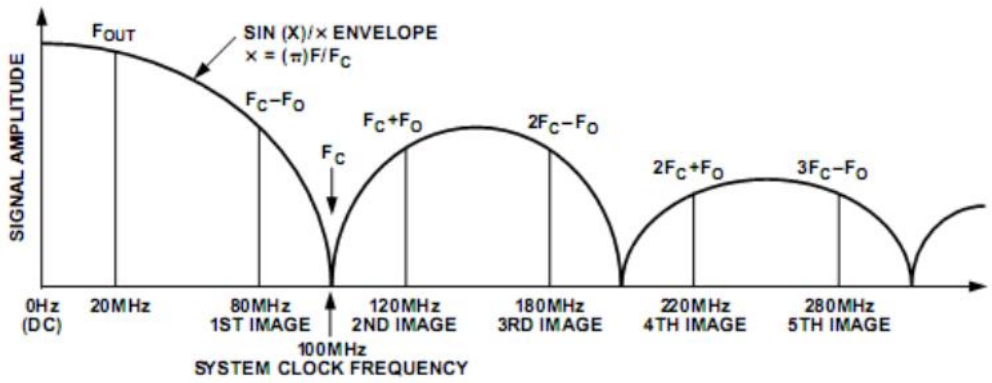



*Figure 12. Output Spectrum of a Sampled Sin(X)/X Signal*

**功能控制字在表 1 和表 3**

更新输出频率和相位或复位电路，倍乘器以及电源方式的时序图为图表 13 - 20。编程实例：

1. 相位设置为 11.25 度
2. 6 倍时钟倍乘器启动
3. 供电模式选择。
4. 输出= 10 兆赫（ 180 MHz 系统时钟）。

在并行模式下，用户将程序的 40 位控制字（分 5 个 8 位加载）做如下处理：

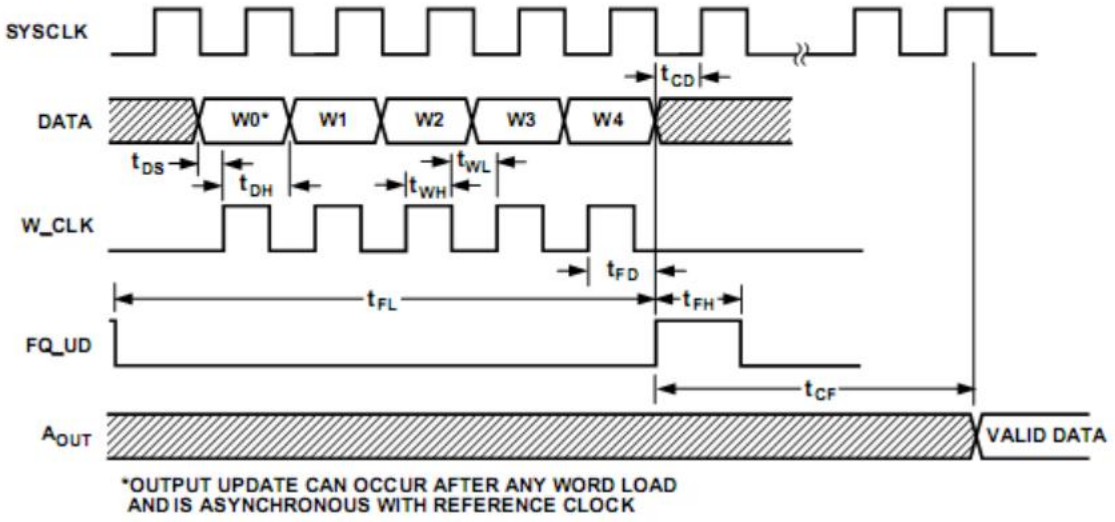
W0 = 00001001
W1 = 00001110
W2 = 00111000
W3 = 11100011
W4 = 10001110

如果是在串行模式下加载 40 位数据从上面数组 W4 的最低位开始加载过程从右到左，以 W0 的最高位结束。

**表一， 8 位并行，加载数据/控制字功能分配**

| 控制字 | 数据 [7] | 数据 [6] | 数据 [5] | 数据 [4] | 数据 [3] | 数据 [2] | 数据 [1] |
|---|---|---|---|---|---|---|---|
| W0 | 相位 –b4 最高位 | Phase–b3 | Phase–b2 | Phase–b1 | 相位 –b0 最低位 | 电源模式 | Logic 0* |
| W1 | 频率 –b31 最高位 | Freq–b30 | Freq–b29 | Freq–b28 | Freq–b27 | Freq–b26 | Freq–b25 |
| W2 | Freq–b23 | Freq–b22 | Freq–b21 | Freq–b20 | Freq–b19 | Freq–b18 | Freq–b17 |
| W3 | Freq–b15 | Freq–b14 | Freq–b13 | Freq–b12 | Freq–b11 | Freq–b10 | Freq–b9 |
| W4 | Freq–b7 | Freq–b6 | Freq–b5 | Freq–b4 | Freq–b3 | Freq–b2 | Freq–b1 |

*此位总是逻辑 0 除非援引串行模式（见图 17 ） 。若串行模式已经设置，这一数据位必须设置回到逻辑 0 运行。



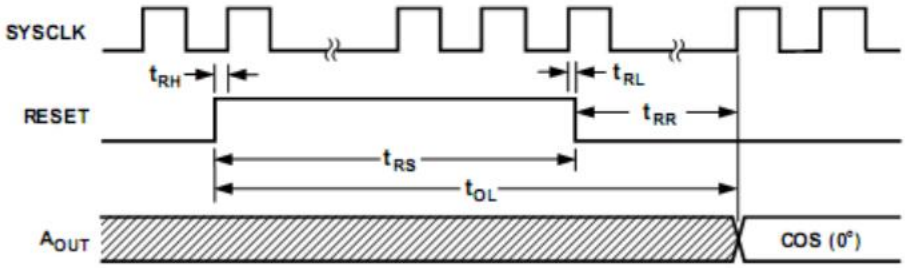

在任何控制字加载完之后以及异步参考时钟变化都能引起输出数据更新

注意：要更新 W0 没有必要再次加载 W1 到 W4。只要加载 W0 和声明 FQ_UD 。要更新 w1，需重新加载 w0 到 w4。

**Table II.** 时间说明

| 符号 | 定义 | 最短时间 |
|---|---|---|
| $t_{DS}$ | 数据建立时间 | 3.5 ns |
| $t_{DH}$ | 数据保持时间 | 3.5 ns |
| $t_{WH}$ | W_CLK 高电平 | 3.5 ns |
| $t_{WL}$ | W_CLK 低电平 | 3.5 ns |
| $t_{CD}$ | REFCLK Delay after FQ_UD | 3.5 ns* |
| $t_{FH}$ | FQ_UD 高电平 | 7.0 ns |
| $t_{FL}$ | FQ_UD 低电平 | 7.0 ns |
| $t_{FD}$ | FQ_UD Delay after W_CLK | 7.0 ns |
| $t_{CF}$ | Output 潜伏时间om FQ_UD | |
| | 频率改变 | 18 SYSCLK Cycles |
| | 相位改变 | 13 SYSCLK Cycles |

*Specification does not apply when the 6× REFCLK Multiplier is engaged.




| SYMBOL | DEFINITION | MIN SPEC |
|---|---|---|
| $t_{RH}$ | CLK DELAY AFTER RESET RISING EDGE | 3.5ns* |
| $t_{RL}$ | RESET FALLING EDGE AFTER CLK | 3.5ns* |
| $t_{RR}$ | RECOVERY FROM RESET | 2 SYSCLK CYCLES |
| $t_{RS}$ | 最小复位高电平脉宽 | 5 SYSCLK CYCLES |
| $t_{OL}$ | RESET 输出潜伏期 | 13 SYSCLK CYCLES |

*SPECIFICATIONS DO NOT APPLY WHEN THE REF CLOCK MULTIPLIER IS ENGAGED

*Figure 14.* 主复位时序

复位结果，如图 14

-相位累加器清零输出= 0 赫兹（直流） 。

-相位偏移寄存器设置为零这种数模转换器输出=全量程输出和 IOUTB = 0 mA 输出。

-内部编程地址指针重置为 W0 。

-电源模式式位重置为“ 0 ” （电源关闭停用） 。

- 40 位数据输入寄存器并没有清零。

-6 ×参考时钟乘法器已被禁用。

-并行编程模式默认情况下选中的。

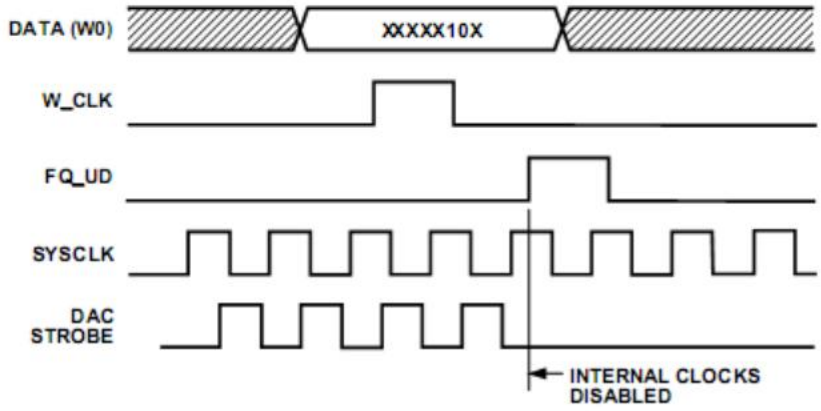



*Figure 15.* 并行加载电源关闭模式时序/内部操作

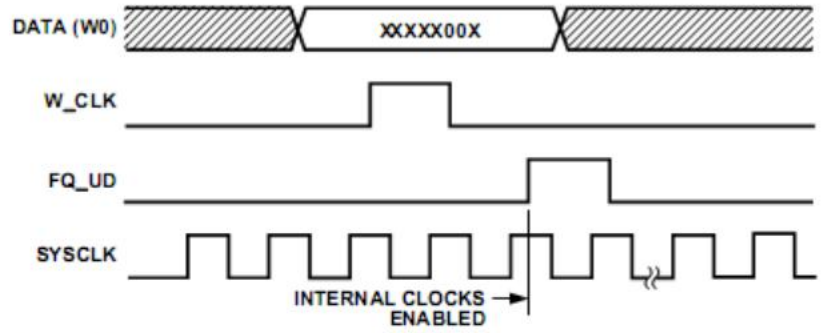



*Figure 16.* 并行加载电源开模式时序(从电源关闭模式激活)/内部操作

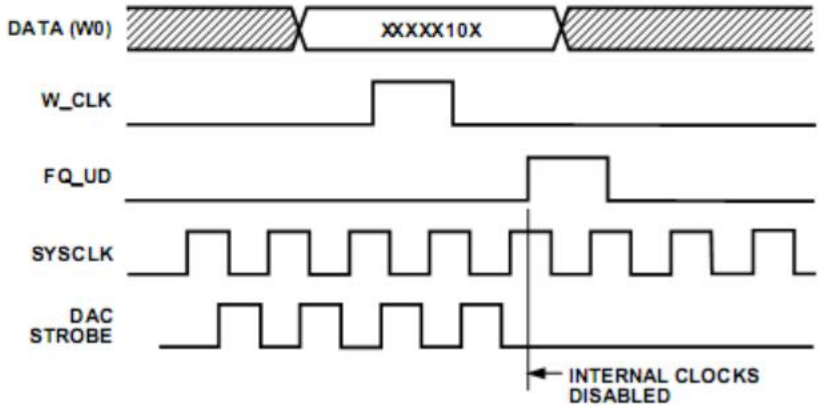



*Figure 15.* 并行加载电源关闭模式时序/内部操作

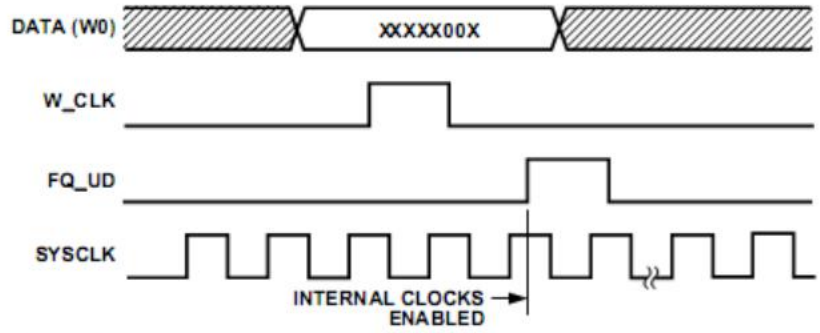



*Figure 16.* 并行加载电源开模式时序(从电源关闭模式激活)/内部操作

进入行模式，
图 17 ，为并行模式
这是复位后默认选中的。一个只需要前 8 位程序编制（字 W0 ）序列 xxxxx011 如图所示（图 17）改变从并行
到串行模式。W0 控制字可传送 8 位数据到数据总线如图 18 所示 。当串行模式实现后，用户必须遵循编程序列图 19 。

8 位数据到数据总线如图 18 所示 。当串行模式实现后，用户必须遵循编程序列图 19 。

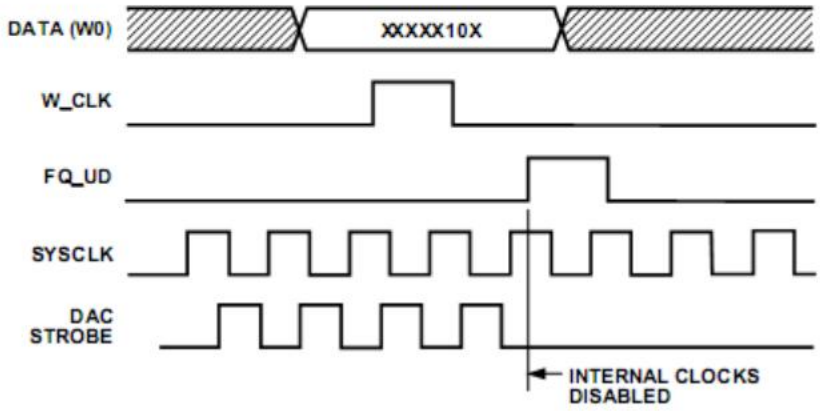



*Figure 15.* 并行加载电源关闭模式时序/内部操作

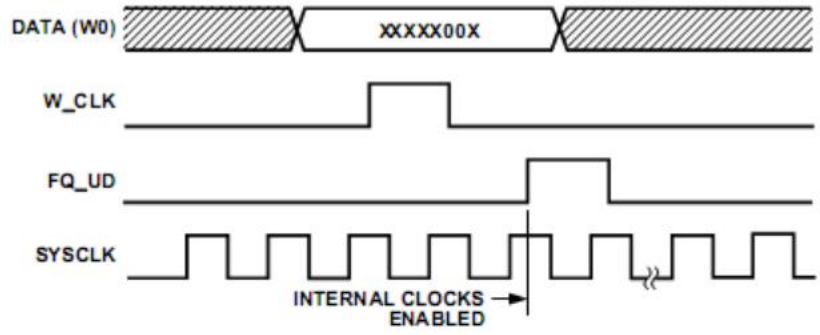



*Figure 16.* 并行加载电源开模式时序(从电源关闭模式激活)/内部操作

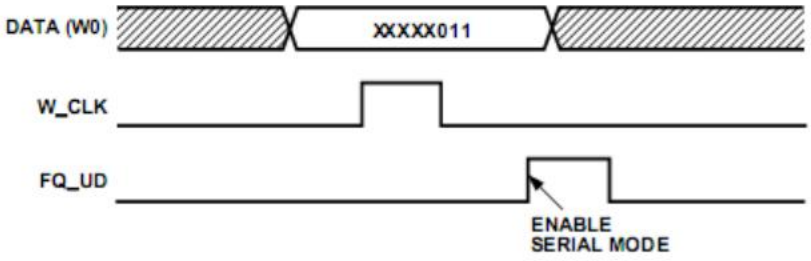



*Figure 17.* 串行加载启动时序

注意：串行模式调用后最好是立即写一个有效的 40 位串行字（见图 19 ） ，即便所有为零，随后 FQ_UD 上升沿冲洗留在 DDS 内核的“残余数据”数据。40 位串行字为任何字只要求其中 W33 是逻辑 0 。

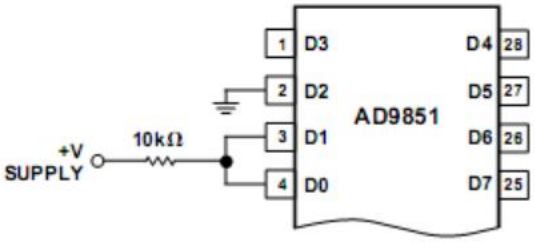



*Figure 18.* 硬件连接 *xxxxx011*配置串行加载
启动字 *W0 in Figure 17*

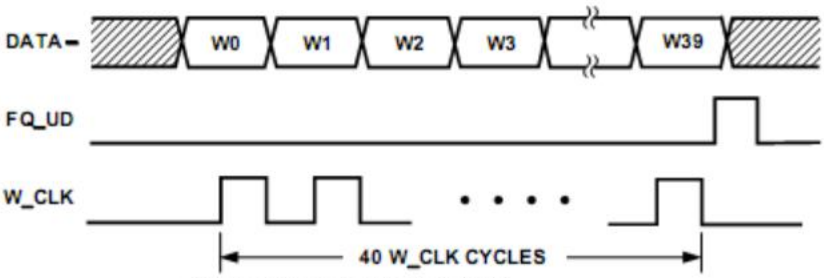



*Figure 19.* 串行加载频率/相位更新序列

**Table III.** 40位串行加载字功能描述

| | |
|---|---|
| W0 | Freq-b0 最低位 |
| W1 | Freq-b1 |
| W2 | Freq-b2 |
| W3 | Freq-b3 |
| W4 | Freq-b4 |
| W5 | Freq-b5 |
| W6 | Freq-b6 |
| W7 | Freq-b7 |
| W8 | Freq-b8 |
| W9 | Freq-b9 |
| W10 | Freq-b10 |
| W11 | Freq-b11 |
| W12 | Freq-b12 |

*This bit is always Logic 0.

| | |
|---|---|
| W13 | Freq-b13 |
| W14 | Freq-b14 |
| W15 | Freq-b15 |
| W16 | Freq-b16 |
| W17 | Freq-b17 |
| W18 | Freq-b18 |
| W19 | Freq-b19 |
| W20 | Freq-b20 |
| W21 | Freq-b21 |
| W22 | Freq-b22 |
| W23 | Freq-b23 |
| W24 | Freq-b24 |
| W25 | Freq-b25 |
| W26 | Freq-b26 |

| | |
|---|---|
| W27 | Freq-b27 |
| W28 | Freq-b28 |
| W29 | Freq-b29 |
| W30 | Freq-b30 |
| W31 | Freq-b31 最高 |
| W32 | 6× REFCLK 倍 |
| W33 | Logic 0* |
| W34 | Power-Down |
| W35 | Phase-b0 (LSB) |
| W36 | Phase-b1 |
| W37 | Phase-b2 |
| W38 | Phase-b3 |
| W39 | Phase-b4 (MSB) |

从开机到关机状态，需改变 W34 为逻辑 0 。唤醒掉电模式大约需要 5 微秒。
注： AD9851 的 40 位输入寄存器在断电模式不清零。

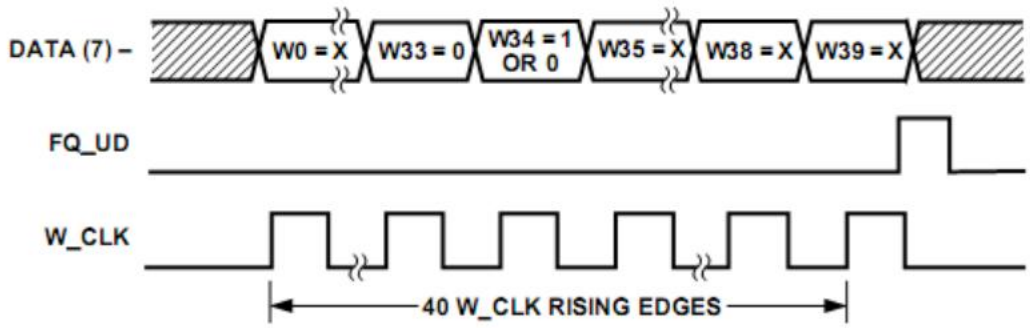
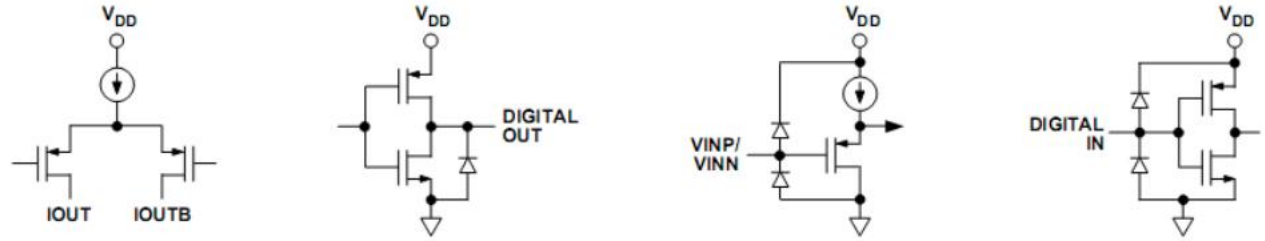



*Figure 20.* 串行加载电源开/电源关模式 时序




*a. DAC Output* b. 比较器输出 c. 比较器输入 *d. Digital Input*

*Figure 21. I/O* 等效电路

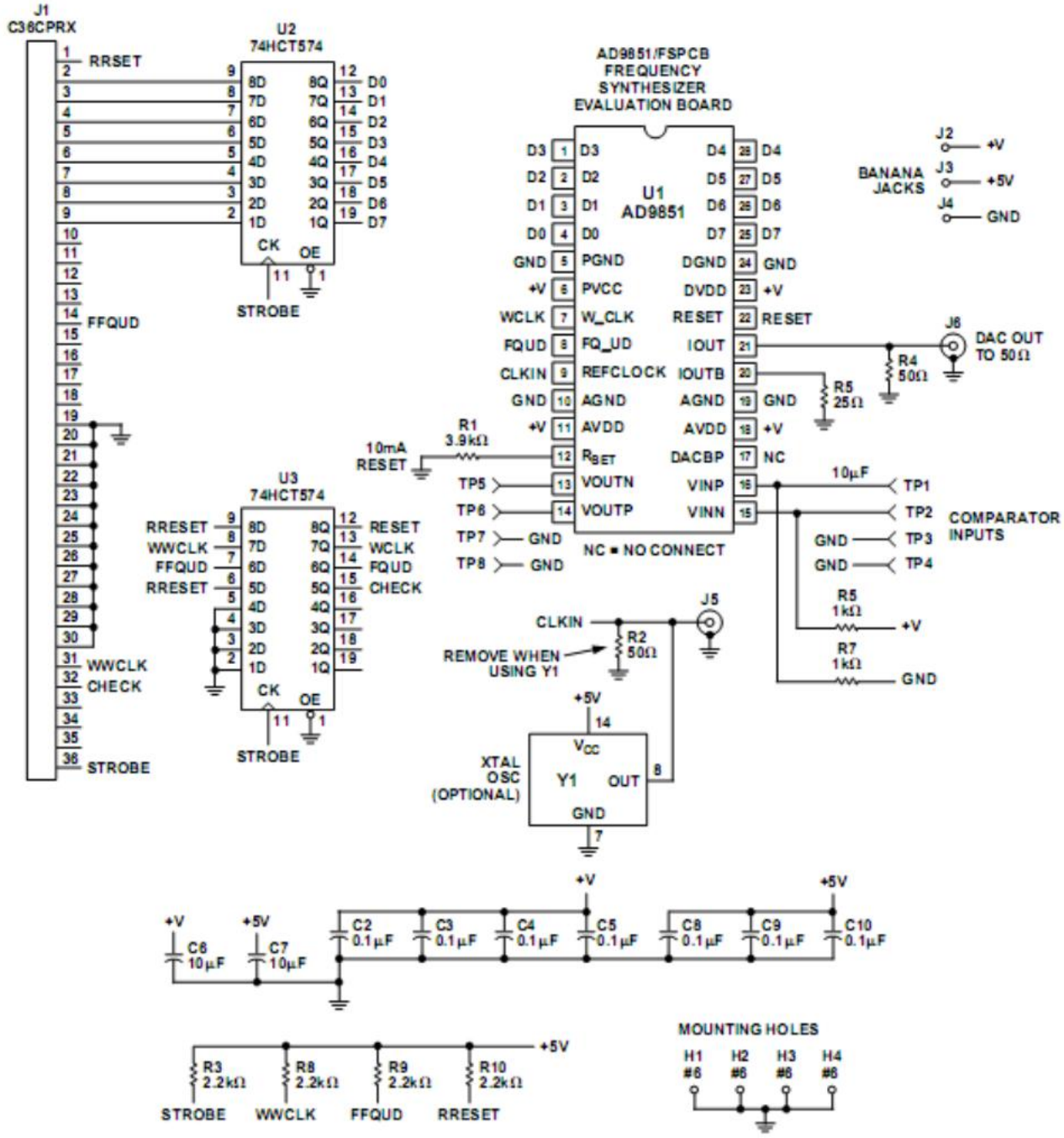



*Figure 22. FSPCB Electrical Schematic*

电路原理图

# OVER

## 其他资料补充：

## 控制方式

AD9851 内部有 5 个输人 寄存器 ，储存来自外部数据总线的 32 位频率控制字 5 位相位控制字，一位 6 倍参考时钟倍乘器使能控制， 一位电源休眠 。功能( powerdown )控制和一位逻辑 0。寄存器接收数据的方式有并行和串行两种方式。

并行方式如图 3 所示 ， 是通过 8 位数据总线 D0～D7 来完成全部 40 位控制数据的输人。复位信号 R E S E T 有效会使输人数据地址指 针指 向第一个输人寄存器 ， W— C L K 上升沿写人第一组 8 位数据，并 把指针指向下一个输人寄存器，连续 5 个 W— C L K 上升沿后 ，即完成全部 4 0 位控制数据 的输人 ，此后 W— CL K 信号的边沿无墩。当 F Q— UD 上升沿到来 之际 4 0 位数据会从输人寄存器被写人频率和相位 控制寄存器 ，更新 DDS 的输出频率和相位， 同时把地址指针复位到第一个输入寄存器， 等待着下一组新数据的写入。

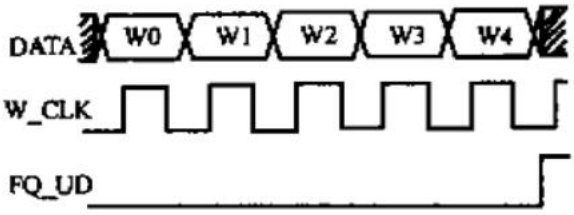



图 3 并行方式工作时序图

串行方式如图 4 所示， W C L K 上 升沿把引脚 D 7 上的数据按位串行穆入到输入寄存器 ， 4 0 位输入结束后，任何 W C L K 上升沿到来都会造成数据顺序移出并导致原来数据无效，此时 FQUD 端的上升脉冲就可以使 40 位数据更新芯片的输出频率和相位。

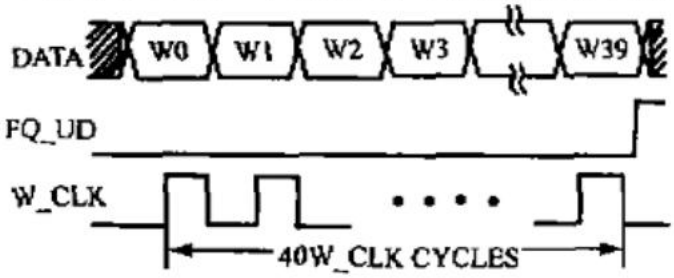



图 4 串行工作方式时序图

最终合成信号的频率可由公式( 1 ) 来决定 ， 合成信号的相位由公式( 2 ) 来决定。

$$F = F_M F_C / 2^N \qquad (1)$$

$$\theta = 2\pi F_N / 2^M \qquad (2)$$

## D D S基本原理及性能特点

D D S的基本原理是利用采样定理，通过查表法产生波形。D D S的结构有很多种，其基本的电路原理可用图 3 来表示。

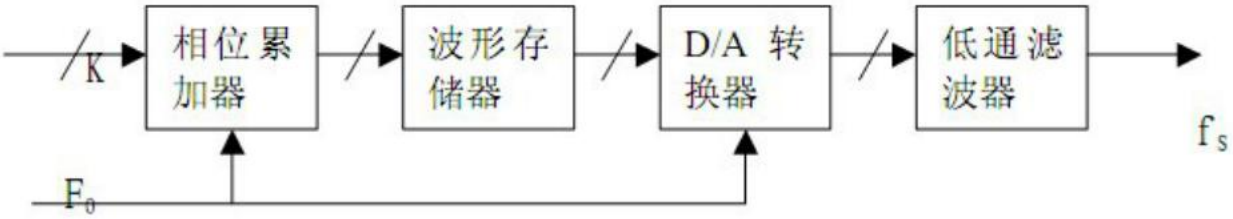



图 3

相位累加器由N位加法器与N位累加寄存器级联构成。每来一个时钟脉冲 f s，加法器将频率控制字 k 与累加寄存器输出的累加相位数据相加，把相加后的结果送至累加寄存器的数据输入端。累加寄存器将加法器在上一个时钟脉冲作用后所产生的新相位数据反馈到加法器的输入端，以使加法器在下一个时钟脉冲的作用下继续与频率控制字相加。这样，相位累加器在时钟作用下，不断对频率控制字进行线性相位累加。由此可以看出，相位累加器在每一个时钟脉冲输入时，

把频率控制字累加一次，相位累加器输出的数据就是合成信号的相位，相位累加器的溢出频率就是ＤＤＳ输出的信号频率。 用相位累加器输出的数据作为波形存储器（ＲＯＭ）的相位取样地址，这样就可把存储在波形存储器内的波形抽样值(二进制编码)经查找表查出，完成相位到幅值转换。波形存储器的输出送到Ｄ／Ａ转换器，Ｄ／Ａ转换器将数字量形式的波形幅值转换成所要求合成频率的模拟量形式信号。低通滤波器用于滤除不需要的取样分量，以便输出频谱纯净的正弦波信号。 ＤＤＳ在相对带宽、频率转换时间、高分辨力、相位连续性、正交输出以及集成化等一系列性能指标方面远远超过了传统频率合成技术所能达到的水平，为系统提供了优于模拟信号源的性能。

（１）输出频率相对带宽较宽

输出频率带宽为５０％ｆｓ（理论值）。但考虑到低通滤波器的特性和设计难度以及对输出信号杂散的抑制，实际的输出频率带宽仍能达到４０％ｆｓ。

（2）频率转换时间短

DDS是一个开环系统，无任何反馈环节，这种结构使得DDS的频率转换时间极短。事实上，在DDS的频率控制字改变之后，需经过一个时钟周期之后按照新的相位增量累加，才能实现频率的转换。因此，频率转换的时间等于频率控制字的传输时间，也就是一个时钟周期的时间。时钟频率越高，转换时间越短。DDS的频率转换时间可达纳秒数量级，比使用其它的频率合成方法都要短数个数量级。

（3）频率分辨率极高

若时钟fs的频率不变，DDS的频率分辨率就由相位累加器的位数N决定。只要增加相位累加器的位数N即可获得任意小的频率分辨率。目前，大多数DDS的分辨率在1Hz数量级，许多小于1mHz甚至更小。

（4）相位变化连续

改变DDS输出频率，实际上改变的每一个时钟周期的相位增量，相位函数的曲线是连续的，只是在改变频率的瞬间其频率发生了突变，因而保持了信号相位的连续性。

（5）输出波形的灵活性

只要在DDS内部加上相应控制如调频控制FM、调相控制PM和调幅控制AM，即可以方便灵活地实现调频、调相和调幅功能，产生FSK、PSK、ASK和MSK等信号。另外，只要在DDS的波形存储器存放不同波形数据，就可以实现各种波形输出，如三角波、锯齿波和矩形波甚至是任意的波形。当DDS的波形存储器分别存放正弦和余弦函数表时，既可得到正交的两路输出。

（6）其他优点

由于DDS中几乎所有部件都属于数字电路，易于集成，功耗低、体积小、重量轻、可靠性高，且易于程控，使用相当灵活，因此性价比极高。

**//51 单片机 DDS 测试程序**

```
#include <reg51.h>//头文件
//定义 AD9851 与 98C51 的接口
sbit W_CLK = P3^0;
sbit FQ_UD = P3^1;
sbit RESET = P3^2;

/***频率算法公式*****/
/****f 是输出的频率****//*******32 位控制字为：Fm ＝(f*0xFFFFFFFF)/内部时钟 *******/
unsigned long int Fm=0x0003a411; //实验时候自己设了 1KHz 结果很精确。外时钟用信号了生器 3MHz！！
unsigned char data tab[]={0x01,0x00,0x00,0x00,0x00};//（W0） （W4 W3 W2 W1）高——低）注意顺序!
//延时程序
void delay(unsigned int i)
{
while(i--);
}
// 分 32 位数据分解为 4 个字节存于 tab[]数组的后四个单元，tab[0]为相位和频率的设置单元
void chang(unsigned long int t)
{
unsigned char *i;
i=&t;
tab[1]=(char)*i;
tab[2]=(char)*(i+1);
tab[3]=(char)*(i+2);
tab[4]=(char)*(i+3);
}
/***主程序*****/
void main(void)
{ unsigned char i;
FQ_UD=0;delay(1);
```

```
W_CLK=0;delay(1);
RESET=1;delay(1); //上电先复位一次
RESET=0;delay(1);
chang(Fm); //分离四字节程序
for(i=0;i<5;i++) //****写 AD8951***5 个字节*********
{ W_CLK=0;delay(1);
P1=tab;
W_CLK=1;
}
FQ_UD=1;delay(1);//输出
FQ_UD=0;delay(1);
while(1);
}
```

凌阳单片机 AD9851 的驱动程序

```
//====================================================================
//                Copyright (C), 2006, HUST.
//    ----Filename:    AD9851.c
//    -Description:    AD9851 驱动
//    -----History:        06/8/29    V1.0    Edit By L.F.
//====================================================================
#include "SPCE061A.h"
//变量说明
unsigned long int Freq_Ctrl_Word = 0x051eb851;    //频率控制字    先传低位再传高位
unsigned int Phase_Ctrl_Word = 0x0000; //相位控制字        先传低位再传高位
unsigned int Order_Ctrl_Word = 0x0000;//b32:0 6 倍频关闭 b33b34:00 电源工作模式
//定义 AD9851 与 SPCE061A 的接口
#define M_DATA    0x0001
#define M_UD            0x0002
#define M_CLK        0x0004
#define Set_IOA_Bit(x)         (*P_IOA_Data = *P_IOA_Buffer | x)                //置高
#define    Clear_IOA_Bit(x)    (*P_IOA_Data = *P_IOA_Buffer & ~x)            //置低
//====================================================================
// ----Function:    void Init_AD9851(void)
// -Description: 初始化与 AD9851 连接的 IO 口
// --Parameters:    无
// ------Return:    无
// -------Notes:    不影响其他 IO 口
//====================================================================
void Init_AD9851(void)
{
    *P_IOA_Dir |= (M_DATA + M_UD + M_CLK);
    *P_IOA_Attrib |= (M_DATA + M_UD + M_CLK);
    *P_IOA_Data &= ~(M_DATA + M_UD + M_CLK);
}
//====================================================================
// ----Function: void Write_AD9851(void)
// -Description: 向 AD9851 写入频率控制字,命令控制字和相位控制字
// --Parameters:    无
// ------Return:    无
// -------Notes:    无
//====================================================================
void Write_AD9851(void)
{
    unsigned long int mask = 0x0001;
    unsigned int i;
    Clear_IOA_Bit(M_UD);    //M_UD 置低
    //送 32 位频率控制字
    for(i = 0;i < 32;i++)
    {
        Clear_IOA_Bit(M_CLK); //M_CLK 置低
```

```
        if(Freq_Ctrl_Word & mask)
        {
            Set_IOA_Bit(M_DATA);
        }
        else
        {
            Clear_IOA_Bit(M_DATA);
        }
        Set_IOA_Bit(M_CLK);
        mask = mask << 1;
    }
    //送 3 位的命令控制字
    mask = 0x0001;
    for(i = 0;i < 3;i++)
    {
        Clear_IOA_Bit(M_CLK); //M_CLK 置低
        if(Order_Ctrl_Word & mask)
        {
            Set_IOA_Bit(M_DATA);
        }
        else
        {
            Clear_IOA_Bit(M_DATA);
        }
        Set_IOA_Bit(M_CLK);
        mask = mask << 1;
    }
    //送 5 位相位控制字
    mask = 0x0001;
    for(i = 0;i < 5;i++)
    {
        Clear_IOA_Bit(M_CLK); //M_CLK 置低
        if(Phase_Ctrl_Word & mask)
        {
            Set_IOA_Bit(M_DATA);
        }
        else
        {
            Clear_IOA_Bit(M_DATA);
        }
        Set_IOA_Bit(M_CLK);
        mask = mask << 1;
    }
    Set_IOA_Bit(M_UD);    //M_UD 置高 ,产生上升沿 ,频率更新使能,输出有效
}
//=====================================================================
//=====================================================================
```