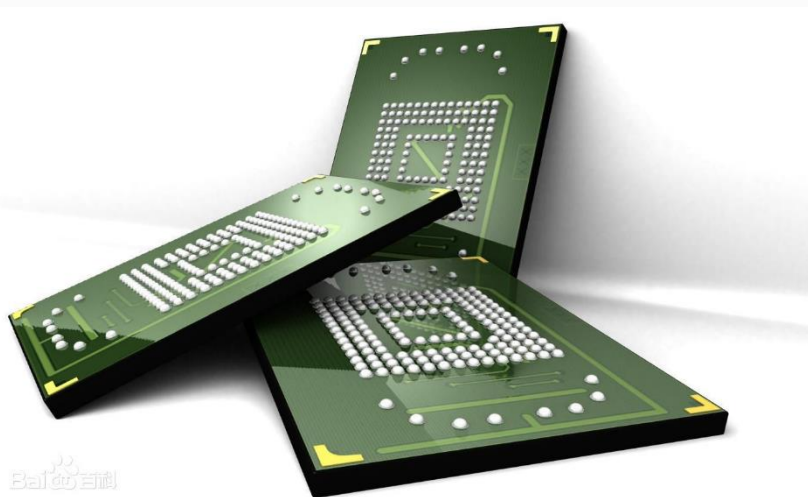
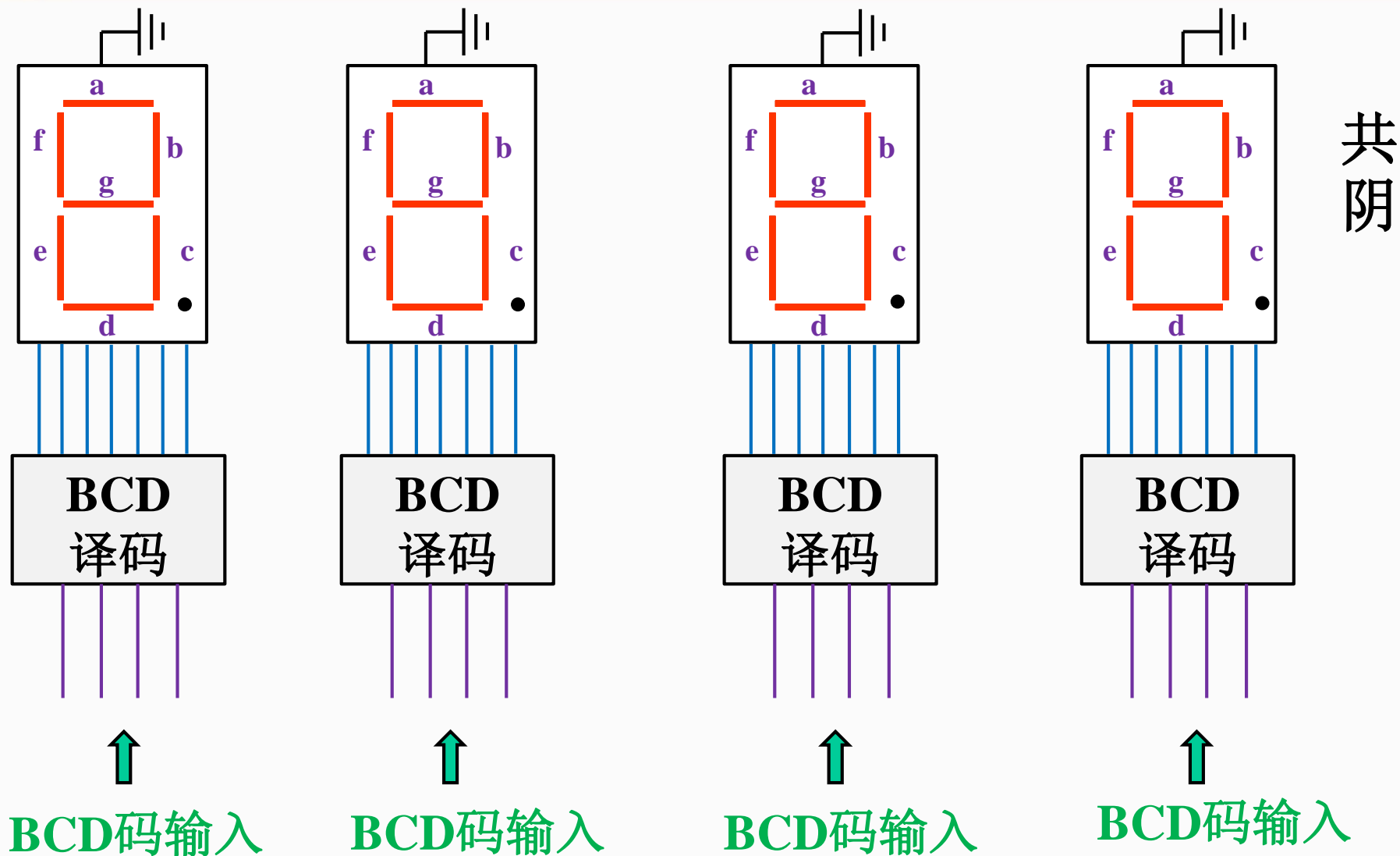


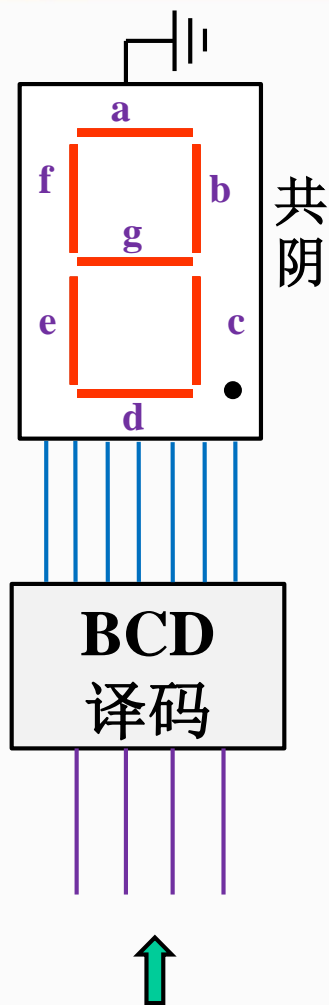
数字系统综合设计





译码与显示 — 静态显示



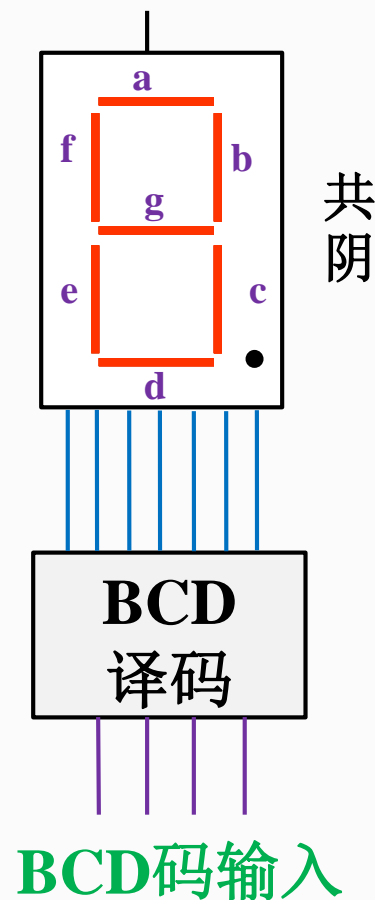


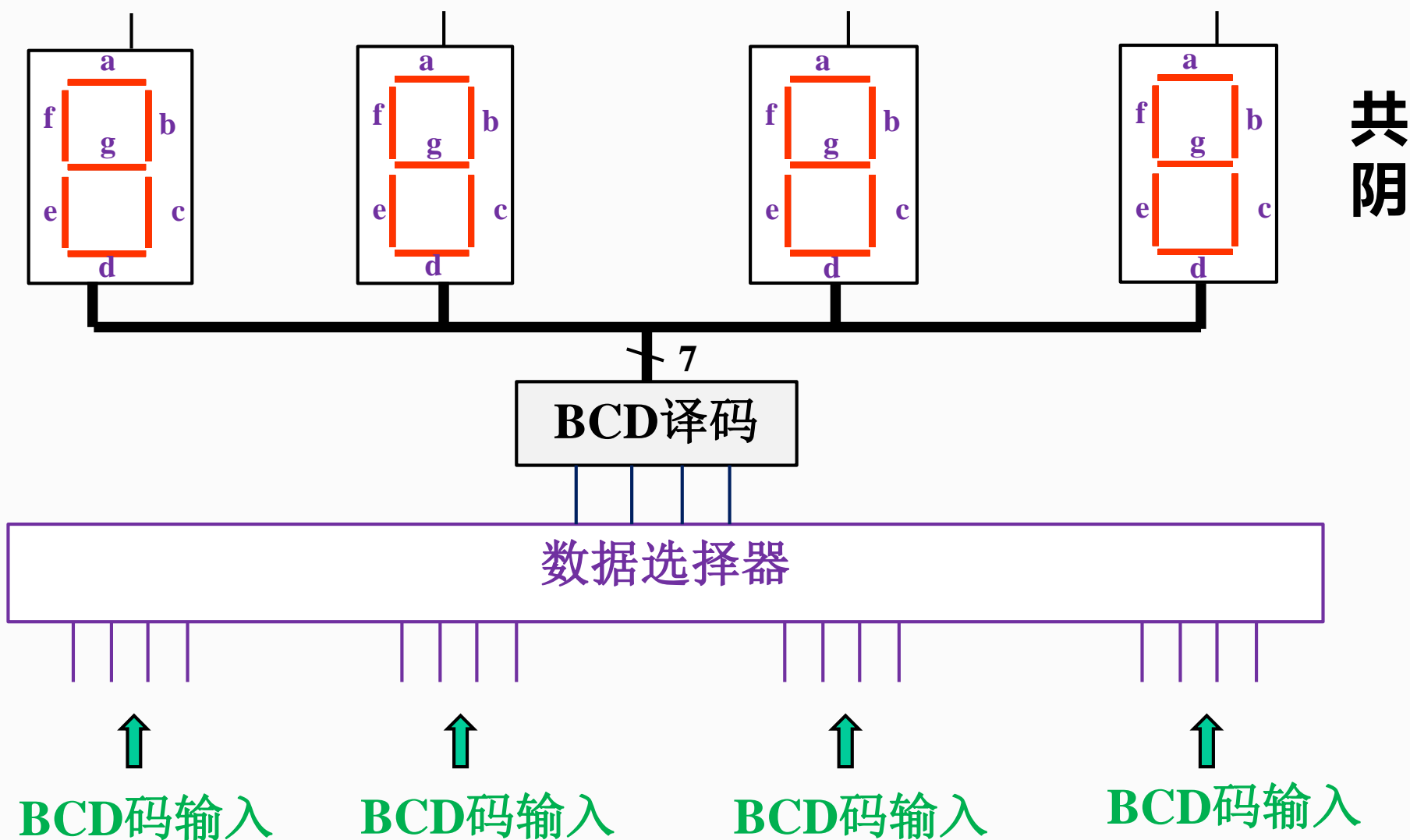
设BCD码输入为**0111**，则BCD译码器
abcdefg输出为 **[填空1]**，数码管显示的数
 字为 **[填空2]**。

设BCD码输入为0111，如果数码管阴极悬空，则数码管显示为

- ☐ A 数字 7
- ☐ B 字母 b
- ☐ C 数字 0
- ☒ D 熄灭

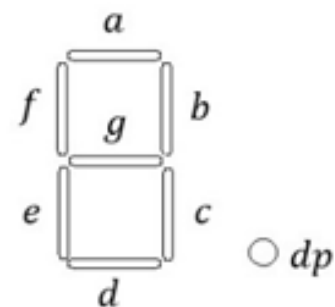
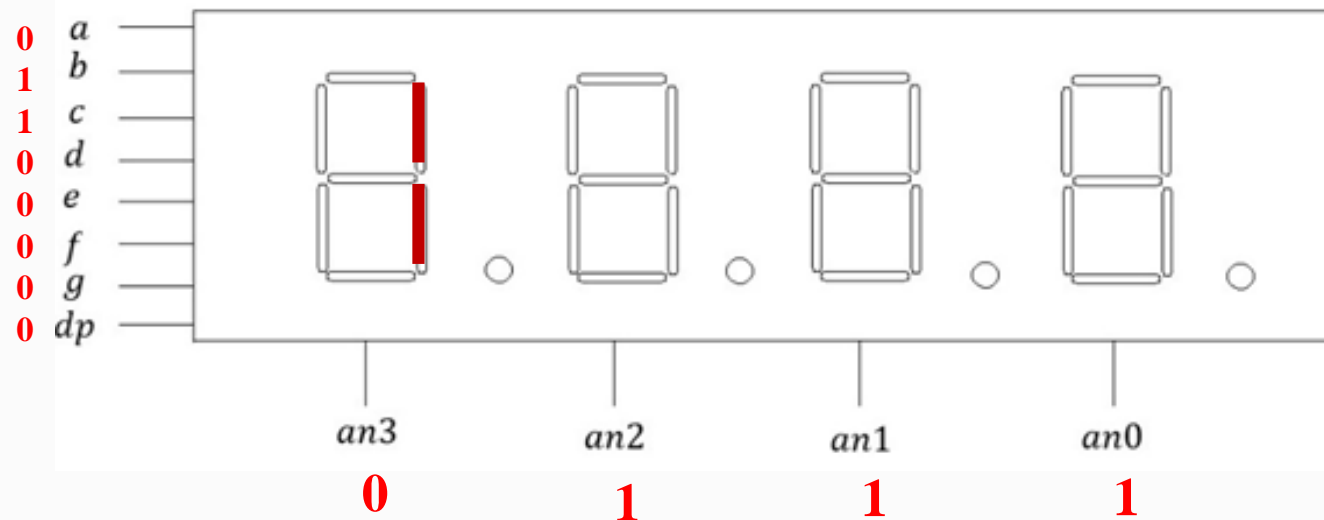
提交





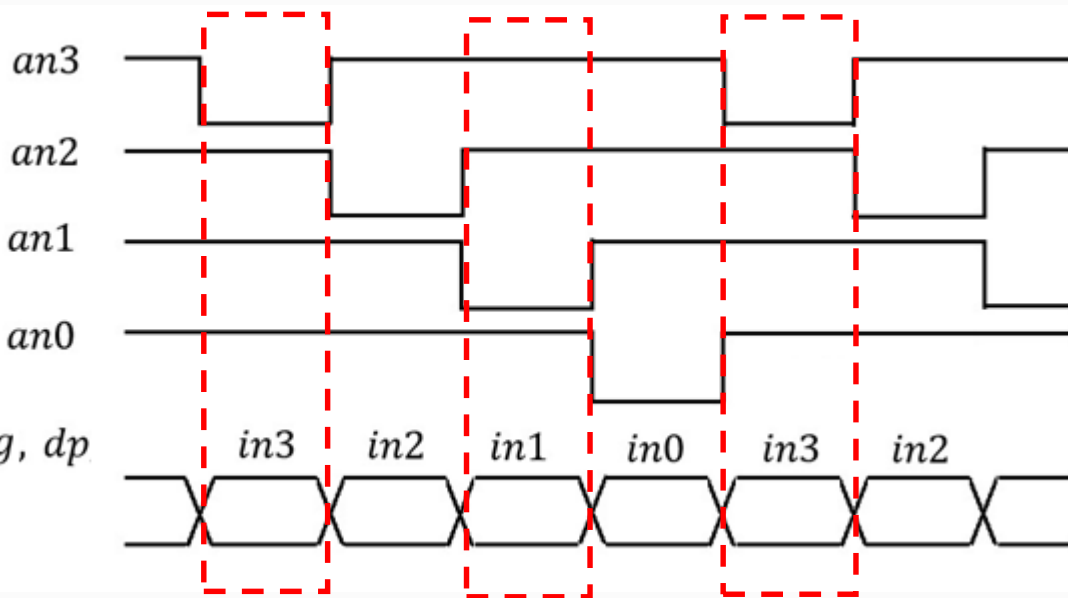


译码与显示 — 动态扫描时序



共阴数码管

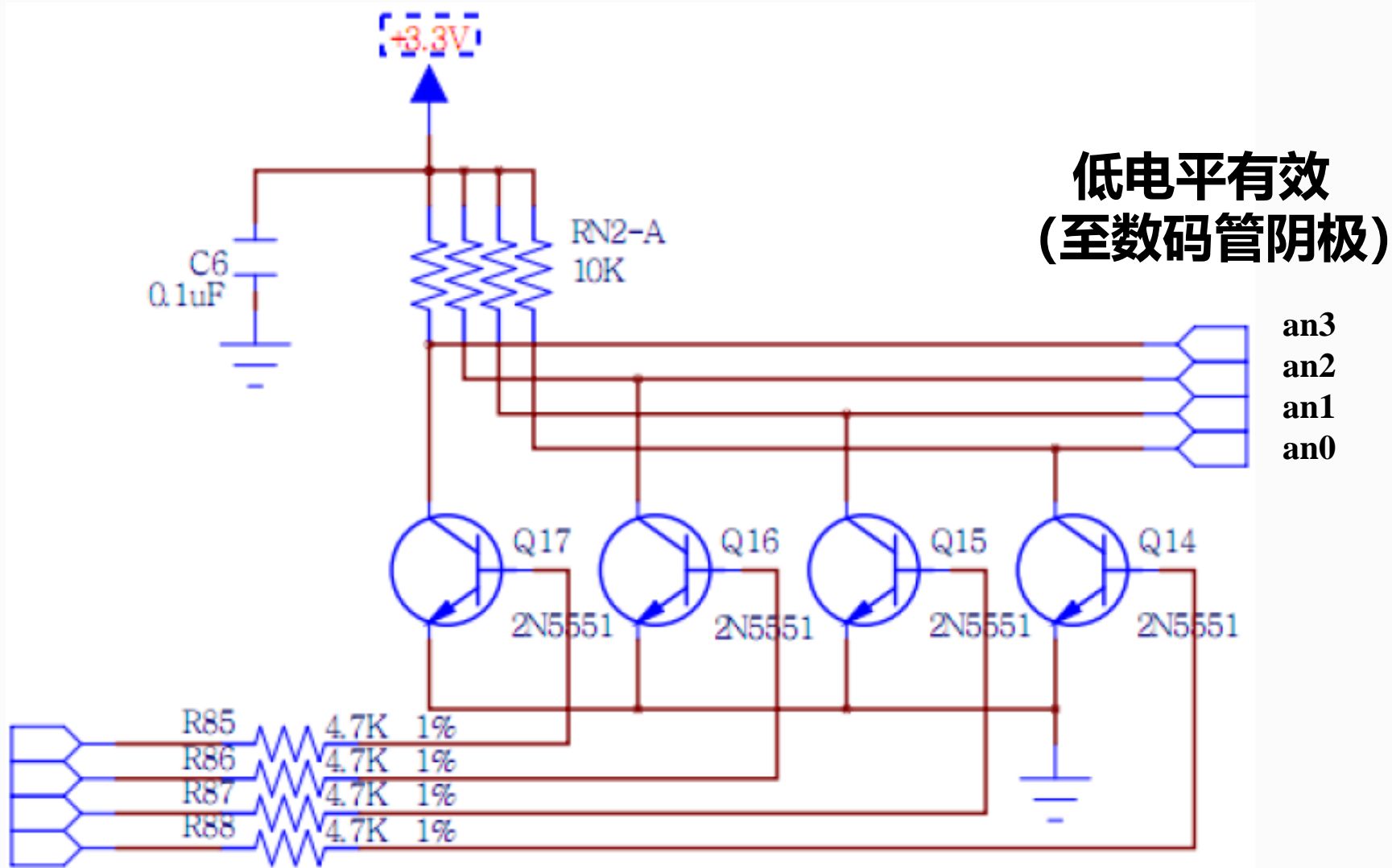
位选码



字形码



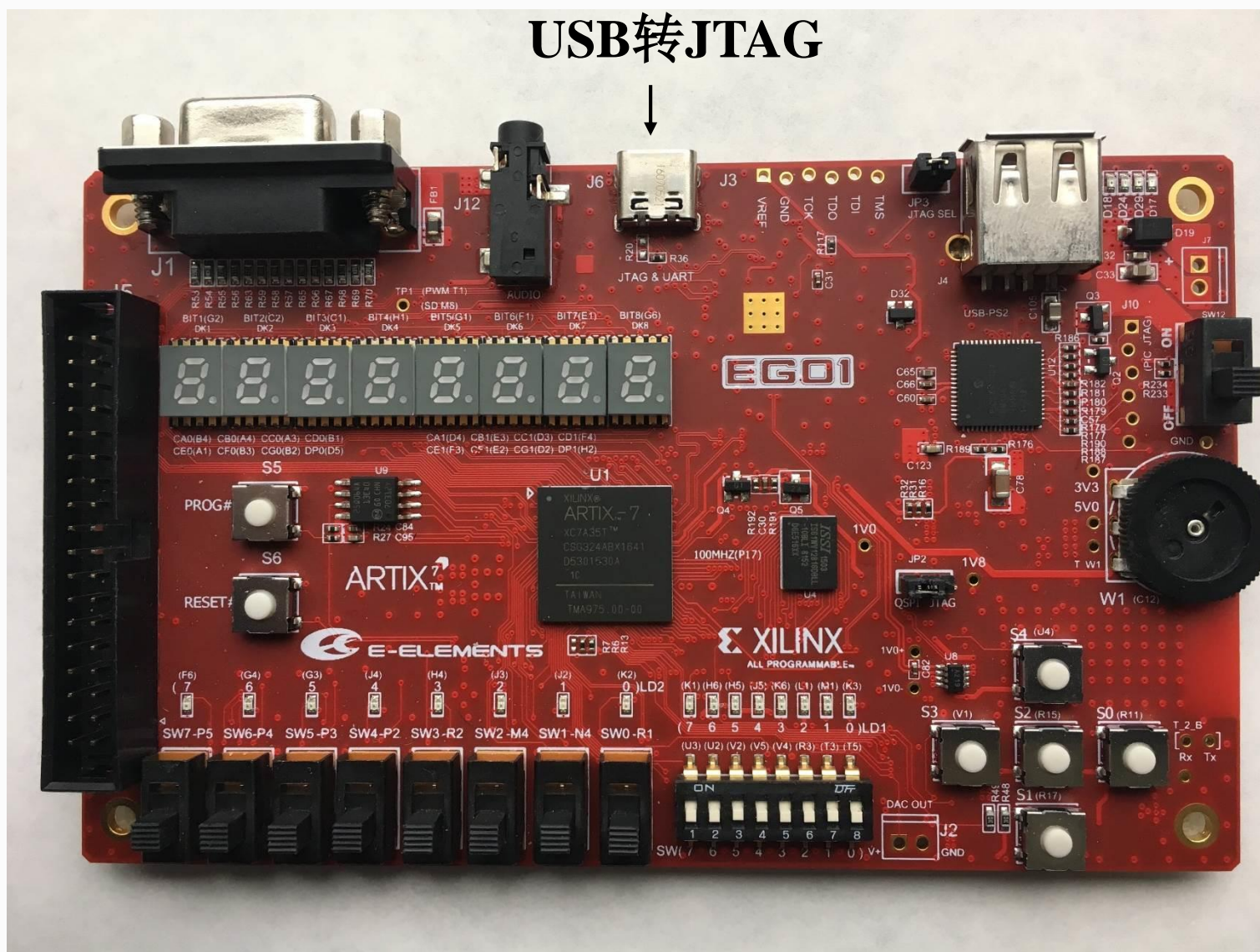
FPGA开发板EGO1 —位反相驱动



高电平有效 (FPGA输出)



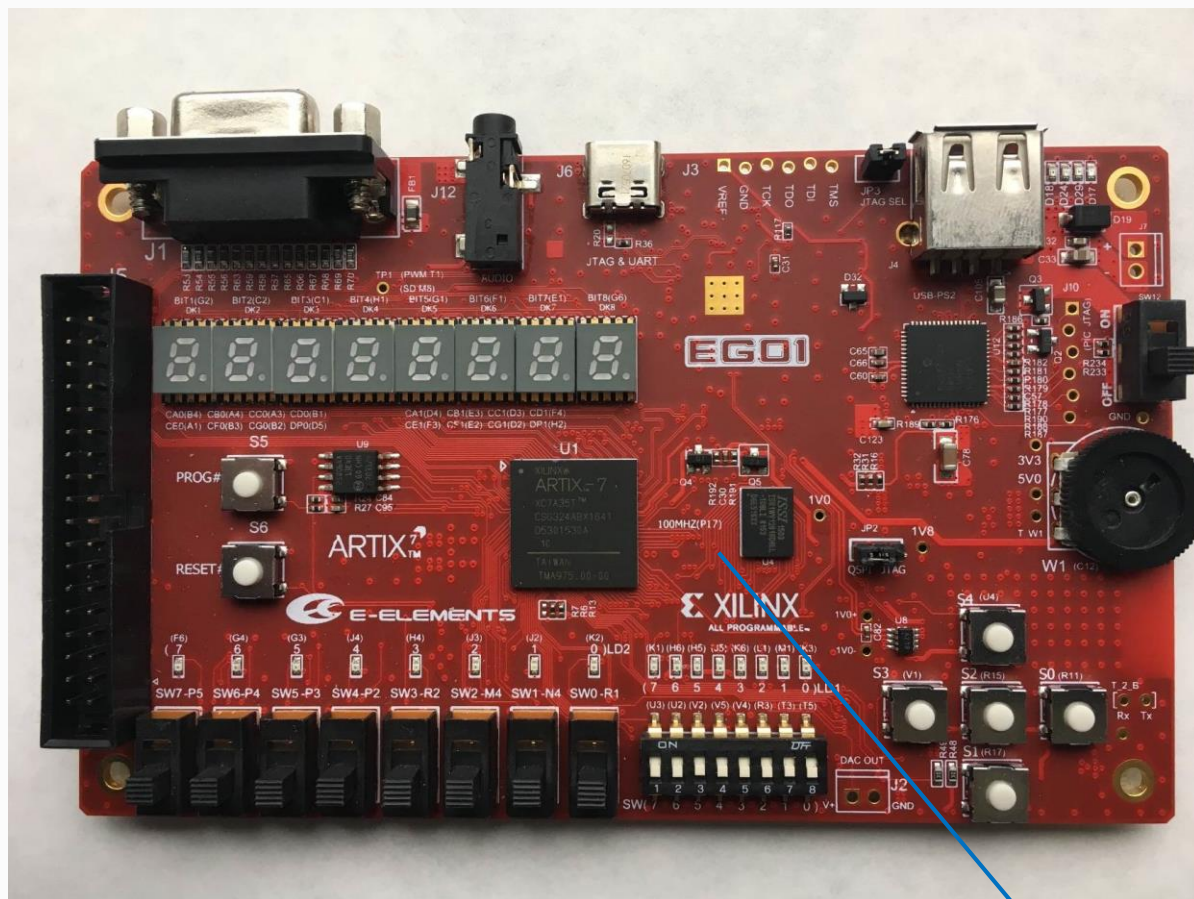
FPGA开发板EGO1



Artix-7 系列的FPGA: XC7A35TCSG324-1



FPGA开发板EGO1

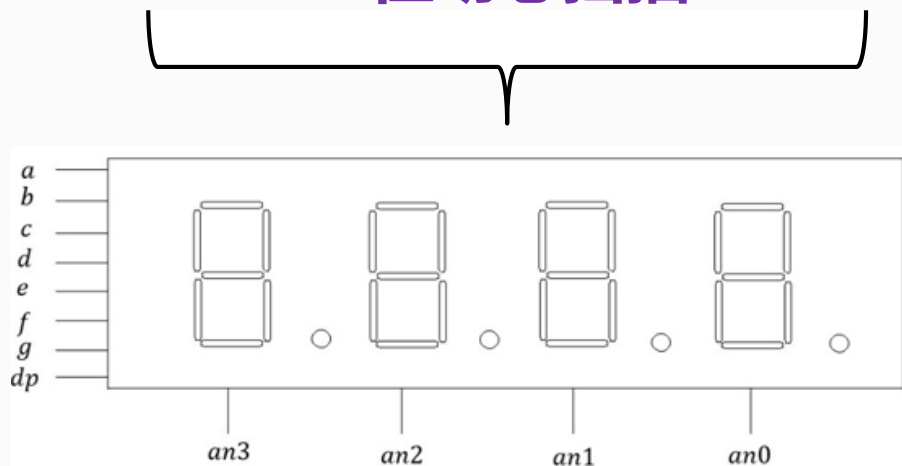


系统时钟 100MHz (P17)



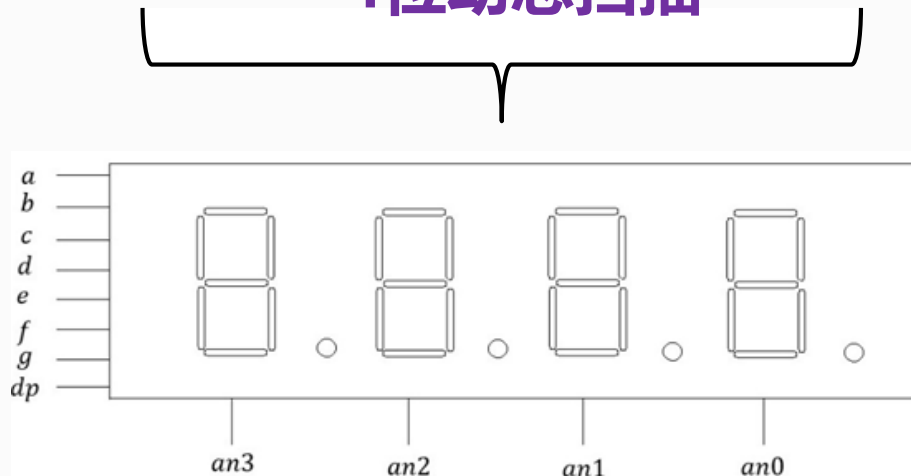
FPGA开发板EGO1 EGO1 — 8个数码管

4位动态扫描



BIT1(G2), BIT2(C2), BIT3(C1), BIT4(H1),

4位动态扫描



BIT5(G1), BIT6(F1), BIT7(E1), BIT8(G6)

CA0(B4)

CB0(A4)

CC0(A3)

CD0(B1)

CE0(A1)

CF0(B3)

CG0(B2)

DP0(D5)

CA1(D4)

CB1(E3)

CC1(D3)

CD1(F4)

CE1(F3)

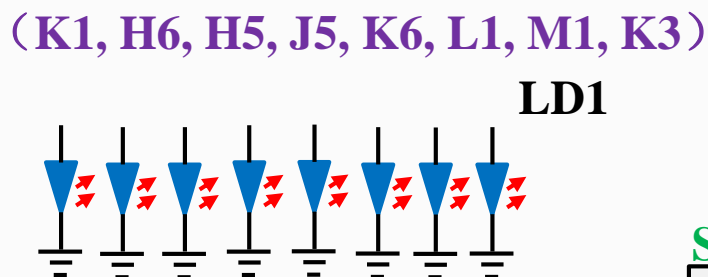
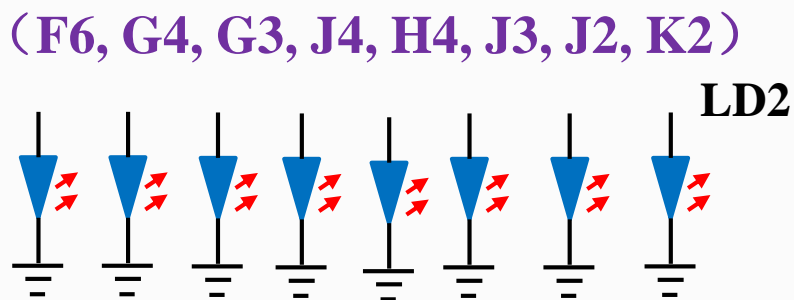
CF1(E2)

CG1(D2)

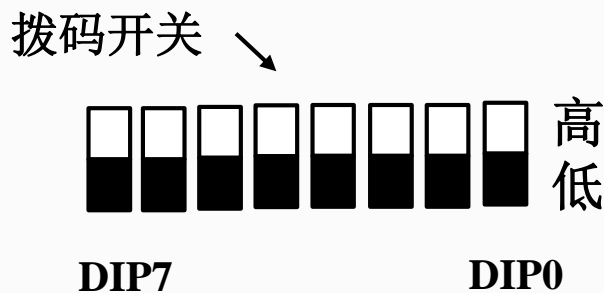
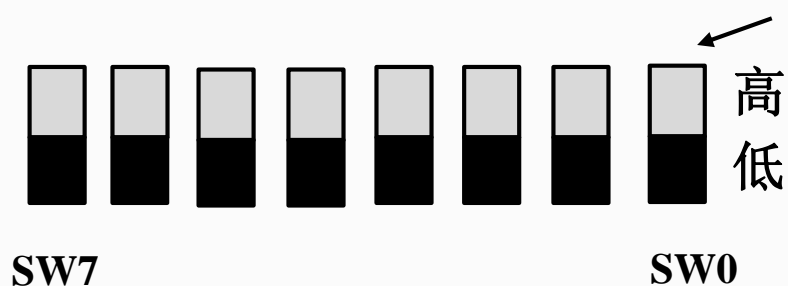
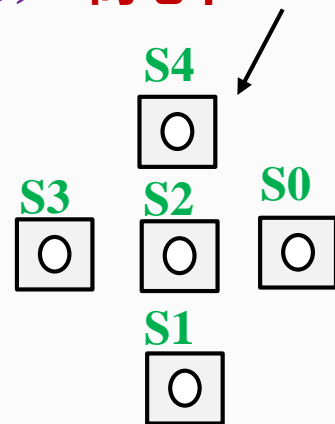
DP1(H2)



FPGA开发板EGO1— 发光二极管和开关



按键，按下为**高电平**



S0(R11)
S1(R17)
S2(R15)
S3(V1)
S4(U4)

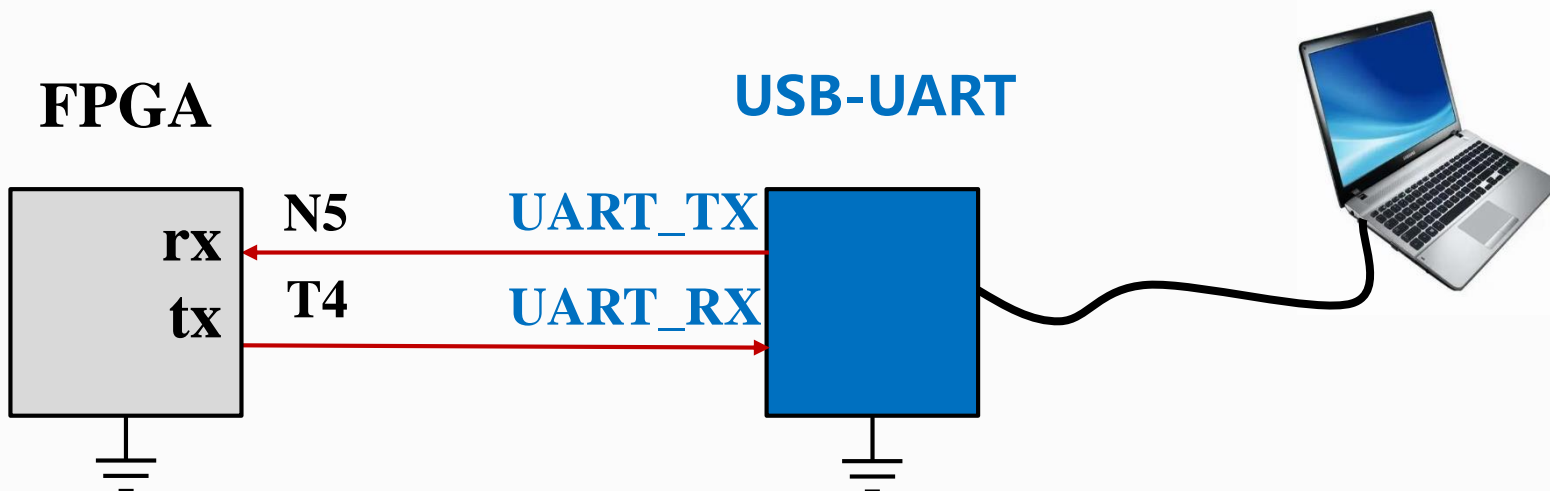
(P5, P4, P3, P2, R2, M4, N4, R1)

(U3, U2, V2, V5, V4, R3, T3, T5)



FPGA开发板EGO1— USB-UART

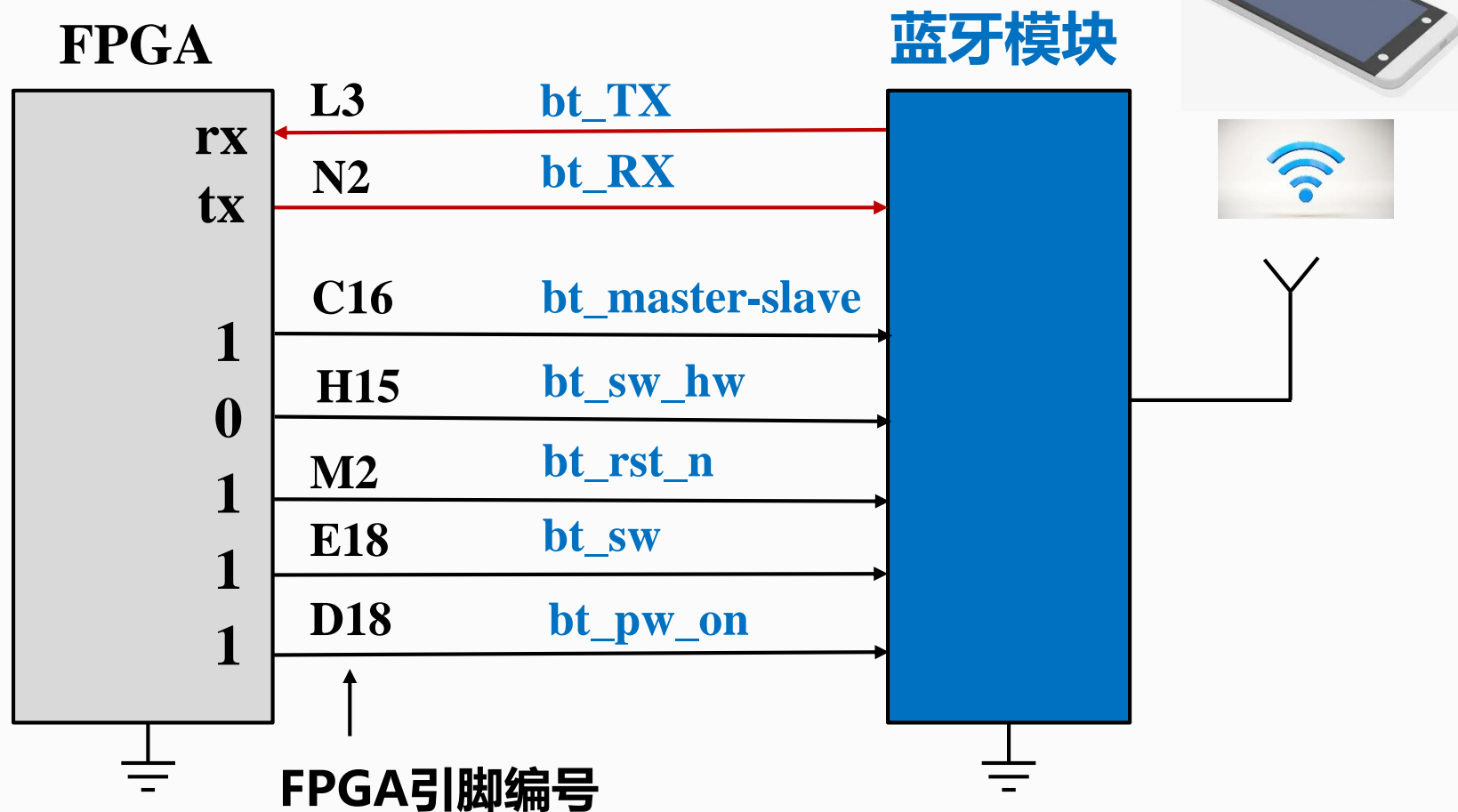
FPGA 通过异步串口和PC机进行通信。





FPGA开发板EGO1— 蓝牙

FPGA 通过串口和蓝牙模块进行通信。
串口缺省波特率为 9600bps。



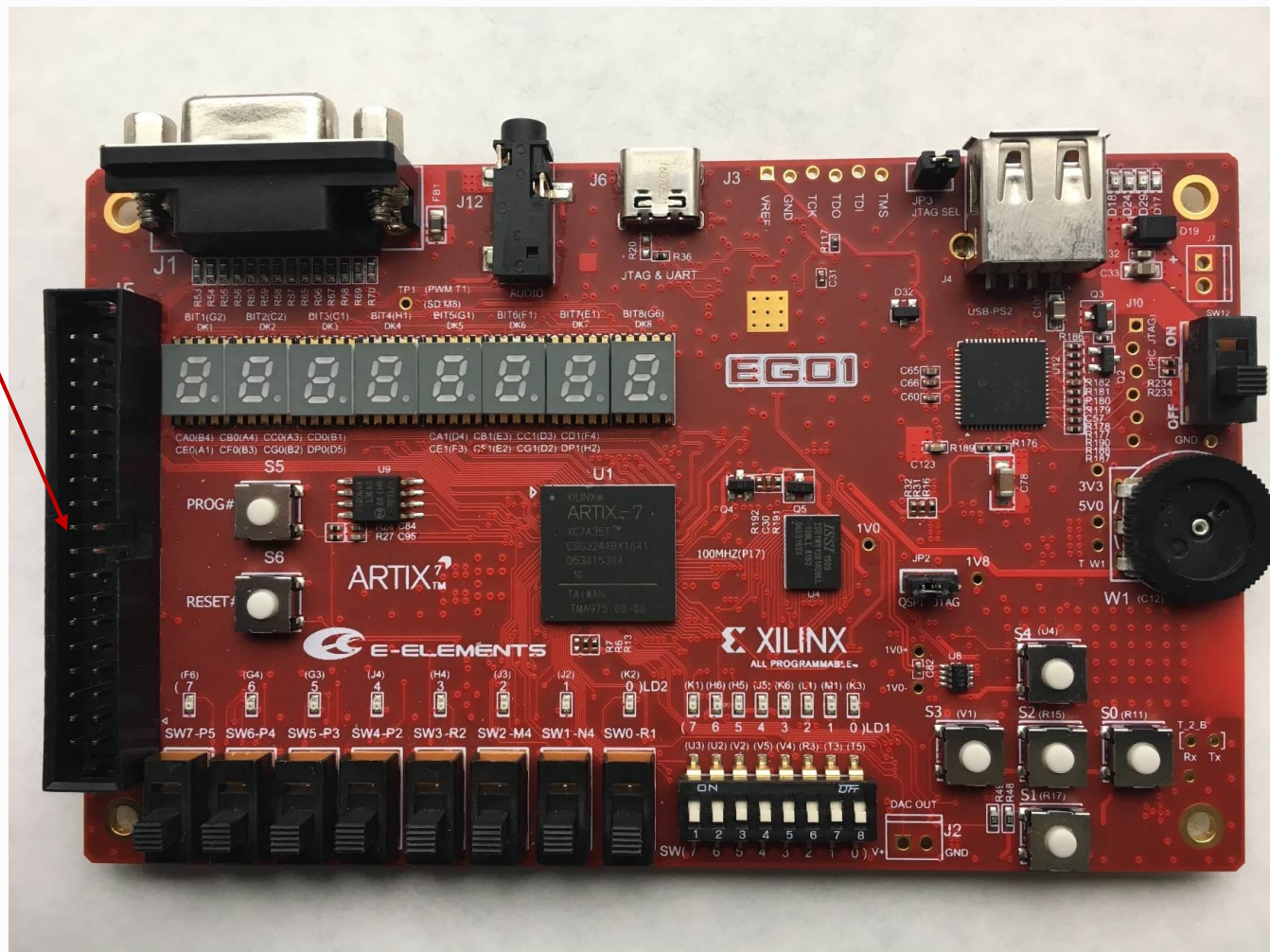
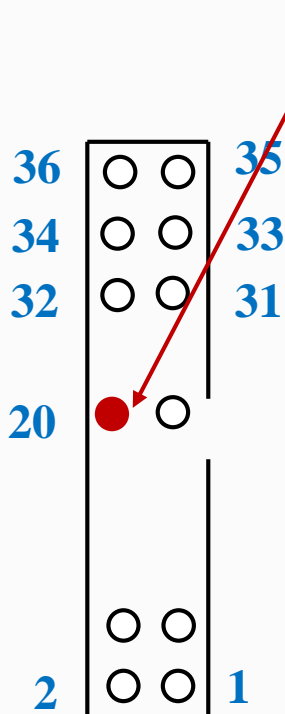


FPGA开发板EGO1— 通用扩展IO

注意：引脚输入电压不能超过3.3V!

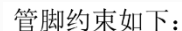
从EGO1正面看

对应FPGA引脚C15





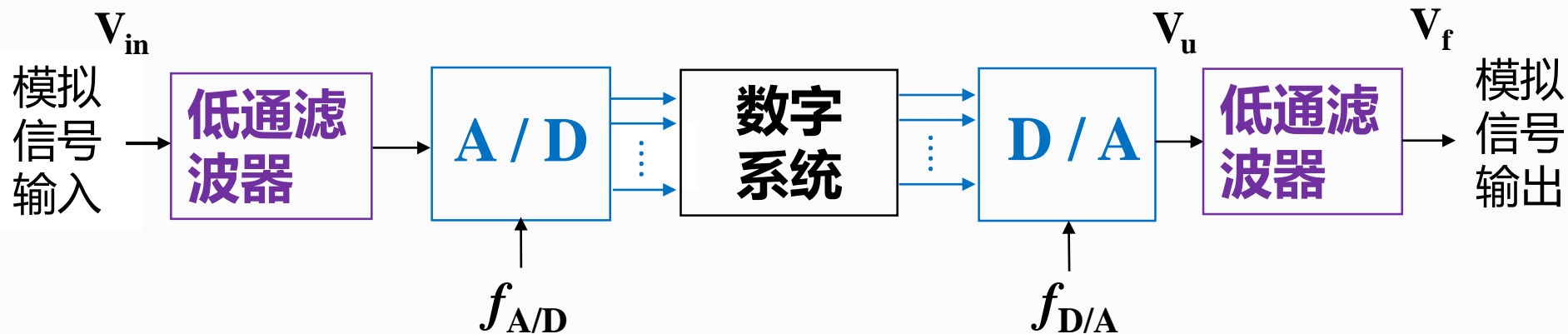
从EGO1背面看



2x18 标号	原理图标号	FPGA IO PIN
1	AD2P_15	B16
2	AD2N_15	B17
3	AD10P_15	A15
4	AD10N_15	A16
5	AD3P_15	A13
6	AD3N_15	A14
7	AD11P_15	B18
8	AD11N_15	A18
9	AD9P_15	F13
10	AD9N_15	F14
11	AD8P_15	B13
12	AD8N_15	B14
13	AD0P_15	D14
14	AD0N_15	C14
15	IO_L4P	B11
16	IO_L4N	A11
17	IO_L11P	E15
18	IO_L11N	E16
19	IO_L12P	D15
20	IO_L12N	C15
21	IO_L13P	H16
22	IO_L13N	G16
23	IO_L14P	F15
24	IO_L14N	F16
25	IO_L15P	H14
26	IO_L15N	G14
27	IO_L16P	E17
28	IO_L16N	D17
29	IO_L17P	K13
30	IO_L17N	J13
31	IO_L18P	H17
32	IO_L18N	G17



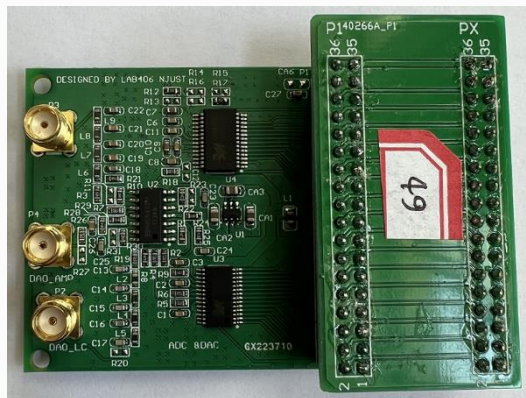
A/D – D/A 模块



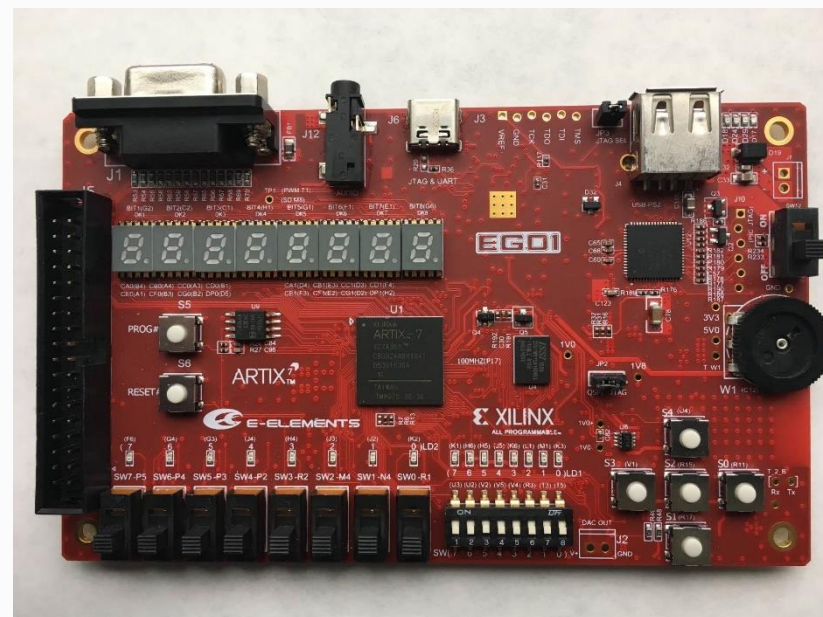
A/D输入 V_{in}

D/A输出 (滤波后) V_f

D/A输出 (滤波前) V_u



注意连接正确



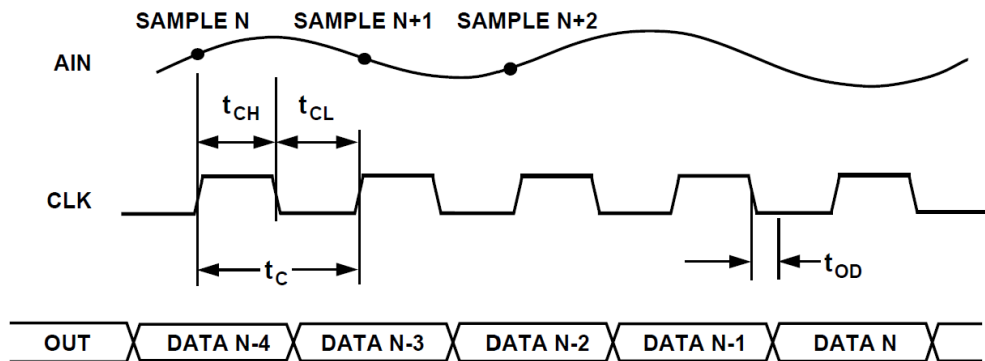
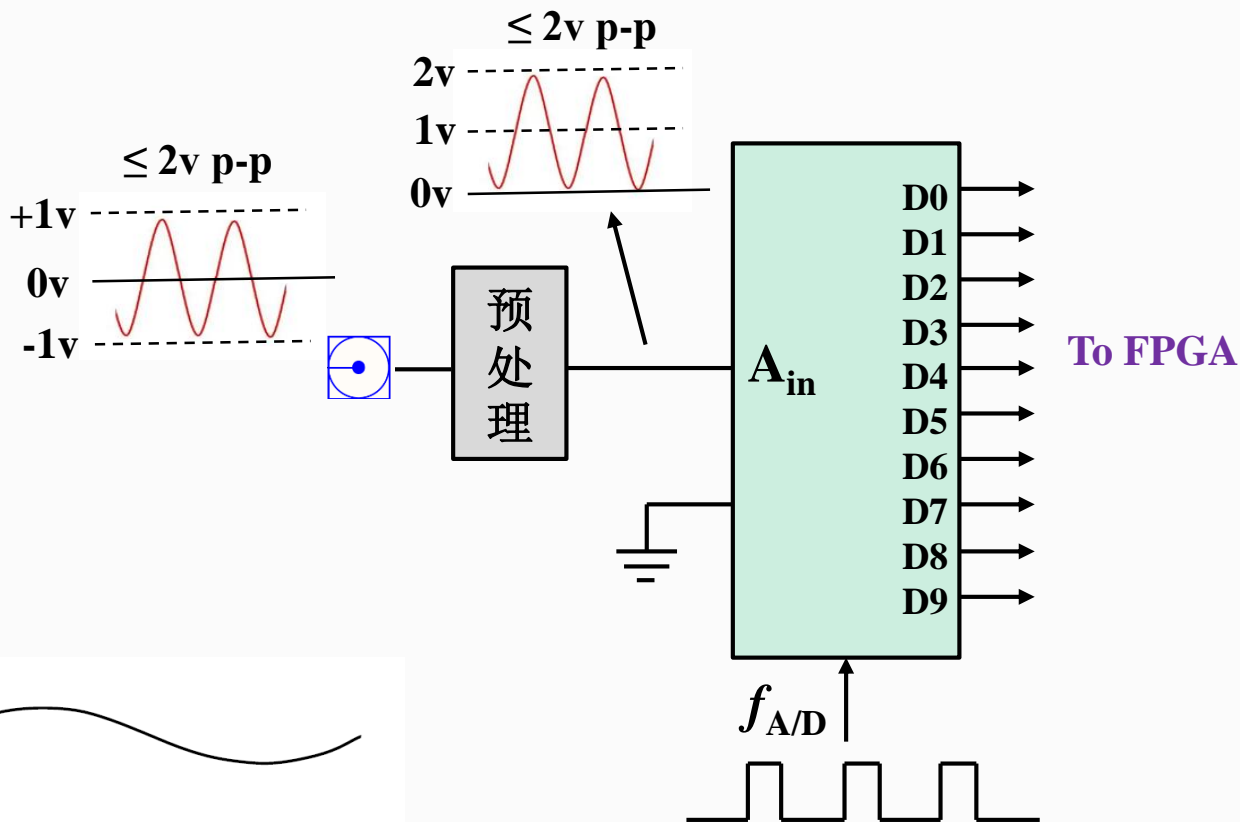


A/D – D/A 模块

A/D 转换

瑞盟科技股份有限公司
MS9281

- ✓ 分辨率: 10bits
- ✓ 转换速率: 80Msps



数字输出D9-D0为直接二进制码

2v: 1111111111
1v: 1000000000
0v: 0000000000



A/D – D/A 模块

■ A/D 转换

A/D转换器	FPGA引脚编号
AD_D0	H16
AD_D1	F16
AD_D2	F15
AD_D3	G14
AD_D4	H14
AD_D5	D17
AD_D6	E17
AD_D7	J13
AD_D8	K13
AD_D9	G17
CLK_AD	H17



A/D – D/A 模块

■ D/A 转换

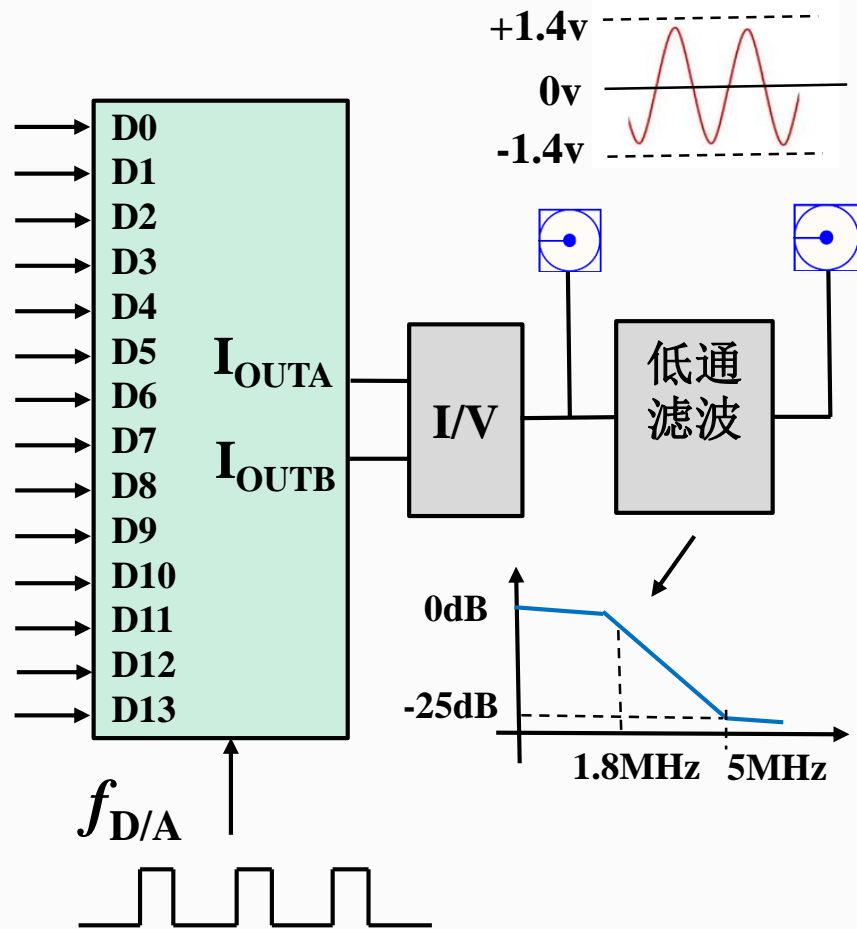
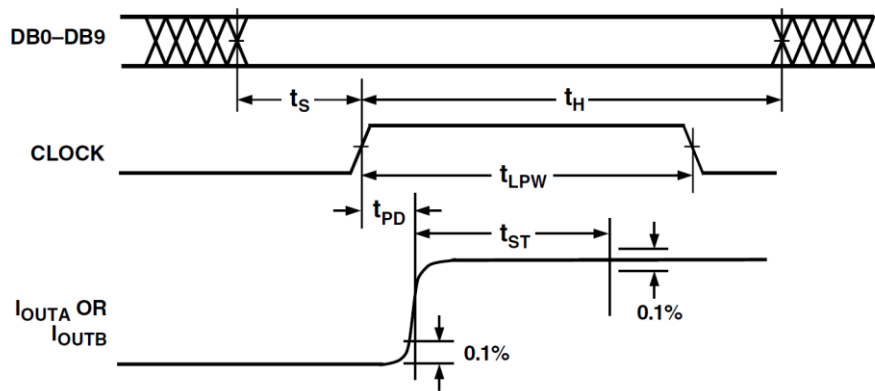
瑞盟科技股份有限公司
MS9714

- ✓ 分辨率: 14bits
- ✓ 转换速率: 125MSPS

来自FPGA

0
0
0
0
0
0
0
0

来自FPGA
(ROM的
8位数据线
Q₇-Q₀)



$$V_{DIFF} = K(2 \times Q_7 \dots Q_0 - 255)/256$$



A/D – D/A 模块

D/A转换器	FPGA引脚编号
DA_D0	B11
DA_D1	C14
DA_D2	D14
DA_D3	B14
DA_D4	B13
DA_D5	F14
DA_D6	F13
DA_D7	A18
DA_D8	B18
DA_D9	A14
DA_D10	A13
DA_D11	A16
DA_D12	A15
DA_D13	B17
CLK_DA	B16



实验内容与要求

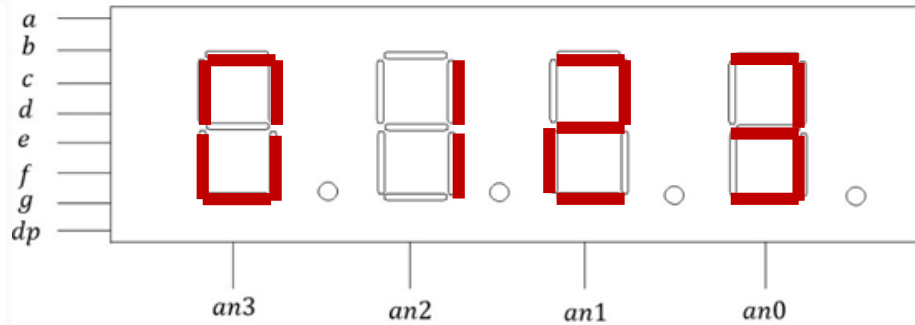
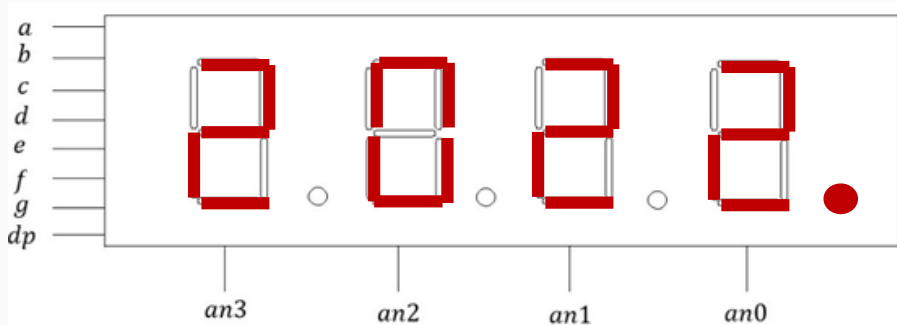


数字系统综合设计 — 实验内容与要求

1. 学号显示（八位LED数码管动态扫描）

(1) 把“2022”显示在左边四位LED数码管上，且点亮第4个LED数码管的小数点，把个人学号最后4位显示在右边四位LED数码管上，如下图所示；

学号最后4位



扫描时钟产生： 100MHz主频 → 分频 → 10kHz

(2) 先进行仿真：包括功能仿真和综合后仿真。



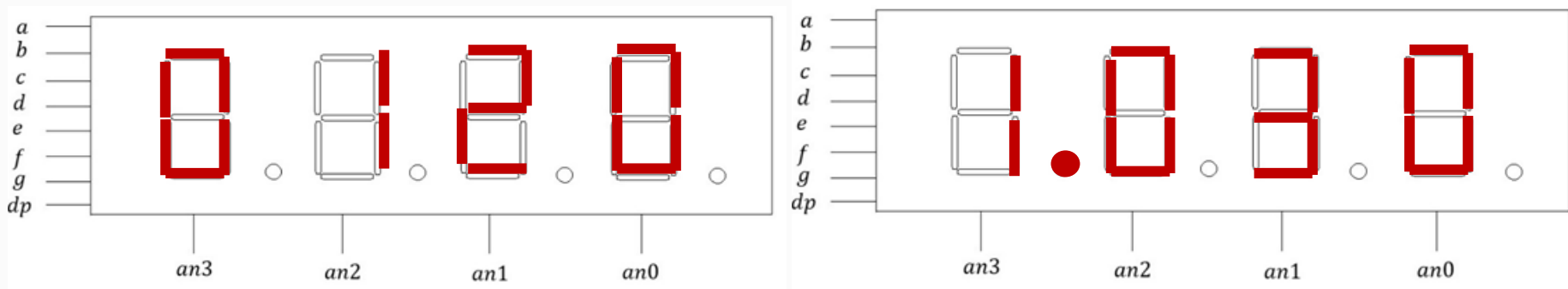
数字系统综合设计—实验内容与要求

2. 频率控制字设置的频率值显示

- (1) 频率控制字 K (8位二进制) 用左边拨码开关SW7-SW0输入;
- (2) 对应的频率值显示在8位LED数码管上, 且点亮第4个LED数码管的小数点。

$$f = \frac{K}{2^N} f_c$$

其中 $N = 8$ 为相位累加器字长, $f_c = 10\text{MHz}$ 为DDS时钟频率。



- (3) 显示切换由右边地址开关DIP1-DIP0控制

- (a) 00: 显示2022.学号最后4位;
- (b) 01: 设置的频率值;

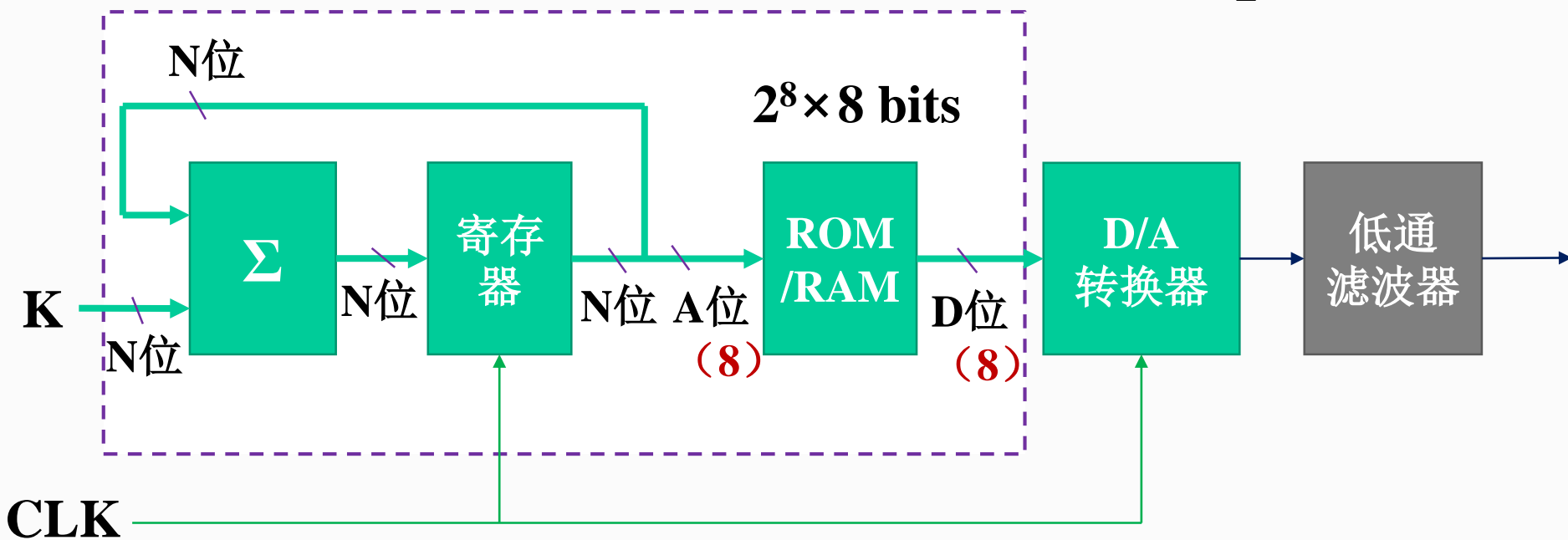


数字系统综合设计— 实验内容与要求

3. 基于DDS的正弦信号产生 (0 ~ 2MHz, 频率步长小于40kHz)

(1) DDS原理框图

$$f = \frac{K}{2^N} f_c$$



(2) 时钟产生





数字系统综合设计—实验内容与要求

(3) 存储器IP核的生成



数字系统综合设计— 实验内容与要求

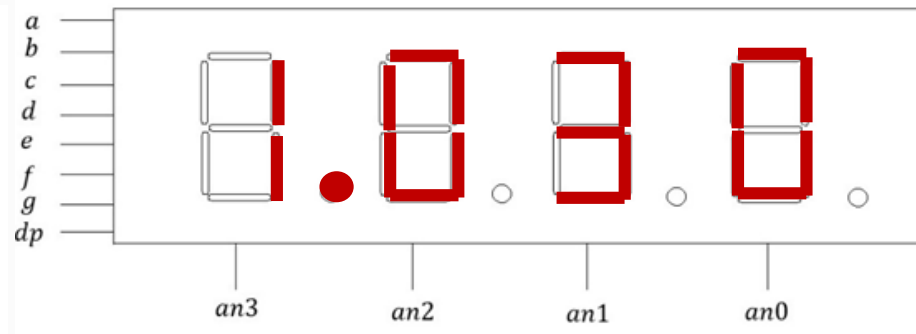
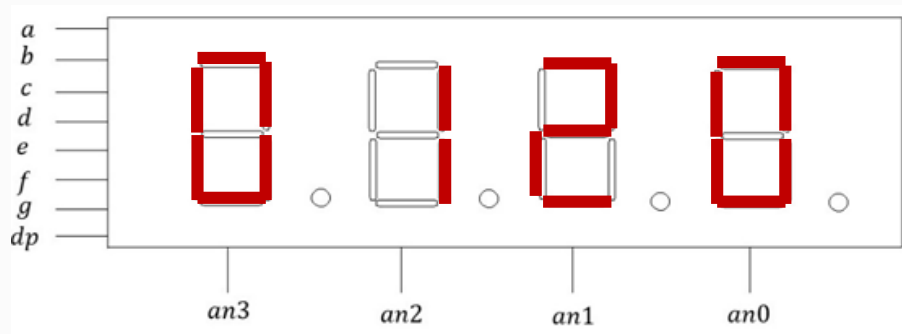
➤ ROM波形文件 XXX.coe

```
MEMORY_INITIALIZATION_RADIX=10;  
MEMORY_INITIALIZATION_VECTOR=  
128,131,134,137,140,144,147,150,153,156,159,162,165,168,171,  
174,177,179,182,185,188,191,193,196,199,201,204,206,209,211,  
213,216,218,220,222,224,226,228,230,232,234,235,237,239,240,  
241,243,244,245,246,248,249,250,250,251,252,253,253,254,254,  
254,255,255,255,255,255,255,255,254,254,254,253,253,252,251,  
250,250,249,248,246,245,244,243,241,240,239,237,235,234,232,  
230,228,226,224,222,220,218,216,213,211,209,206,204,201,199,  
196,193,191,188,185,182,179,177,174,171,168,165,162,159,156,  
153,150,147,144,140,137,134,131,128,125,122,119,116,112,109,  
106,103,100,97,94,91,88,85,82,79,77,74,71,68,65,  
63,60,57,55,52,50,47,45,43,40,38,36,34,32,30,  
28,26,24,22,21,19,17,16,15,13,12,11,10,8,7,  
6,6,5,4,3,3,2,2,2,1,1,1,1,1,1,  
1,2,2,2,3,3,4,5,6,6,7,8,10,11,12,  
13,15,16,17,19,21,22,24,26,28,30,32,34,36,38,  
40,43,45,47,50,52,55,57,60,63,65,68,71,74,77,  
79,82,85,88,91,94,97,100,103,106,109,112,116,119,122,  
125;
```



数字系统综合设计—实验内容与要求

- (1) 通过示波器测量信号波形与频率值；
- (2) 检查示波器测量得到的频率值是否与设置的频率值一致。

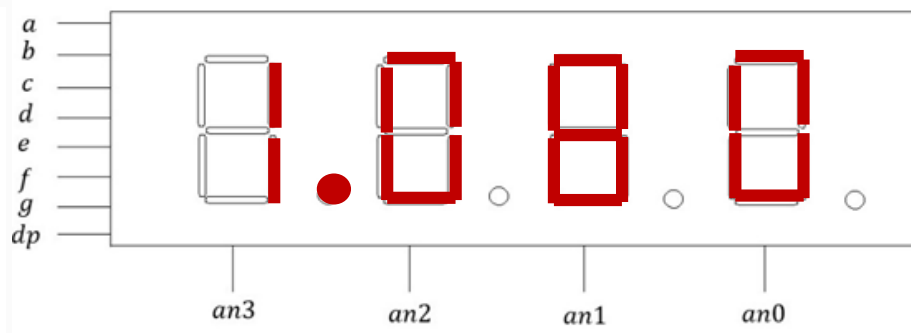
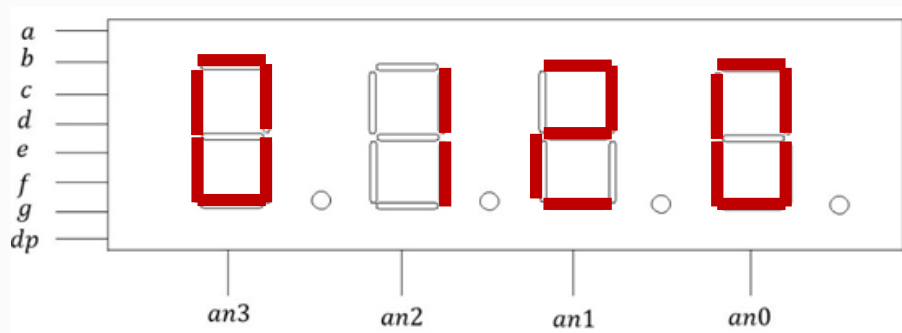




数字系统综合设计— 实验内容与要求

4. 正弦信号频率测量的FPGA实现

- (1) 设计电路，测量外部输入正弦信号(加到A/D转换器)的频率
(范围：0-2MHz)；
- (2) 测量的频率值显示在8位LED数码管上，且点亮第4个LED数码管的小数点；



- (3) 检查FPGA测量得到的频率值是否与输入信号频率值一致，
检查0-2MHz范围内的频率测量误差，要求误差绝对值不超过1Hz。

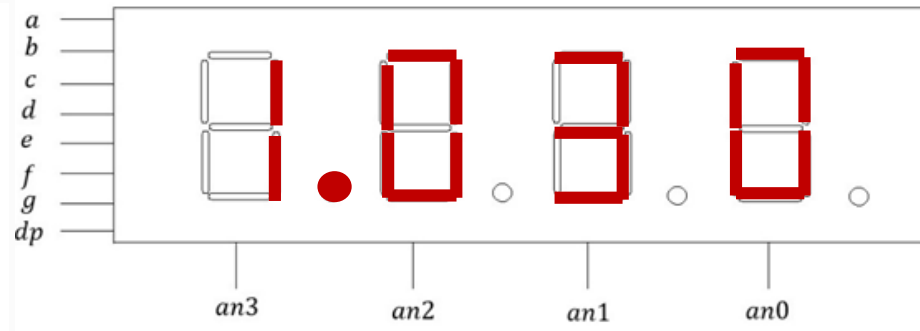
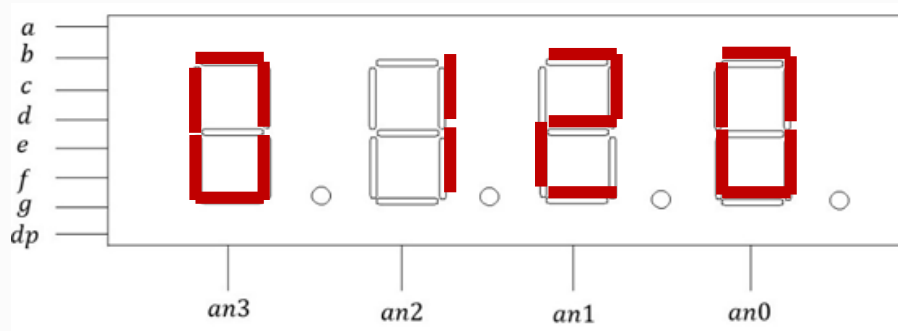
注：频率测量电路调试时先用开发板产生的正弦信号作为输入，测试/验收时对信号源产生的正弦信号要求同样可以测量频率。



数字系统综合设计— 实验内容与要求

5. 提高部分：利用串口（手机蓝牙）设置正弦信号频率

- (1) 在手机上输入代表频率的7位十进制数字（0000000-2000000）Hz
- (2) 对应的频率值显示在8位LED数码管上，且点亮第4个LED数码管的小数点。



- (3) 使用示波器测量产生的正弦信号频率值，检查是否与设置的频率值一致。
要求1：误差绝对值小于20kHz。
要求2：误差绝对值小于2kHz。



数字系统综合设计—实验内容与要求

6. 发挥部分：和本实验内容相关



数字系统综合设计—考核方式

- | | | |
|---------------------|---------------------|----|
| ① 学号显示 | } | 及格 |
| ② 频率控制字设置的频率值显示 | | |
| ③ 基于DDS的正弦信号产生 | | 中 |
| ④ 正弦信号频率测量的FPGA实现 | | 良 |
| ⑤ 提高部分 | } | 优 |
| ⑥ 发挥部分 | | |
| ⑦ 实验报告 (附Verilog程序) | 实验报告符合要求, 上面测试成绩才有效 | |

注意:

- ① 所有功能的Verilog HDL 程序需要合在一起运行(否则酌情扣分) ;
- ② 程序运行后复位信号只能使用一次;
- ③ 没有递交实验报告者, 成绩为不及格;
- ④ 成绩以第一次验收为准, 验收时要准备好回答问题。