

TRƯỜNG ĐẠI HỌC CÔNG NGHỆ
KHOA ĐIỆN TỬ - VIỄN THÔNG

**TÀI LIỆU HƯỚNG DẪN THỰC TẬP
MÔN KỸ THUẬT ĐIỆN TỬ SỐ**

(Cập nhật tháng 12/2020)

Hà Nội, 2020

MỤC LỤC

Nội dung	Trang
Lời mở đầu	
Các kiến thức cơ bản	1
Bài 1. Cỗng logic 1	17
Bài 2. Cỗng logic 2	50
Bài 3. Các sơ đồ logic cơ bản 1: Các bộ giải mã và mã hóa logic	69
Bài 4. Các sơ đồ logic cơ bản 2: Các sơ đồ logic toán học	91
Bài 5. Các sơ đồ logic cơ bản 3: Các bộ phân kênh và hợp kênh	113
Bài 6. Sơ đồ Trigger và bộ ghi	128
Bài 7. Sơ đồ Trigger và bộ đếm	164
Bài 8. Bộ so sánh và bộ tương đồng	208
Bài 9. Bộ nhớ bán dẫn	227
Bài 10. Các sơ đồ biến đổi: Bộ biến đổi số - tương tự DAC; Bộ biến đổi tần số sang điện áp FVC; Bộ biến đổi điện áp sang tần số VFC	237
Hướng dẫn sử dụng thiết bị	252

Lời nói đầu

Tài liệu này được biên soạn bởi GS.TS Bạch Gia Dương và GS.TS Chử Đức Trình năm 2007, được sử dụng trong giảng dạy thực hành môn Kỹ thuật Điện tử số. Tài liệu được phòng thực tập Điện tử - Viễn thông cập nhật, bổ sung năm 2013 và tháng 12/2020 phù hợp với sự thay đổi của bản mạch thực hành.

Để hoàn thành các bài thực hành trong tài liệu này đúng giờ và có hiệu quả, yêu cầu sinh viên phải chuẩn bị đọc và tìm hiểu kỹ nội dung các bài trước khi đến phòng thực tập:

- Nhất thiết phải đọc kỹ các tài liệu lý thuyết liên quan đến bài thực nghiệm trước khi đến phòng thực hành.
- Đọc từng hướng dẫn thực nghiệm trong tài liệu thực hành một cách cẩn thận, có găng tưởng tượng sẽ tiến hành các bước thực nghiệm của mình như thế nào.
- Có găng dự đoán trước các kết quả có thể nhận được qua các phép đo cũng như các hiệu ứng sẽ xuất hiện trong thực nghiệm.
- Ghi cẩn thận các điểm lưu ý cần thiết, để khi thực nghiệm đem ra sử dụng.
- Khuyến khích việc thảo luận với nhóm cùng thực nghiệm trên một bài với mình.

Trong khi tiến hành thực nghiệm, cần tuân thủ các điều sau:

- Luôn đọc kỹ từng bước hướng dẫn trước khi thực thi. Không dừng ở giữa chừng để bắt đầu lại nối dây hoặc đo, vì phần còn lại của bước thực nghiệm có thể cần các thông tin vừa đã nhận được.
- Có găng hình dung kết quả của mỗi bước trước khi thực thi nó. Điều này sẽ tăng cường sự hiểu biết của anh/chị và cho phép giải quyết tốt nhiệm vụ cũng như tiết kiệm được thời gian thực hành.
- Nên vẽ nháp ngay các đồ thị khi có yêu cầu trong bài trong quá trình thực nghiệm. Bởi vì một vài đồ thị có thể cho thấy ngay sự đúng, sai các kết quả đo so với lý thuyết, trong vài trường hợp có thể cho biết ngay mạch thí nghiệm bị hỏng hóc và như vậy sẽ tiết kiệm được thời gian. Vẽ ngay đồ thị cũng cho phép ta biết được vùng đang đo cần nhiều điểm hay ít điểm hơn trong khi mạch vẫn đang hoạt động.
- Nhớ rằng các phép đo không bao giờ chính xác tuyệt đối cả, do đó luôn có găng đo cẩn thận càng chính xác càng tốt. Hãy suy nghĩ về sai số gây nên trong mỗi trường hợp và suy đoán kết quả tương ứng.
- Sử dụng dải đo của thiết bị một cách thích hợp để nhận được đủ các con số có ý nghĩa và ít

tác động nhất đến mạch đo (thí dụ khi dùng ampemeter).

- Cần rất cẩn thận nếu ta cần có kết quả là một số nhỏ bằng phép trừ hai số lớn. Thí dụ: $1,344 - 1,336 = 0,008$. Nhưng nếu hai số này đã được đo chỉ với 3 con số có ý nghĩa thì kết quả chỉ là: $1,34 - 1,34 = 0!$
- Cần nắm vững cách sử dụng các thiết bị, dụng cụ đo trong thực nghiệm. Không được tùy tiện nhấn các phím nhấn (button) khi chưa hiểu về nó, phải biết phím nào để nhấn.
- Hai người cùng làm thực nghiệm phải đóng góp công sức như nhau trong suốt quá trình. Nếu anh/chị không tham gia thực sự thì không chỉ là hành vi không hay với người cùng làm mà mình cũng chẳng học được gì. Cũng nhớ rằng: quan sát thụ động không thể thay thế việc bắt tay làm thực sự. Hãy chắc rằng cả hai đều có cơ hội tham gia trong mỗi nhiệm vụ của bài thực nghiệm. Thí dụ, nếu anh/chị nối dây thì người cùng làm sẽ có nhiệm vụ đo lấy số liệu và lần sau thì đổi lại.
- Với tất cả những điều nói trên, cần tránh sự thực hiện các nhiệm vụ của bài thực hành một cách thụ động. Cần quan sát, suy nghĩ, thực thi và khám phá! Nhiều câu hỏi “tại sao” trong tài liệu này là cách để anh/chị suy nghĩ. Nhưng đừng dừng ở đó, hãy tự mình đặt câu hỏi hơn nữa: tại sao việc này lại làm như vậy? tại sao không làm khác đi? điều gì sẽ xảy ra nếu làm khác đi?... Đây là phần rất quan trọng trong việc học thực hành của anh/chị. Hãy thảo luận các câu hỏi kiểu như vậy với bạn cùng nhóm. Nếu anh/chị có một ý tưởng mới muốn thử làm, đầu tiên hãy đảm bảo nó là chắc chắn; nếu còn nghi ngờ, có thể hỏi các thày/cô hướng dẫn.

Phòng Thực tập Điện tử - Viễn thông

Tháng 12/2020

CÁC KIẾN THỨC CƠ BẢN

0.1. Khái niệm cơ bản về đại số logic

Đại số logic do George Boole, Nhà toán học nước Anh, sáng tạo vào giữa thế kỷ XIX – so với đại số thường, đại số logic đơn giản hơn rất nhiều. Tuy đại số logic cũng dùng chữ biểu thị biến số, nhưng biến số logic chỉ lấy hai giá trị 1 và 0, để biểu thị: đúng và sai, cao và thấp, có và không, mở và đóng v.v.

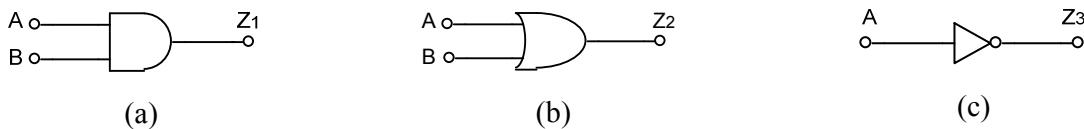
Trong đại số logic có một số qui tắc giống đại số thường, nhưng lại có một số qui tắc hoàn toàn khác với đại số thường.

0.1.1. Phép toán logic và các hàm logic cơ bản

1. Các phép toán logic cơ bản

Quan hệ logic cơ bản nhất chỉ có 3 loại: VÀ, HOẶC, PHỦ ĐỊNH. Vì vậy trong đại số logic, cũng chỉ có tương ứng 3 phép toán cơ bản nhất: nhân logic - VÀ, cộng logic - HOẶC, đảo logic - PHỦ ĐỊNH.

Ký hiệu các mạch điện thực hiện 3 phép toán cơ bản nhất, tương ứng là 3 cổng VÀ (AND), HOẶC (OR), đảo (NOT) được trình bày ở hình 0.1.



Hình 0.1: Ký hiệu logic của các cổng cơ bản. Mạch AND a) ; OR b) ; NOT c)

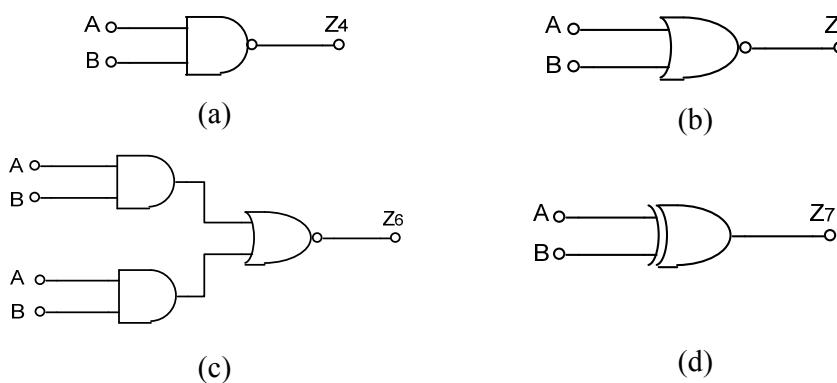
Ba phép tính cơ bản trong đại số logic:

$$Z_1 = A \cdot B \quad (0-1)$$

$$Z_2 = A + B \quad (0-2)$$

$$Z_3 = \overline{A} \quad (0-3)$$

Ngoài ba phép toán cơ bản trên đây, thực tế thường xuyên gặp các phép toán logic sau: VÀ-Phủ định (NAND), HOẶC - Phủ định (NOR), VÀ - KHÔNG HOẶC (NOR AND), cộng với phép loại trừ (XOR). Mạch điện tương ứng để thực hiện các phép toán trên hình 0.2.



Hình 0.2: Ký hiệu các cổng logic thường dùng

Tương ứng:

Hình 0.2a: Cỗng NAND $Z_4 = \overline{A \cdot B}$ (0-4)

Hình 0.2b: Cỗng NOR $Z_5 = \overline{A + B}$ (0-5)

Hình 0.2c: Cỗng NORAND $Z_6 = \overline{A \cdot B + C \cdot D}$ (0-6)

Hình 0.2d: Cỗng XOR $Z_7 = A \oplus B$ (0-7)

2. Các định luật cơ bản của đại số Boole

Định luật giao hoán:

$$A + B = B + A \quad (0-8)$$

$$A \cdot B = B \cdot A \quad (0-9)$$

Định luật kết hợp:

$$A + (B + C) = (A + B) + C \quad (0-10)$$

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C \quad (0-11)$$

Định luật phân phối:

$$A \cdot (B + C) = A \cdot B + A \cdot C \quad (0-12)$$

$$(A + B) \cdot (A + C) = A + B \cdot C \quad (0-13)$$

Định luật phủ định của phủ định:

$$\overline{\overline{A}} = A \quad (0-14)$$

Định luật DE MORGAN:

$$\overline{A + B} = \overline{A} \cdot \overline{B} \quad (0-15)$$

$$\overline{A \cdot B} = \overline{A} + \overline{B} \quad (0-16)$$

Các qui tắc đối với biến số:

$$A + A = A \quad (0-17)$$

$$A + \overline{A} = 1 \quad (0-18)$$

$$A \cdot A = A \quad (0-19)$$

$$A \cdot \overline{A} = 0 \quad (0-20)$$

Các qui tắc đối với hằng số:

$$\overline{0} = 1 \quad (0-21)$$

$$\overline{1} = 0 \quad (0-22)$$

$$A + 0 = A \quad (0-23)$$

$$A + 1 = 1 \quad (0-24)$$

$$A \cdot 0 = 0 \quad (0-25)$$

$$A \cdot 1 = A \quad (0-26)$$

3. Một số công thức thường dùng

Sử dụng những qui tắc và công thức ở phần trên, có thể suy ra những công thức mới, sau đây là các công thức thường dùng để tối giản các biểu thức lôgic

a) $A \cdot B + A \cdot \bar{B} = A$ (0-27)

Chứng minh:

$$A \cdot B + A \cdot \bar{B} = A (B + \bar{B}) = A$$

b) $A + A \cdot B = A$ (0-28)

Chứng minh:

$$A + A \cdot B = A (1 + B) = A$$

c) $A + \bar{A} \cdot B = A + B$ (0-29)

Chứng minh:

$$A + \bar{A} \cdot B = (A + \bar{A})(A + B) = 1 \cdot (A + B)$$

d) $A \cdot B + \bar{A} \cdot C + B \cdot C = A \cdot B + \bar{A} \cdot C$ (0-30)

Chứng minh:

$$\begin{aligned} A \cdot B + \bar{A} \cdot C + B \cdot C &= A \cdot B + \bar{A} \cdot C + B \cdot C (A + \bar{A}) \\ &= A \cdot B + \bar{A} \cdot C + B \cdot C \cdot A + B \cdot C \cdot \bar{A} \\ &= A \cdot B + A \cdot B \cdot C + \bar{A} \cdot C + \bar{A} \cdot B \cdot C \\ &= A \cdot B + \bar{A} \cdot C \end{aligned}$$

Kết quả:

e) $\overline{A \cdot B + \bar{A} \cdot C} = \overline{A \cdot B} + \overline{\bar{A} \cdot C}$ (0-31)

Chứng minh:

$$\begin{aligned} \overline{A \cdot B + \bar{A} \cdot C} &= (\bar{A} + B)(A + \bar{B}) \\ &= \bar{A} \cdot A + \bar{A} \cdot \bar{B} + B \cdot A + B \cdot \bar{B} \\ &= 0 + \bar{A} \cdot \bar{B} + A \cdot B + 0 \end{aligned}$$

Kết quả:

f) $\overline{A \cdot B + \bar{A} \cdot C} = \overline{A \cdot B} + \overline{\bar{A} \cdot C}$ (0-32)

Chứng minh:

$$\begin{aligned} \overline{A \cdot B + \bar{A} \cdot C} &= (\bar{A} + \bar{B})(A + \bar{C}) \\ &= \bar{A} \cdot A + \bar{A} \cdot \bar{C} + \bar{B} \cdot A + \bar{B} \cdot \bar{C} \\ &= 0 + A \cdot \bar{B} + \bar{A} \cdot \bar{C} + \bar{B} \cdot \bar{C} \\ &= A \cdot \bar{B} + \bar{A} \cdot \bar{C} \text{ (Theo 1.30)} \end{aligned}$$

4. Những công thức với XOR (phép cộng với sự loại trừ)

Định nghĩa phép HOẶC tuyệt đối XOR

$$A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B \quad (0-33)$$

Hàm logíc XOR = 1. Khi các biến A, B lấy các giá trị khác nhau

và XOR = 0. Khi các biến A, B lấy các giá trị bằng nhau

- Luật giao hoán:

$$A \oplus B = B \oplus A \quad (0-34)$$

- Luật kết hợp:

$$(A \oplus B) \oplus C = A \oplus (B \oplus C) \quad (0-35)$$

- Luật phân phối

$$A (B \oplus C) = A.B \oplus AC \quad (0-36)$$

- Các phép toán của biến và hằng số:

$$A \oplus 1 = \bar{A} \quad (0-37)$$

$$A \oplus 0 = A \quad (0-38)$$

$$A \oplus A = 0 \quad (0-39)$$

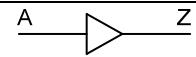
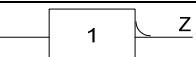
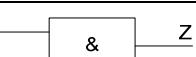
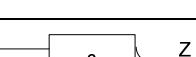
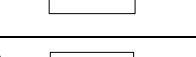
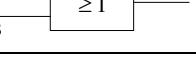
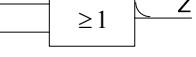
$$A \oplus \bar{A} = 1 \quad (0-40)$$

0.2. Bảng so sánh những kí hiệu logic

Kí hiệu 1: Theo tiêu chuẩn của quân lực Hoa Kỳ (American Military Standard Symbol).

Kí hiệu 2: Theo Ủy ban Kỹ thuật điện Quốc tế (International Electrotechnical Commission Symbol).

Bảng 0-1

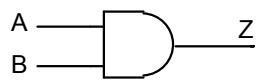
Loại cỗng	Hàm logic	Kí hiệu 1	Kí hiệu 2
Đệm	$Z = A$		
Đảo	$Z = \bar{A}$		
VÀ	$Z = A \cdot B$		
KHÔNG - VÀ	$Z = \bar{A} \cdot B$		
HOẶC	$Z = A + B$		
KHÔNG - HOẶC	$Z = \bar{A} + B$		
HOẶC tuyệt đối	$Z = A \oplus B$		

0.3. Tín hiệu tác động cao và tác động thấp

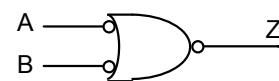
Từ định lý DeMorgan như sau:

$$Z = A \cdot B = \overline{\overline{A} + \overline{B}}$$

Như vậy hai công logic hình 0.3 là tương đương



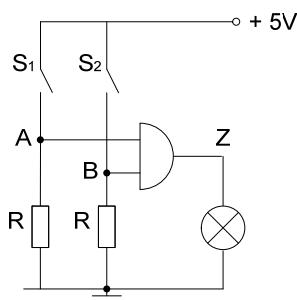
a) Cổng có tác động cao



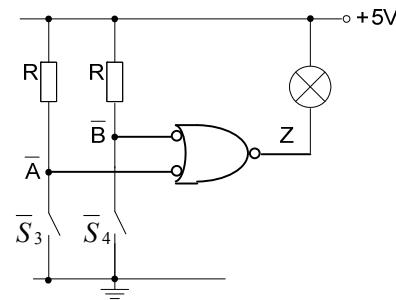
b) Cổng có tác động thấp

Hình 0.3: Cổng VÀ có tác động cao tương ứng với cổng NOR tác động thấp

Mạch điện hình 0.4. Giải thích rõ thêm vấn đề trình bày ở trên



a) Cổng có tác động cao



b) Cổng có tác động thấp

Hình 0.4: Mạch điện cổng VÀ có tác động cao và tác động thấp

$S_1, S_2, \bar{S}_3, \bar{S}_4$ là các khoá điện hay các chuyển mạch điện tử.

A, B, \bar{A}, \bar{B} là các đường tín hiệu tương ứng.

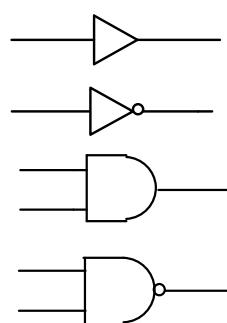
Cả hai hình trên, mạch có tín hiệu tác động, khi các khoá tương ứng đóng.

Ở hình 0.4a) tín hiệu lối vào cổng VÀ là tín hiệu tác động cao, khi S_1 và S_2 đóng, $A = B = 1$, $Z = A \cdot B = 1$ tương ứng đèn sáng.

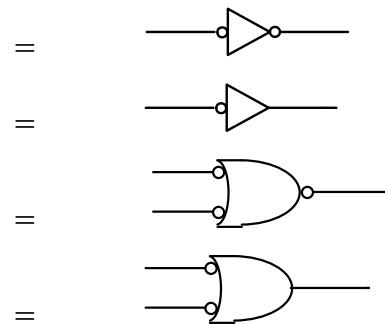
Ở hình 0.4b) tín hiệu lối vào cổng KHÔNG - HOẶC là tín hiệu tác động thấp, khi \bar{S}_3 hoặc \bar{S}_4 đóng, tương ứng \bar{A} hoặc \bar{B} bằng không, hoặc cả hai \bar{A} và \bar{B} bằng không. $Z = 0$ tương ứng đèn sáng.

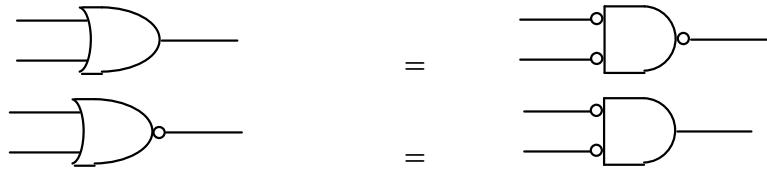
Trong điện tử số hiện nay, ta gấp cả tín hiệu tác động cao và tín hiệu tác động thấp. Những điều trình bày trên giúp ta dễ dàng hiểu các ký hiệu tương ứng khác trình bày trong hình 0.5.

Tín hiệu lối vào tác động cao



Tín hiệu lối vào tác động thấp





Hình 0.5: Một số cổng logic có lối vào tác động cao và lối vào tác động thấp

0.4. Các tham số cơ bản của cửa cổng logic

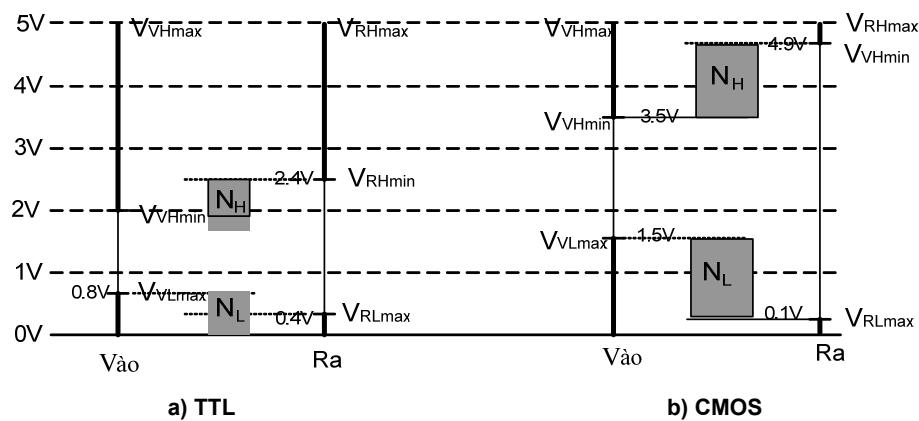
Một loại cổng logic có thể được xây dựng bằng các thẻ loại cầu kiện và theo nhiều kiểu mạch khác nhau. Các tham số cơ bản của các cổng logic và cũng là các tham số đặc trưng cho mạch tích hợp của cổng logic đó.

1. Mức logic

Mức logic là điện áp trên đầu vào và đầu ra của cổng tương ứng với logic “1” và logic “0”. Mức logic phụ thuộc vào điện áp nguồn nuôi của cổng. Nói chung điện áp nguồn nuôi cao thì mức logic H (High) cũng càng cao, nhưng mức H không thể vượt quá mức điện áp nguồn nuôi. Điện áp nguồn được lựa chọn tùy theo yêu cầu ứng dụng của cổng. Nếu mức logic vào vượt quá điện áp nguồn nuôi có thể gây hư hỏng cho cổng.

Mức TTL là một chuẩn Quốc tế, qui định điện áp nguồn nuôi là 5V.

Mức điện áp tương ứng với logic H và L trên đầu vào và đầu ra của các cổng TTL và CMOS được trình bày trên hình 0.6.



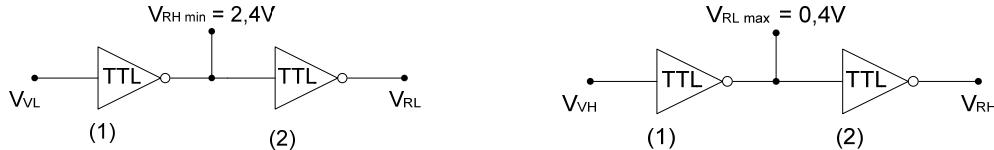
Hình 0.6: Mức logic của các cổng TTL và CMOS

Từ hình vẽ trên, có nhận xét sau:

- + Mức vào, ra đối với cổng TTL và CMOS khác nhau rất nhiều.
- + Mức vào, ra sẽ ảnh hưởng đến độ chống nhiễu của cổng.

2. Độ chống nhiễu

Độ chống nhiễu (hay độ phòng vệ nhiễu) là mức nhiễu lớn nhất tác động đến lối vào hoặc lối ra của cổng mà không làm thay đổi trạng thái vốn có của nó. Nói cách khác là đối với mức nhiễu bé hơn hoặc bằng độ chống nhiễu, hoạt động của cổng không bị rối loạn. Hình 0.7 để khảo sát độ chống nhiễu của cổng logic, đây là cổng NOT họ TTL.



a) Tác động của nhiễu khi mức ra cao

b) Tác động của nhiễu khi mức ra thấp

Hình 0.7: Mô tả tác động nhiễu đến các cổng logic

Trước khi xác định độ chia động nhiễu, khảo sát mức điện áp đóng và mức ngắt.

- Mức điện áp đóng cổng V_{OFF} , đó là mức logic thấp đầu vào cực đại cho phép đảm bảo mức điện áp đầu ra ở mức cao chuẩn. Trên hình 0.6 mức $V_{OFF} = 0,8V$.

- Mức điện áp mở cổng V_{ON} . Đó là giá trị cực tiểu cho phép đổi với mức logic cao đầu vào đảm bảo mức logic thấp chuẩn ở đầu ra. Trên hình 0.6 mức $V_{ON} = 2V$.

V_{OFF} và V_{ON} là hai tham số thường dùng nó đưa ra giá trị giới hạn cho sự biến thiên cho phép của mức tín hiệu đầu vào trong điều kiện cổng làm việc bình thường.

Muốn cổng NOT ngắt tin cậy, điện áp ra ở mức cao chuẩn, thì điện áp vào phải nhỏ hơn V_{OFF} .

Muốn cổng NOT thông bao hoà tin cậy, điện áp ra ở mức thấp chuẩn, thì điện áp vào phải lớn hơn V_{ON} .

Độ chia động nhiễu hay mức nhiễu (tạp âm) cho phép với tín hiệu đầu vào V_N phân ra hai trường hợp:

a) Đổi với mức cao: Nếu tạp âm cho phép đổi với tín hiệu đầu vào mức cao V_{NH} là giá trị cực đại cho phép của điện áp tạp âm xếp chồng với tín hiệu sao cho vẫn đảm bảo mức thấp chuẩn ở đầu ra.

Từ hình 0.7a) đầu ra của cổng logic 1 có mức logic H, $V_{RH\ min} = 2,4V$; tính mức tạp âm để đầu ra của cổng logic 2 có mức điện áp thấp chuẩn.

Ta có:

$$V_{NH} = V_{RH\ min} - V_{ON} \quad (0-41)$$

$$V_{RH\ min} = 2,4V; V_{ON} = 2,0V; V_{NH} = 0,4V$$

b) Đổi với mức thấp: Mức tạp âm cho phép đổi với tín hiệu đầu vào mức thấp V_{NL} là điện áp tạp âm (nhiễu) xếp chồng với tín hiệu sao cho vẫn đảm bảo mức cao chuẩn ở đầu ra.

Từ hình 0.7b) đầu ra của cổng logic 1 có mức logic L, $V_{RL\ max} = 0,4V$; tính mức tạp âm để đầu ra của cổng logic 2 bảo đảm mức điện áp cao chuẩn.

Ta có:

$$V_{NL} = V_{OFF} - V_{RL\ max} \quad (0-42)$$

$$V_{RL\ max} = 0,4V; V_{OFF} = 0,8V; V_{NL} = 0,4V$$

Cũng tương tự suy ra độ chia động nhiễu của cổng CMOS.

$$V_{NH} = 4,9V - 3,5V = 1,4V$$

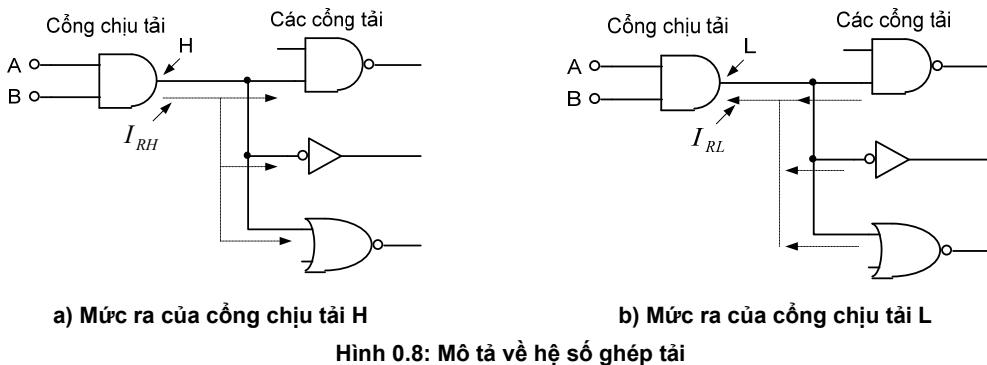
$$V_{NL} = 1,5V - 0,1V = 1,4V$$

V_{NH} , V_{NL} là tham số đặc trưng cho độ chống nhiễu, trị số của chúng càng lớn thì khả năng chống nhiễu càng cao.

Kết quả trên cho thấy khả năng chống nhiễu của họ CMOS lớn hơn nhiều họ TTL.

3. Hệ số ghép tải No

Hệ số ghép tải cho biết khả năng nối được bao nhiêu lối vào của các công sau tới đầu ra của công đã cho. Hình 0.8 minh họa về hệ số ghép tải.



Hình 0.8: Mô tả về hệ số ghép tải

Hệ số ghép tải phụ thuộc dòng ra của công chịu tải và dòng vào của các công tải ở cả hai trạng thái H, L. Các loại dòng này được định nghĩa như sau:

Dòng ra I_{RH} , I_{RL} là dòng chảy từ đầu ra công chịu tải tới tất cả các đầu vào của công tải và ngược lại ứng với hai trạng thái H, L tại đó. Đối với công TTL tiêu chuẩn I_{RH} đạt khoảng $40\mu A$ và I_{RL} có thể tới $1,6mA$ cho mỗi công.

Dòng vào I_{VH} , I_{VL} là dòng vào của mỗi công tải ở trạng thái H, L tương ứng.

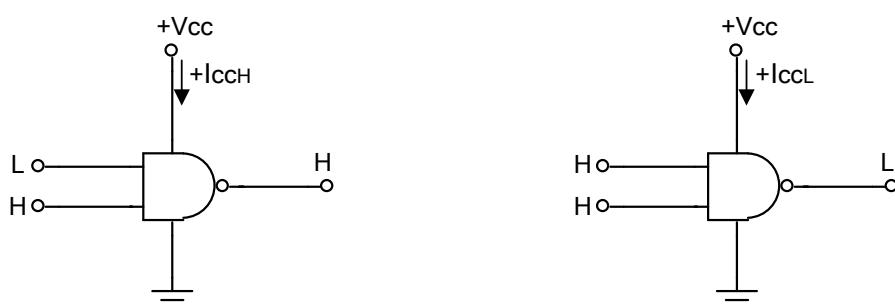
Căn cứ vào dòng ra I_{RH} , I_{RL} và dòng vào I_{VH} , I_{VL} có suy ra hệ số ghép tải No cho mỗi công logic.

4. Công suất tiêu thụ

Mỗi công logic khi được cấp nguồn nuôi đều có dòng đi qua. Cường độ dòng điện này sẽ phụ thuộc vào trạng thái logic đầu ra của công. Hình 0.9 mô tả dòng tiêu thụ của công. Trong đó:

I_{CCH} – dòng tiêu thụ khi đầu ra ở mức cao H

I_{CCL} – dòng tiêu thụ khi đầu ra ở mức thấp L



Hình 0.9: Hai trạng thái tiêu thụ dòng của công logic

Theo thông kê, tín hiệu số có tỷ số bit H / bit L bằng 1. Do đó dòng tiêu thụ trung bình I_{CC} được tính theo công thức:

$$I_{CC} = \frac{I_{CCH} + I_{CCL}}{2} \quad (0-43)$$

Công suất tiêu thụ trung bình của mỗi cổng sẽ là:

$$P_O = I_{CC} \cdot V_{CC} \quad (0-44)$$

Công suất tiêu thụ của cổng TTL nói chung không biến đổi trong dải tần công tác của nó. Trong khi đó, công suất tiêu thụ của họ cổng MOS lại phụ thuộc nhiều vào tần số. Ở điều kiện tĩnh công suất tiêu thụ rất nhỏ và nó tăng dần theo sự tăng tần số công tác.

5. Thời gian truyền đạt trung bình t_{pd} (trễ truyền đạt)

Tín hiệu đi qua một cổng phải mất một khoảng thời gian. Khoảng thời gian đó là thời gian truyền đạt hay độ trễ truyền đạt.

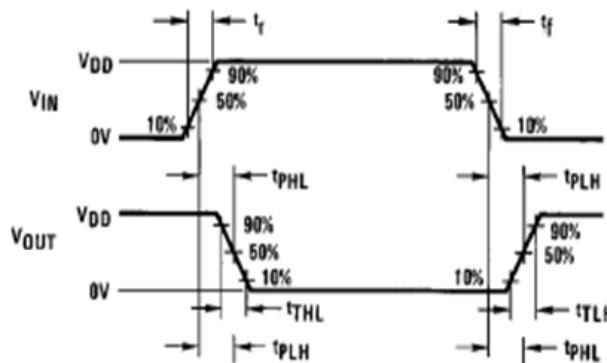
Trễ truyền đạt là tiêu chuẩn để đánh giá tốc độ làm việc của mạch. Tốc độ làm việc tương ứng với tần số lớn nhất mà mạch vào hoạt động đúng. Rõ ràng, trễ truyền đạt càng nhỏ càng tốt hay tốc độ làm việc càng lớn càng tốt.

Hình 0.10 minh họa thời gian trễ truyền đạt trong mạch số (ở đây là mạch NOT). Một chuyển biến từ 0 đến 1 ở đầu vào gây ra sự chuyển biến từ 1 đến 0 ở đầu ra và ngược lại.

Trễ truyền đạt thường được tính toán ở điểm 50% biên độ trên các sườn trước và sườn sau tương ứng giữa xung vào và xung ra.

Có hai loại trễ truyền đạt:

- Trễ xảy ra khi đầu ra thay đổi từ mức cao (High) xuống mức thấp (Low).
- Trễ xảy ra khi đầu ra thay đổi từ mức thấp (Low) đến mức cao (High).



Hình 0.10: Trễ truyền đạt

Do cấu tạo của mạch logic, trễ giữa hai loại chuyển biến thường là khác nhau. Chúng giống nhau về mức, gần nhau về giá trị nhưng không tương đương.

Độ rộng sườn trước t_{PHL} và độ rộng sườn sau t_{PLH} của xung vào và xung ra được định nghĩa:

Độ rộng sườn trước t_{PHL} (độ rộng sườn sau t_{PLH}) là khoảng thời gian để biên độ xung thay đổi trong khoảng từ 10% đến 90% giá trị biên độ cực đại của nó.

Đối với hầu hết các vi mạch số hiện nay, trễ truyền đạt là rất nhỏ. Trễ truyền đạt có thể nhỏ cỡ 1ns (nano giây). Một vài loại mạch lôgic có thời gian trễ cỡ 100ns. Độ rộng sườn trước, sườn sau thường nhỏ hơn thời gian trễ.

Trễ truyền đạt trung bình được tính theo công thức:

$$t_{pd} = \frac{t_{PHL} + t_{PLH}}{2} \quad (0-45)$$

Khi liên tiếp mắc nhiều mạch logic, thì trễ truyền đạt của toàn mạch bằng tổng trễ truyền đạt của từng tầng.

6. Tích công suất và tốc độ S_{pp}

S_{pp} là tích của công suất tiêu thụ trung bình P_o và trễ truyền đạt trung bình t_{pd} .

S_{pp} được tính theo công thức sau:

$$S_{pp} = t_{pd} \cdot P_o \quad (0-46)$$

Đơn vị của S_{pp} là picojun (Pj). Tham số này cho ta sự so sánh cả về công suất tiêu thụ và thời gian trễ. S_{pp} càng bé càng tốt. Một công họ CMOS tiêu chuẩn có S_{pp} nhỏ hơn nhiều so với công TTL. Ví dụ: tại tần số 100KHz công CMOS có tần số cao cỡ $S_{pp} = 1,4\text{Pj}$, trong đó công TTL + LS cỡ $S_{pp} = 20\text{Pj}$.

7. Tóm tắt đặc trưng của một vài họ công logic

Để đánh giá tổng quát đặc trưng của từng họ công, ta có thể so sánh một số tham số cơ bản của chúng theo bảng 0.2.

Bảng 0.2

Công nghệ	CMOS cực cửa Silic	CMOS cực cửa kim loại	TTL tiêu chuẩn	TTL + LS	TTL + S	TTL + ALS
Loại	74HC	4000 B	74	74 LS	74 S	74 ALS
Po tĩnh Po tại 100kHz	2,5 nW 0,17 mW	1 μW 0,1 mW	10 mW 10 mW	2 mW 2 mW	19 mW 19 mW	1 mW 1 mW
Trễ truyền lan	8 ns	50 ns	10 ns	10 ns	3 ns	4 ns
Hệ số ghép tải - cùng loại - với LS			10 40	20 20	20 50	20 20
Độ chống nhiễu V_{NH} V_{NL}	1,4 0,9	1,4 0,9	0,4 0,4	0,7 0,4		0,7 0,4
Tần số đồng hồ cực đại (MHz)	40	12	35	40	125	70
S_{pp} (pj) tại 100kHz	1,4	11	100	20	57	4
I_{RL} min (mA) với $V_R = 0,4V$	4	1,6	16	8	20	8
I_{VL} max (mA) với $V_V = 0,4V$	+ 0,001	- 0,001	- 1,6	- 2,4	- 0,2	- 0,1

Từ bảng 0.2 có thể rút ra một số nhận xét dưới đây:

- Công nghệ CMOS với cực cửa S_{PP} nhỏ nhất, nghĩa là ứng với tần số thấp, công suất tiêu thụ của họ này là nhỏ nhất. Ngày nay công nghệ CMOS đã đạt được thời gian trễ truyền đạt chỉ khoảng dưới 10ns.

- Luôn tồn tại mâu thuẫn giữa các tham số với nhau, đặc biệt là công suất tiêu thụ và tần số công tác. Nói chung muốn tăng tần số công tác thì phải chịu thiệt về công suất. Đối với họ CMOS trễ truyền đạt phụ thuộc nhiều vào V_{cc}; khi tăng giá trị nguồn nuôi, thời gian trễ sẽ giảm xuống.

- ECL là họ có thời gian trễ truyền đạt nhỏ (1ns). Tuy nhiên công suất tiêu thụ lớn, nguồn trái cực (- 5,2V) nên gây sự phức tạp khi ứng dụng.

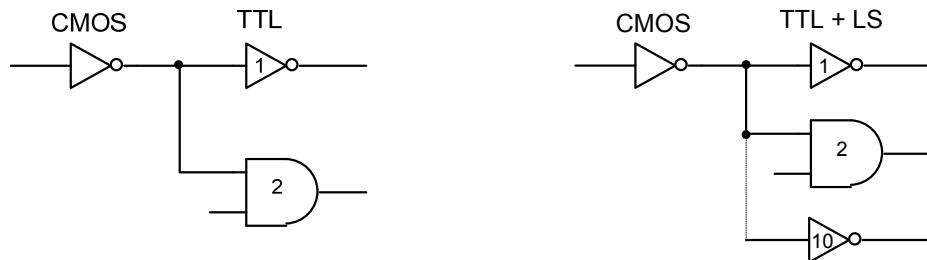
0.5. Một số lưu ý khi sử dụng IC số

Trong một thiết bị, có thể sử dụng nhiều công IC khác nhau. Do các tham số vào, ra của các họ công khác nhau nên cần có sự phối ghép thích hợp giữa chúng.

1. Phối ghép đồng mức

a) Giữa CMOS với TTL

Hình 0.11 mô tả sự phối ghép giữa công họ CMOS với TTL



Hình 0.11: Sơ đồ mô tả sự phối ghép giữa công họ CMOS với TTL

Vì mức V_{Rmin} của công CMOS lớn hơn nhiều so với mức V_{Vmin} của công TTL nên ta có thể nối trực tiếp như hình 0.11. Một lối ra của công CMOS có thể nối tới nhiều lối vào của công TTL tùy tính chất của chúng.

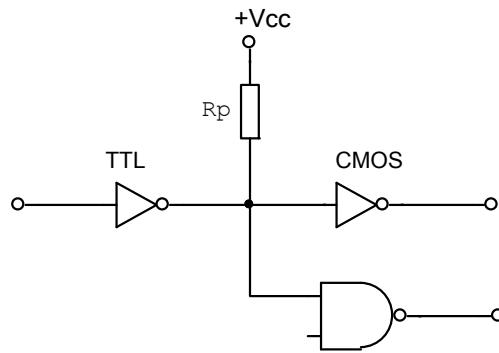
b) Giữa TTL với CMOS

Sự phối ghép được trình bày trên hình 0.12. Trong trường hợp này vì mức ra của công TTL V_{RHmin} = 2,4V, mà mức vào của công CMOS lại cao V_{VHmin} = 3,5V. Do đó, để công CMOS hoạt động bình thường ta phải đấu thêm điện trở R_P để nâng điện áp ra của công TTL, R_P được tính theo công thức:

$$R_P = \frac{V_{CC} - V_{RH\min}}{I_{RL(TTL)} + nI_{VL(CMOS)}} \quad (0-47)$$

Với n là số công CMOS đấu tới đầu ra công TTL.

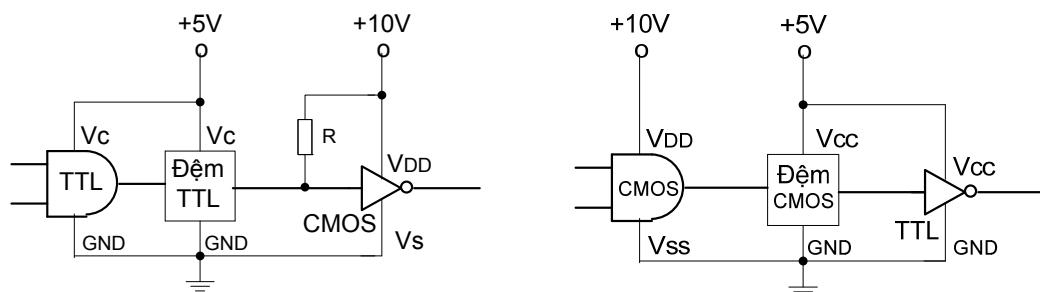
Hình 0.12 trình bày cách ghép giữa công TTL với CMOS



Hình 0.12: Phối ghép giữa cỗng TTL với CMOS

2. Phối ghép khác mức cung cấp

Trong thực tế, nhiều lúc để giảm trễ truyền đạt, ta dùng nguồn cao đôi với các cỗng CMOS, nhưng với các cỗng họ TTL chỉ dùng nguồn +5V. Khi đó cần có tầng đệm phối hợp giữa hai loại cỗng. Hình 0.13 mô tả việc phối ghép này.



Hình 0.13: Mạch điện mô tả minh họa phối ghép khác mức.

3. Xử lý các lối vào và cỗng thửa

Trong thực tế khi sử dụng các IC số có thể có một số ít cỗng hoặc một số ít lối vào bị thửa không dùng. Việc dư thửa này đôi khi là bất khả kháng. Ví dụ, nếu một mạch số cần 3 cỗng NAND 2 lối vào, thì thường ta phải dùng một IC 74LS00 gồm 4 NAND 2 lối vào, và như vậy là dư một cỗng.

Các lối vào thửa, cỗng thửa bắt luận trường hợp nào, không nhiều thì ít đều có ảnh hưởng đến sự hoạt động của hệ thống. Do đó việc xử lý là cần thiết và thực hiện theo cách sau:

Đối với các lối vào thửa, ta nối các lối vào đó với +V_{CC}, V_{DD} hoặc -V_{CC}, V_{SS} sao cho chức năng logic ban đầu của cỗng không thay đổi, hoặc nối song song với đầu vào có tín hiệu.

Đối với các cỗng thửa, ta nối các lối vào của chúng với +V_{CC}, V_{DD} hoặc -V_{CC}, V_{SS} sao cho đầu ra của nó luôn ở trạng thái logic H, nghĩa là làm cho cỗng tiêu thụ công suất thấp nhất.

Riêng họ MOS và CMOS, hiệu quả về công suất không đáng kể, nhưng việc xử lí nói trên lại có ý nghĩa quan trọng về phương diện chống nhiễu cho toàn hệ thống đó.

4. Một số chú ý đối điện áp nguồn nuôi; lối ra, lối vào của cỗng logic

a) Điện áp nguồn nuôi

- Không được vượt quá giá trị điện áp cho phép.

- Sử dụng đúng cực dương, âm của nguồn.
- Loại trừ “xung kim” xuất hiện ở mạch nguồn nuôi trong quá trình lắp ráp mạch tích hợp.

b) Đối với đầu ra của công logic.

- Không được nối các đầu ra của các công logic với nhau (trừ một số thiết kế đặc biệt, ví dụ như các công logic có collector hở).
- Không được nối trực tiếp đầu ra của công logic với “đất” hoặc với “nguồn V_{CC}”.

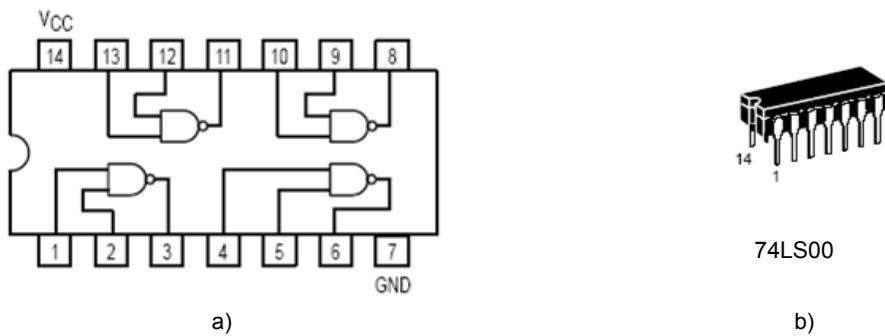
c) Đối với đầu vào của công logic

- Không được tác dụng điện áp hoặc dòng điện quá giá trị cho phép.
- Lưu ý tính phân cực của tín hiệu tác dụng (thấp hoặc cao).
- Không tác dụng tín hiệu khi công logic ngắt khỏi nguồn nuôi.

0.6. Các IC số thông dụng

Mạch tích hợp được đặt trong một vỏ kín hoặc bằng kim loại hoặc bằng nhựa đặc biệt. Các chân nối được dẫn ra ngoài để ghép mạch tích hợp với các mạch điện khác. Nếu nhìn từ trên xuống thì các chân nối đánh số thứ tự theo chiều ngược với chiều quay của kim đồng hồ 1, 2, 3, ..., 14, 15, 16. Chân đầu tiên (cũng như chân cuối cùng) đặt ở phía đầu vi mạch có vết “khía” hay vết “châm” hay vòng khuyết hình bán nguyệt”. Ví dụ: vi mạch số 74LS00 có 14 chân được bố trí như hình vẽ 0.14.

Hai trong số 14 chân được nối với nguồn V_{CC} và đất (GND). Các chân còn lại là các đầu vào và đầu ra của công NAND 2 lối vào.



Hình 0.14: Cấu trúc và hình dạng của vi mạch 74LS00. a) Cấu trúc ; b) Hình dạng

Số linh kiện (transistor, diode, điện trở ...) trong một mạch tích hợp nhiều hay ít tùy thuộc vào mức độ phức tạp của chức năng nó phải thực hiện. Căn cứ vào mức độ phức hợp người ta chia thành 3 loại:

- Tích hợp nhỏ (Small – Scale – Integration viết tắt là SSI).
- Tích hợp mức trung bình (Medium – Scale - Integration viết tắt là MSI).
- Tích hợp mức lớn (Large – Scale - Integration viết tắt là LSI)

Loại SSI có từ 14 đến 16 chân. Loại MSI có từ 16 đến 24 chân. Loại LSI có từ 24 đến 40 chân. Tuy vậy, số chân không chỉ chính xác mức độ phức tạp. Xem xét 74XX được sử dụng rộng rãi hiện nay. Chúng thuộc họ TTL (Transistor – Transistor – Logu) do hãng Texas Instruments sản xuất từ những năm 1964. Họ TTL bao gồm:

- TTL chuẩn (Standard TTL) được đánh số 7400, 7401, 7402 ...
- TTL tốc độ cao (High – Speed TTL) được đánh số 74H00, 74H01 ...
- TTL công suất thấp (Low – Power TTL) được đánh số 74L00, 74L01 ...
- TTL công suất thấp với diode và transistor Shottky (Low – Power – Shottky TTL) được đánh số 74LS00, 74LS01 ...

Xêri 74XX được các kỹ sư đưa sử dụng trong các sơ đồ thiết kế mạch số. Hoạt động trong dải nhiệt độ $0^{\circ}C$ đến $70^{\circ}C$. Điện áp nguồn nuôi là 4,75V đến 5,25V.

Ký hiệu của một số họ IC được trình bày ở bảng 0.3.

Bảng 0.3

TTL	MOS	ECL	Chú thích
..74..xxx. Ví dụ: MC74LS386N	..14xxx. ..4xxx. .74HCxxx. DM 4011B SN74H00	..1xxx MC1010 MC1212	Mỗi dấu “.” Thay cho một chữ cái: 2 chữ cái đầu là tên của hãng sản xuất, 2 chữ cái giữa chỉ rõ đặc điểm cấu trúc và tính năng, chữ cái cuối – két cấu vỏ. Các dấu “x” – chức năng logic, thay cho các tập hợp số từ 000 đến 999.

Một số họ IC được trình bày ở bảng 0.4.

Bảng 0.4

TTL			MOS			Chức năng
Kí hiệu	Số cổng/chip	Số lối vào/cổng	Kí hiệu	Số cổng/chip	Số lối vào/cổng	
74LS04	6	1	4069B	6		NOT
74LS05	6	1				NOT hở cực C
74LS15	3	3	4073B	3	3	AND (C hở với TTL)
74LS21	2	4	4081B	4	2	AND
74LS32	4	2	4071B	4	2	OR
74LS00	4	2	4011B	4	2	NAND
74LS01	4	2	4012B	2	2	NAND (C hở với TTL)
74LS03	4	2	4023B	3	3	NAND (C hở với TTL)
74LS10	3	3	4068B	1	8	NAND
74LS11	3	3				NAND
74LS12	3	3				NAND hở cực C
74LS20	2	4				NAND
74LS22	2	4				NAND hở cực C
74LS30	1	8				NAND

74LS37	4	2				Bộ đệm NAND
74LS38	4	2				Bộ đệm NAND C hở
74LS40	4	2				Bộ đệm NAND
74LS133	1	13				NAND
74LS27	3	3				NOR
74LS28	4	2				Bộ đệm NOR
74LS33	4	2				Bộ đệm NOR C hở
74LS86	4	2				XOR
74LS386	4	2	4070B	4	2	XOR
74LS136	4	2				XOR C hở
74LS13	2	4				NAND + TG Schmit
74LS14	6	1				NOT + TG Schmit
74LS132	4	2				NAND + TG Schmit
74LS125A	4	-	4093B	4	2	Đệm 3 TT với \bar{E}
74LS126A	4	-	4053B	6		Đệm 3 TT với E

0.7. Các thiết bị sử dụng trong thực hành điện tử số

1. Khối thiết bị chính DTLAB-201N (khối đá) cho thực tập điện tử số.
2. Panel thí nghiệm gồm 13 panel cho bài từ DB-201-DB213.

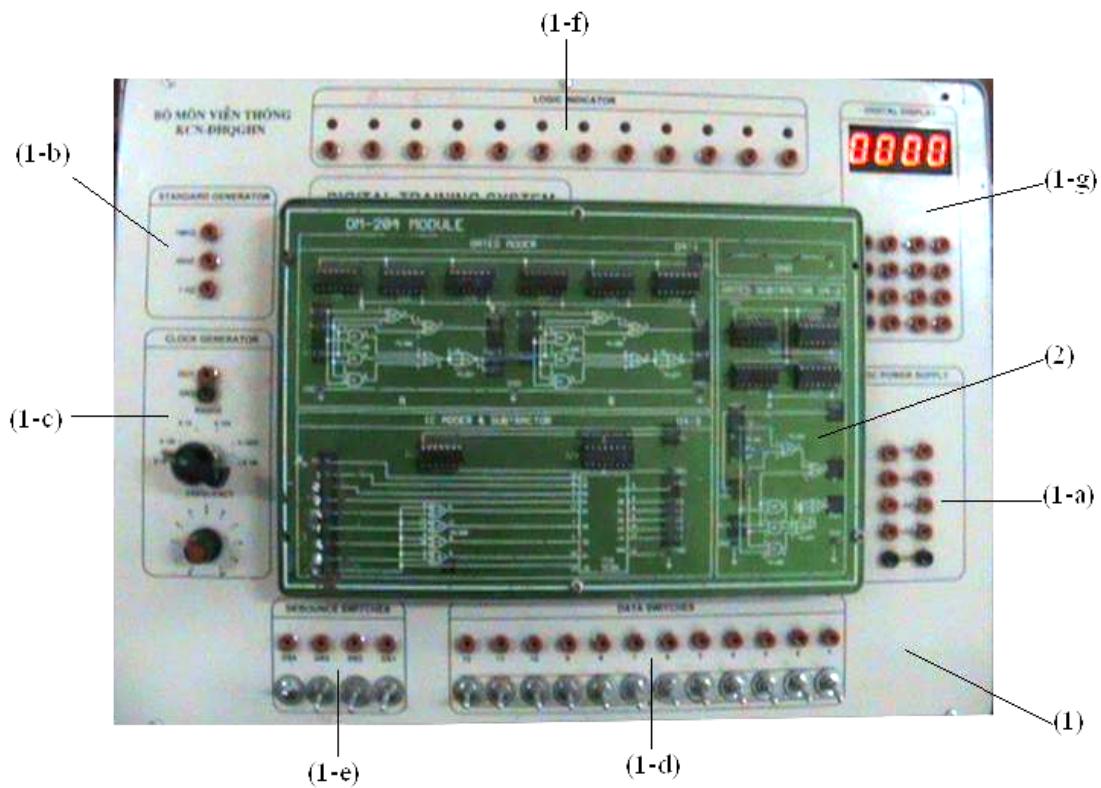
Ngoài 2 khối chính trên còn cần dùng các thiết bị khác như:

- Đồng hồ vạn năng
- Dao động ký 2 chùm tia
- Máy phát chức năng
- Các dây nối có chốt cắm 2 đầu

Trên hình 0.15 là khối thiết bị DTLAB-201N.

(1) Khối thiết bị chính DTLAB-201N: (1-a) Nguồn Ổn áp một chiều (dc power supply); (1-b) Máy phát tần số chuẩn (standard generator); (1-c) Máy phát xung clock (clock generator); (1-d) Công tắc logic (data switch); (1-e) Công tắc logic (debounce switch); (1-f) Chỉ thị trạng thái logic (logic indicators); (1-g) Chỉ thị số (digital display)

(2) Panel thí nghiệm



Hình 0.15: Khối thiết bị DTLAB-201N

BÀI 1

CỔNG LÔGIC (1)

ĐỊNH NGHĨA – PHÂN LOẠI – ĐẶC TRƯNG

Mục đích: Tìm hiểu các chức năng và tính chất cơ bản của các cổng logic.

PHẦN 1: LÝ THUYẾT

1.1. Các cổng logic cơ sở

Đối với các hàm chuyển mạch, có ba hàm chuyển mạch cơ bản nhất: Đó là các hàm AND, OR, NOT. Mạch điện thể hiện các hàm này thường được gọi là “cổng logic cơ sở”. Một số cổng được ghép các cổng cơ sở với nhau như: NAND, NOR, XOR và XNOR. Cả hai loại này đều gọi là cổng lôgic.

1.1.1. Cổng AND (VÀ)

Cổng AND là mạch điện thực hiện hàm chuyển mạch:

$$f = A \cdot B \text{ hay } f = A \cdot B \cdot C \cdot D \quad (1-1)$$

Kí hiệu các cổng AND theo tiêu chuẩn ANSI và IEEE 91 – 1984 như hình 1.1.



a) Theo tiêu chuẩn ANSI (American National standards institute), Viện tiêu chuẩn Quốc gia Hoa Kỳ
b) Theo tiêu chuẩn IEEE (Institute of Electrical and Electronics Engineers), Viện Kỹ thuật Điện và điện tử

Hình 1.1: Ký hiệu của cổng AND

Nguyên lý hoạt động của cổng AND được mô tả bằng bảng chân lý và trạng thái 1-1.

Bảng 1.1: Bảng chân lý và trạng thái mô tả hoạt động của các cổng AND 2 lối vào

A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

a) Ghi theo giá trị logic

A	B	f
L	L	L
L	H	L
H	L	L
H	H	H

b) Ghi theo mức logic

Muốn cổng AND (2 lối vào) hoạt động ta phải đưa tới mỗi lối vào của nó một biến chuyển mạch hay là biến lôgic. Bởi vậy, nếu cổng AND có n lối vào, thì trong bảng trạng thái của nó sẽ có 2^n hàng tích. Bảng 1.1b, mô tả hoạt động của cổng AND 2 lối vào. Cổng này thực hiện phép nhân logic, nên chỉ khi nào cả hai lối vào bằng 1, thì hàm ra mới bằng 1.

Các cổng logic được thực hiện bằng các cấu kiện bán dẫn như: diode, transistor, FET,... Để các phần tử này đóng mở được, tín hiệu tác động tới đầu vào của chúng phải có một mức điện áp thỏa mãn trong một dải giá trị nào đó. Trong trường hợp này, chính xác hơn ta thay các giá trị logic bằng các mức điện áp tương ứng hay còn gọi là mức logic..

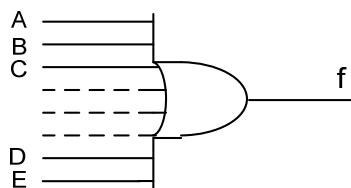
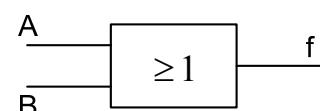
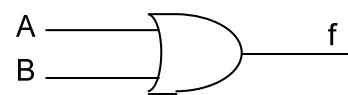
Theo quy ước, mức logic 1 được thay bằng mức điện áp cao viết tắt là H (High), còn mức 0 được thay bằng mức điện áp thấp L (Low) (xem bảng 1-1).

1.1.2. Cổng OR (HOẶC)

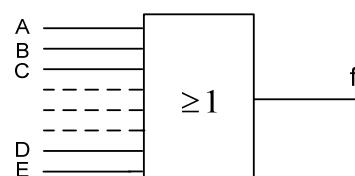
Cổng OR là mạch điện thực hiện hàm cộng trong đại số chuyển mạch. Biểu thức của hàm OR là:

$$f = A + B \text{ hay } f = A + B + C + D + \dots \quad (1-2)$$

Kí hiệu của cổng OR được biểu diễn ở hình 1.2.



a) Theo tiêu chuẩn ANSI



b) Theo tiêu chuẩn IEEE

Hình 1.2: Ký hiệu của cổng OR

Tương tự như cổng AND, nguyên lý hoạt động của cổng OR, có thể giải thích thông qua bảng chân lý và bảng trạng thái 1-2.

Bảng 1-2: Bảng chân lý và trạng thái mô tả hoạt động của các cổng OR 2 lối vào.

A	B	f
0	0	0
0	1	1
1	0	1
1	1	1

a) Ghi theo giá trị logic

A	B	f
L	L	L
L	H	H
H	L	H
H	H	H

b) Ghi theo mức điện áp

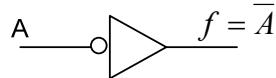
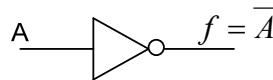
Một cổng OR có n lối vào, sẽ có 2^n hạng tích trong bảng trạng thái của nó.

1.1.3. Cổng NOT (Phủ định)

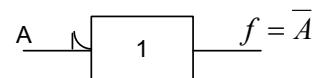
Cổng NOT được thực hiện hàm phủ định trong đại số Boole:

$$f = \bar{A} \quad (1-3)$$

Kí hiệu của cổng NOT được trình bày trên hình 1.3.



a) Theo tiêu chuẩn ANSI



b) Theo tiêu chuẩn IEEE

Hình 1.3: Kí hiệu của cổng NOT

Hoạt động của cổng NOT khá đơn giản:

$$\left. \begin{array}{l} A = 0 \text{ thì } f = \bar{A} = 1 \\ A = 1 \text{ thì } f = \bar{A} = 0 \end{array} \right\} \Rightarrow A = 0 \text{ thì } \bar{A} = 1$$

Bảng 1-3: Bảng chân lý và trạng thái của các cổng NOT

A	f
0	1
1	0

a) Ghi theo giá trị lôgic

A	f
L	H
H	L

b) Ghi theo mức logic

1.1.4. Logic dương và logic âm

Như đối với cổng NOT đã khảo sát ở phần trên, việc đảo tín hiệu trước hay sau là như nhau: Dấu “tròn” ở đầu vào hoặc đầu ra của cổng chỉ ra là giá trị tác động có tích cực thấp. Khi không có dấu “tròn” này mức logic tương ứng sẽ là tích cực cao hay còn gọi là logic dương.

Logic dương và logic âm được định nghĩa như sau:

Logic dương là logic có điện thế mức 1 luôn lớn hơn điện thế mức 0.

Logic âm là đảo của logic dương. Trong logic dương mức 1 có điện thế cao hơn mức 0. Đối với logic âm, ngược lại mức 0 có điện thế cao hơn mức 1.

1.2. Một số cổng ghép thông dụng

Cổng AND, OR, NOT là ba loại cổng logic cơ bản nhất. Khi ghép chúng lại với nhau, sẽ thu được các mạch logic từ đơn giản đến phức tạp. Trong phần này khảo sát một vài mạch ghép đơn giản nhưng rất thông dụng.

1.2.1. Cổng NAND

Ghép nối tiếp một cổng AND với một cổng NOT ta được cổng NAND hình 1.4.

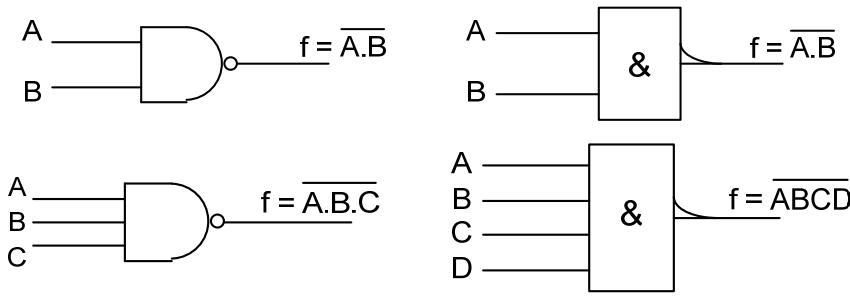


Hình 1.4: Sơ đồ cấu tạo cổng NAND

Từ phương pháp cấu tạo mạch, ta dễ dàng viết dưới hàm ra của cổng NAND 2 biến và nhiều biến.

$$f = \overline{AB}; f = \overline{ABCD} \quad (1-4)$$

Cổng NAND thường được ký hiệu như được trình bày trên hình 1.5.



Hình 1.5: Ký hiệu của cổng NAND

Bảng 1-4: Bảng chân lý và trạng thái của cổng NAND

A	B	f
0	0	1
0	1	1
1	0	1
1	1	0

a) Bảng chân lý

A	B	f
L	L	H
L	H	H
H	L	H
H	H	L

b) Bảng trạng thái

Thông qua định lý DeMorgan ta có thể biến đổi hàm ra của cổng NAND để tìm sự tương đương giữa cổng NAND và cổng OR

$$f = \overline{A \cdot B} = \overline{A} + \overline{B} \quad (1-5)$$

hoặc đổi với cổng nhiều lối vào

$$f = \overline{A \cdot B \cdot C \cdot D \dots} = \overline{A} + \overline{B} + \overline{C} + \overline{D} + \dots \quad (1-6)$$

Nói cách khác, nếu tác động tới các lối vào một cổng OR logic âm thì hàm ra của nó trùng với hàm ra của cổng NAND. Hình 1.6 trình bày sự tương đương trên.



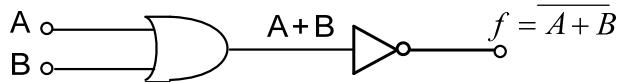
Hình 1.6: Sơ đồ tương đương giữa cổng NAND và cổng OR logic âm

1.2.2. Cổng NOR

Cổng NOR thực hiện hàm HOẶC – PHỦ ĐỊNH trong Đại số Boole

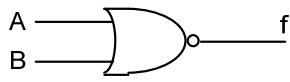
$$f = \overline{A + B} \text{ hay } f = \overline{A + B + C \dots} \quad (1-7)$$

Công NOR được thành lập bằng cách nối tiếp một công OR một công NOT. Hình 1.7: Mô tả các cấu tạo công NOR 2 lối vào.

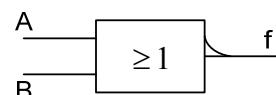


Hình 1.7: Sơ đồ cấu tạo một công NOR

Ký hiệu công NOR 2 lối vào được trình bày trên hình 1.8.



a) Theo tiêu chuẩn ANSI



b) Theo tiêu chuẩn IEEE

Hình 1.8: Ký hiệu công NOR 2 lối vào

Hoạt động của công NOR được giải thích bằng bảng chân lý và bảng chức năng 1-5.

Bảng 1-5. Bảng chân lý và bảng chức năng của công NOR 2 lối vào

A	B	f
0	0	1
0	1	0
1	0	0
1	1	0

a) Bảng chân lý

A	B	f
L	L	H
L	H	L
H	L	L
H	H	L

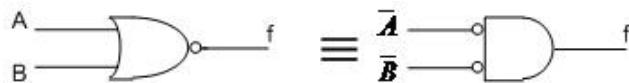
b) Bảng chức năng

Cũng trên sơ đồ, định lý DeMorgan có thể tìm được mối quan hệ giữa công NOR và công AND.

$$y = \overline{A + B} = \overline{A}\cdot\overline{B}$$

Khi tác động tới lối vào công AND logic âm, thì hàm ra của nó tương đương với hàm ra của công NOR với logic dương.

Hình 1.9 mô tả sự tương đương đã trình bày trên đây



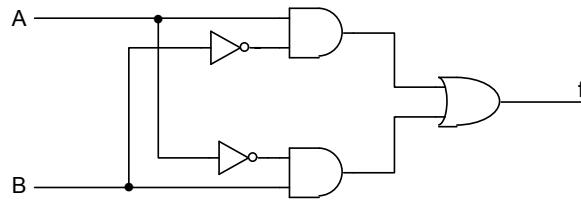
Hình 1.9: Sơ đồ tương đương giữa công NOR và công AND

1.2.3. Công HOẶC tuyệt đối

Công hoặc tuyệt đối còn có một số tên gọi khác: công HOẶC loại trừ XOR (Exclusiveor), công khác dấu, công cộng modun 2. Đây là một loại công ghép phức tạp hơn NAND và NOR. Biểu thức logic đầu ra của công là:

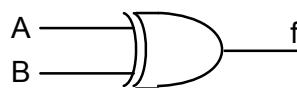
$$f = A\cdot\overline{B} + \overline{A}\cdot B \text{ hoặc } f = A \oplus B \quad (1-8)$$

Từ biểu thức đầu của (1.8) ta có mạch logic của công XOR như hình 1.10.

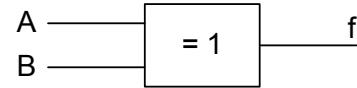


Hình 1.10: Sơ đồ của cổng XOR 2 lối vào

Phản ứng hợp thành của cổng XOR gồm cả ba loại cổng logic cơ sở AND, OR, NOT. Ký hiệu của cổng XOR 2 lối vào được trình bày trên hình 1.11



a) Theo tiêu chuẩn ANSI



b) Theo tiêu chuẩn IEEE

Hình 1.11: Ký hiệu của cổng XOR 2 lối vào

Bảng 1-6: Bảng chân lý và bảng chức năng của cổng XOR 2 lối vào

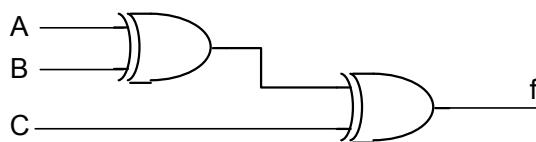
A	B	f
0	0	0
0	1	1
1	0	1
1	1	0

a) Bảng chân lý

A	B	f
L	L	L
L	H	H
H	L	H
H	H	L

b) Bảng chức năng

Hoạt động của cổng XOR nhiều lối vào cũng tương tự như cổng 2 lối vào, nghĩa là số bit 1 trên tất cả các lối vào là một số lẻ, thì hàm ra có logic 1, ngược lại nếu cổng có số bit 1 trên tất cả các lối vào là một số chẵn, thì hàm ra có logic 0. Có thể sử dụng cổng XOR 2 lối vào để thực hiện hàm XOR nhiều lối vào như hình 1.12



Hình 1.12: Sơ đồ thực hiện hàm XOR 3 lối vào

Từ biểu thức và bảng trạng thái của cổng XOR ta có thể suy ra một số tính chất của hàm XOR như sau:

1. Luật giao hoán:

$$A \oplus B = B \oplus A \quad (1-9)$$

2. Luật kết hợp:

$$(A \oplus B) \oplus C = A \oplus (B \oplus C) \quad (1-10)$$

3. Luật phân phối:

$$A(B \oplus C) = A.B \oplus A.C \quad (1-11)$$

4. Các phép toán của biến và hằng số:

$$A \oplus 1 = \overline{A} \quad (1-12)$$

$$A \oplus 0 = A \quad (1-13)$$

$$A \oplus A = 0 \quad (1-14)$$

$$A \oplus \overline{A} = 1 \quad (1-15)$$

5. Luật đổi chỗ nhân quả

Nếu $A \oplus B = C$

Thì $A \oplus C = B$ và $B \oplus C = A$ (1-16)

1.2.4. Cổng không hoặc tuyệt đối XNOR

Cổng không hoặc tuyệt đối còn có tên gọi là cổng đồng dấu.

Cổng XNOR được tạo thành khi mắc nối tiếp cổng XOR và cổng NOT.

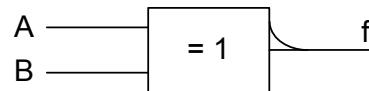
Biểu thức logic đầu ra:

$$f = \overline{A \oplus B} = AB + \overline{A} \cdot \overline{B} \quad (1-17)$$

Ký hiệu của cổng XNOR 2 lối vào được trình bày trên hình 1.13



a) Theo tiêu chuẩn ANSI



b) Theo tiêu chuẩn IEEE

Hình 1.13: Ký hiệu của cổng XNOR 2 lối vào

Hoạt động của cổng XNOR 2 lối vào được mô tả ở bảng trạng thái 1-7.

Bảng 1-7: Bảng chân lý và trạng thái của cổng XNOR 2 lối vào

A	B	f
0	0	1
0	1	0
1	0	0
1	1	1

a) Bảng chân lý

A	B	f
L	L	H
L	H	L
H	L	L
H	H	H

b) Bảng trạng thái

Ta cũng có thể xây dựng XNOR nhiều lối vào bằng cách tương tự như xây dựng XOR nhiều lối vào

1.3. Mạch điện cổng logic

Đối với công nghệ lưỡng cực, mạch điện cổng logic được phân thành các họ sau: RTL, DTL, TTL, ECL, HTL và HNIL (High – Noise – Immunity – logic).

- Họ logic RTL (RESISTOR – TRANSISTOR - LOGIC). Họ này chỉ dùng các loại transistor và điện trở. Hiện nay họ RTL không còn tồn tại vì các họ khác công suất tiêu thụ nhỏ hơn và độ chống nhiễu cao hơn.

- Họ DTL (DIODE - TRANSISTOR - LOGIC)

Chức năng logic của DTL được thực hiện bằng các điện trở, diode, transsistor. Họ này có độ chống nhiễu và khả năng tải cao hơn họ RTL.

- Họ TTL (TRANSISTOR – TRANSISTOR – LOGIC)

Là họ logic rộng lớn và phổ biến cho tới ngày nay vì họ này có tốc độ cao. Họ này thực hiện chức năng logic VÀ (AND) bằng các transsistor nhiều emitter. Còn chức năng đảo được thực hiện bằng bộ khuếch đại đảo dùng transsistor.

- Họ HTL (HIGH THRESHOLD – LOGIC)

Họ vi mạch số mức ngưỡng cao. HNIL Điện áp ngưỡng của HTL tương đối cao, thường từ $7 \div 8V$. Vậy nên mức tạp âm cho phép lớn, năng lực chống nhiễu cao. Nhưng tốc độ của HTL tương đối thấp. HTL rất phù hợp với các thiết bị điều khiển của công nghiệp, các thiết bị này không cần tốc độ cao lắm, nhưng cần độ tin cậy cao. Năng lực chống nhiễu là tiêu chuẩn quan trọng đánh giá độ tin cậy của thiết bị điều khiển.

- Họ ECL (EMITTER COUPLED LOGIC)

Vi mạch số ghép emitter.

Ưu điểm chủ yếu của ECL là thời gian đóng mở ngắn, khả năng chịu tải lớn, tạp âm nội bộ thấp, tỷ lệ thành phẩm khi sản xuất cao.

Nhược điểm chủ yếu của ECL là mức tạp âm cho phép nhỏ, tiêu hao công suất lớn, mức điện áp ra thay đổi theo nhiệt độ. ECL được dùng nhiều trong SSI và MSI có tốc độ cao và siêu cao.

Các họ logic trên được trình bày tương đối chi tiết trong giáo trình kỹ thuật số [1]. Trong phần này chỉ trình bày một số sơ đồ nguyên lý điển hình của TTL, trên cơ sở đó đưa ra các tham số chủ yếu của nó.

1.3.1. Mạch điện công TTL

Vi mạch TTL là vi mạch đơn phiến: Các phần tử tích cực, các cấu kiện, dây nối của toàn bộ mạch logic đều gia công trên một phiến để bán dẫn. Hiện nay công TTL phổ biến dưới dạng SSI và MSI. Công TTL tiêu hao công suất đáng kể nên có khó khăn sử dụng dưới dạng vi mạch VLSI.

1. Cỗng NAND TTL

a) Mạch điện và nguyên lý làm việc

Mạch điện của cỗng NAND TTL được trình bày trên hình 1.14.

Nó gồm 3 phần: transsistor nhiều emitter T₁ và R₁ làm thành phần đầu vào, transistor T₂ và R₂, R₃ làm thành phần giữa, các transistor T₃, T₄, T₅ và R₄, R₅ làm thành phần đầu ra.

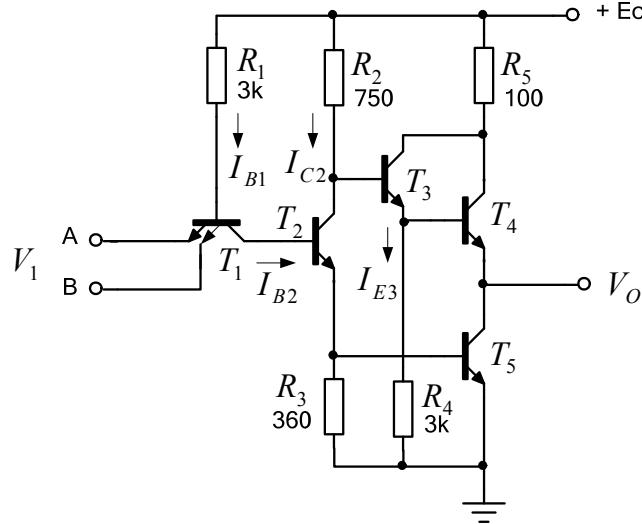
Giả thiết các transistor có $\beta = 20$.

Nguyên lý làm việc: Ở đầu vào thông qua các emitter của T₁ để thực hiện chức năng AND, T₂ đảo pha tạo ra tín hiệu ngược pha ở collector và emitter. Những tín hiệu ngược pha dùng để kích T₃ và T₅.

Khi bát kỳ một emitter nào có mức thấp của tín hiệu đầu vào, thì T₁ trở thành bão hòa, do đó T₂ và T₅ ngắn, còn T₃ và T₄ thông, đầu ra tải được nối với emitter của T₄, Vo ở mức cao.

Khi tín hiệu đầu vào toàn bộ đều là mức cao, thì T_1 ngắt. Do đó T_2 và T_5 bão hòa, T_3 và T_4 ngắt V_o ở mức thấp.

Quan hệ logic giữa đầu vào và đầu ra là NAND (KHÔNG – VÀ). Dưới đây cụ thể hóa sự phân tích trên bằng tính toán:



Hình 1.14: Cỗng NAND TTL

Giả sử emitter A làm đại diện ngẫu nhiên cho một tín hiệu đầu vào ở mức thấp.

$$V_L = 0,3V = V_A.$$

Khi đó, điện thế trên base của T_1 bị ghim ở giá trị $V_{B1} = 1V$

$$V_{B1} = V_A + V_{BEA} = 0,3V + 0,7V = 1V$$

$$I_{B1} = \frac{E_C - V_{B1}}{R_1} = \frac{5V - 1V}{3K\Omega} \cong 1,33mA$$

Khi đó T_1 bão hòa sâu do đó:

$$V_{CE1} = V_{CES1} = 0,1V$$

$$V_{B2} = V_{CE1} + V_A = 0,1V + 0,3V = 0,4V$$

Do đó T_2 ngắt, T_5 ngắt, T_3 và T_4 thông.

Đầu ra phụ tải emitter:

Vì I_{B3} rất nhỏ nên $V_{B3} = E_C - I_{B3}R_2 \approx E_C = 5V$

$$\text{Vậy: } V_o = V_{B3} - V_{BE3} - V_{BE4} = 5V - 0,7V - 0,7V = 3,6V$$

chứng tỏ tín hiệu đầu ra ở mức cao.

Giả sử toàn bộ các tín hiệu đầu vào đều có ở mức cao ($V_H = 3,6V$).

Ta giả thiết rằng khi đó chuyển tiếp emitter của T_1 vẫn thông với điện áp thuận:

$$V_{B1} = V_H + V_{BE1} = 3,6V + 0,7V = 4,3V$$

Tương ứng chuyển tiếp collector của T₁ và hai chuyển tiếp emitter của T₂ và T₅ đều phân cực thuận, xấp xỉ $\frac{V_{B3}}{3} \approx 1,4V$, chúng đều thông.

Giả thiết trên dẫn đến:

$$\begin{aligned} V_{B1} &= V_{BC1} + V_{BE2} + V_{BE5} \\ &= 0,7V + 0,7V + 0,7V = 2,1V \end{aligned}$$

V_{B1} bị ghim ở điện thế 2,1V, do đó giả thiết chuyển tiếp emitter của T₁ thông thuận là sai. Như vậy khi các lối vào ở mức cao

$$V_{E1} = V_H = 3,6V$$

Thì

$$V_{C1} = V_{B2} = V_{BE2} + V_{BE5} = 0,7V + 0,7V = 1,4V$$

Nghĩa là, theo các tính toán trên, chuyển tiếp emitter của T₁ phân cực ngược, chuyển tiếp collector của T₁ phân cực thuận. T₁ công tác ở chế độ mà emitter và collector đảo ngược vai trò cho nhau. Trong chế độ này hệ số khuếch đại dòng điện của transistor T₁ rất nhỏ thường $\beta \approx 0,01$.

$$I_{B1} = \frac{E_C - V_{B1}}{R} = \frac{5V - 2,1V}{3K\Omega} \approx 0,97mA$$

Vì T₁ có 2 emitter, collector và emitter đảo ngược vai trò. Dòng collector của T₁ chính là dòng base của T₂, ta có:

$$\begin{aligned} I_{B2} &= I_{B1} + 2\beta_1 I_{B1} \\ &= 0,97mA + 2 \times 0,1 \times 0,97mA \\ &\approx 1mA \end{aligned}$$

Với dòng I_{B2} lớn, T₂ thông bão hòa thi:

$$V_{C2} = V_{BE5} + V_{CES2} = 0,7V + 0,3V = 1V$$

$$\begin{aligned} I_{CS2} &= \frac{E_C - V_{C2}}{R_2} - I_{B3} \\ I_{CS2} &= \frac{E_C - V_{C2}}{R_2} = \frac{5V - 1V}{0,75K\Omega} \approx 5,33mA \\ I_{BS2} &= \frac{I_{CS2}}{\beta_2} = \frac{5,33mA}{20} \approx 0,27mA \end{aligned}$$

$I_{B2} > I_{BS2}$. Vì T₂ bão hòa, V_{C2} = 1V, T₃ thông dần, điện thế base T₄:

$$V_{B4} = V_{E3} = V_{C2} - V_{BE3} = 1V - 0,7V = 0,3V.$$

Do đó T₄ ngắt. Còn T₅ ta có:

$$\begin{aligned} I_{B5} &= I_{E2} - I_{R3} \\ I_{E2} &= I_{B2} - I_{CS2} = 1 + 5,33 = 6,33mA \\ I_{R3} &= \frac{V_{E2}}{R3} = \frac{V_{BE5}}{R3} = \frac{0,7V}{0,76} \approx 1,94mA \\ I_{B5} &= I_{E2} - I_{R3} = 6,3mA - 1,94mA = 4,36mA \end{aligned}$$

T₄ ngắt, T₅ thông bão hòa

$$V_O = V_{CE5} = 0,3V$$

Sắp xếp kết quả tính toán trên đây, ta được bảng trạng thái 1-8.

Bảng 1-8: Bảng trạng thái điện áp của mạch điện hình 1.14

V _A (V)	V _B (V)	V _O (V) = V _Z
0,3	0,3	3,6
0,3	3,6	3,6
3,6	0,3	3,6
3,6	3,6	0,3

Áp dụng logic dương, ta có bảng chân lý 1-9.

Bảng 1-9: Bảng chân lý của cổng NAND

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

Từ bảng chân lý 1-9 dễ dàng suy ra : $Z = \overline{A \cdot B}$ quan hệ logic NAND.

b) Đặc tính

- Đặc tính truyền đạt điện áp

Hình 1.15 trình bày đặc tính truyền đạt điện áp biểu thị quan hệ giữa điện áp đầu ra V_O với điện áp đầu vào V_I. Đặc tính có 4 đoạn AB, BC, CD, DE

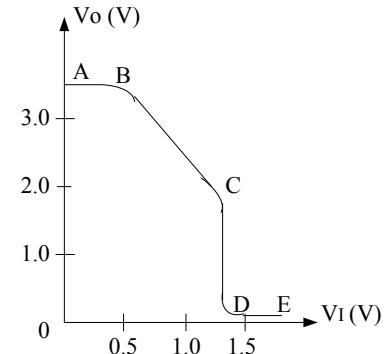
Đoạn AB: $V_I < 0,6V$; $V_O = V_H$ không phụ thuộc vào V_I, T₁ thông bão hòa T₂, T₅ ngắt; T₃, T₄ thông.

Transistor T₅ ngắt, T₅ là đầu ra của cổng NAND, vậy có thể nói cổng NAND ngắt.

Đoạn BC: $V_I = 0,6V \div 1,3V$, V_I tăng thì V_O giảm ; $V_{B2} = V_{C1} = 0,7V$, T₂ ở chế độ khuếch đại, vì $V_{B2} < 1,4V$ nên T₅ không thể thông ; T₄ và T₅ đều ở chế độ thông với tải emitter. Vì vậy V_O giảm tuyến tính theo sự tăng của V_I; BC là đoạn tuyến tính của đặc tính truyền đạt.

Đoạn DE : $V_I > 1,4V$ V_O ở mức thấp không thay đổi theo V_I; V_I tăng làm I_{B1} hoàn toàn đi đến collector của T₁ và trở thành dòng base của T₂; I_{B2} tăng làm T₂ thông bão hòa, kết quả T₃ ngắt, T₅ thông bão hòa, V_O = V_{CES5} = 0,3V. Như vậy V_O = V_L không thay đổi theo V_I, cổng NAND ở trạng thái bão hòa.

Các tham số:



Hình 1.15: Đặc tính truyền đạt điện áp của cổng NAND TTL

Hình 1.16 trình bày các tham số của cổng NAND TTL có thể xác định từ đặc tính truyền đạt.

Ngoài mức điện áp ra $V_{OH} = 3,6V$, $V_{OL} = 0,3V$ còn xác định được.

Điện áp ngưỡng V_T

Phần quá độ của đặc tuyến phân ranh giới giữa ngắn và thông của T5 tương ứng mức cao thấp của điện áp ra V_O . Vì thế gọi V_T là điện áp ngưỡng tương ứng với ranh giới đó. Trên hình 1.16 ta thấy: $V_T = V_{BE2} + V_{BE5} = 0,7V + 0,7V = 1,4V$.

V_T là tham số quan trọng, mấu chốt khi phân tích trạng thái công tác của cổng NAND TTL. Khi $V_I > V_T$ thì NAND bão hòa, đầu ra có mức thấp. Khi $V_I < V_T$ thì NAND ngắn, đầu ra có mức cao.

- Mức đóng và mức ngắn.

Mức điện áp đóng cổng V_{OFF} . Đó là mức logic thấp ở đầu vào cực đại cho phép bão đảm mức đầu ra bằng 90% của mức cao chuẩn. Trên hình 1.16 $V_{OFF} = 0,8V$.

Mức điện áp mở cổng V_{ON} . Đó là mức logic cực tiểu cho phép đổi với mức cao ở đầu vào bão đảm mức logic thấp chuẩn ở đầu ra. Trên hình 1.16 $V_{ON} = 1,8V$.

V_{ON} và V_{OFF} là hai tham số thường dùng, nó đưa ra giá trị giới hạn cho sự biến thiên cho phép của mức tín hiệu đầu vào trong điều kiện cổng làm việc bình thường. Muốn cổng NAND ngắn tin cậy thì V_I phải nhỏ hơn V_{OFF} . Muốn cổng NAND thông bão hòa tin cậy đưa ra mức thấp chuẩn thì V_I phải lớn hơn V_{ON} .

- Các chỉ tiêu chủ yếu

- Mức cao tín hiệu đầu ra: V_{OH} . Khi bất kỳ đầu vào nào có mức thấp thì đầu ra phải là mức cao V_{OH} . Trên đặc tuyến truyền đạt điện áp V_{OH} là điện áp đầu ra tương ứng với đoạn AB. Vì V_{OH} được đo khi không tải, nên tương ứng với khởi điểm của đặc tuyến đầu ra.

- Mức thấp của tín hiệu đầu ra : V_{OL}

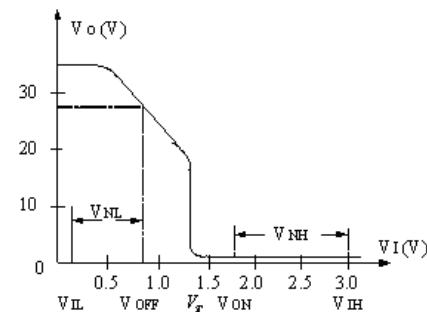
Khi tất cả đầu vào đều có mức cao thì đầu ra phải là mức thấp V_{OL} . Trên đặc tuyến truyền đạt điện áp V_{OL} là điện áp đầu ra tương ứng với đoạn DE. Thường thì V_{OL} được đo khi phụ tải chuẩn..

- Dòng điện ngắn mạch ở đầu vào I_{IS} đó là dòng điện chảy qua đầu vào nối đất

- Dòng điện đầu vào I_{IH} . Khi một đầu vào bất kỳ có mức cao thì có dòng chảy vào đầu vào đó. Dòng điện này gồm 2 phần: dòng điện emitter của T1 ở trạng thái phân cực ngược và dòng điện dò giữa đầu vào đó và các đầu vào khác được nối đất.

- Mức điện áp mở cổng V_{ON}

Để đầu ra ở mức thấp chuẩn khi phụ tải lớn nhất, thì đầu vào phải ở mức cao.



Hình 1.16: Các tham số xác định
theo đặc tuyến truyền đạt

Giới hạn dưới của mức cao đầu vào gọi là điện áp mở cổng V_{ON} . Nghĩa là điện áp đầu vào phải lớn hơn V_{ON} để cổng NAND thông. Từ đặc tuyến truyền đạt điện áp có thể thấy rằng V_{ON} phải lớn hơn V_T một chút.

- Mức điện áp đóng cổng V_{OFF}

V_{OFF} là mức điện áp đầu vào tương ứng để điện áp đầu ra đạt 90% mức chuẩn. Từ đặc tuyến truyền đạt điện áp có thể thấy rằng $V_{OFF} = 0,8V$. Vậy điện áp đầu vào phải nhỏ hơn V_{OFF} để cổng NAND ngắt.

- Hệ số tải đầu ra No

Khi tải là các cổng NAND cùng số hiệu, thì hệ số tải đầu ra No là số lượng cực đại các cổng NAND mắc song song làm tải mà một cổng NAND gánh được.

Căn cứ vào hệ số tải đầu ra No, dòng điện ngắn mạch đầu vào I_{IS} , dòng điện đầu vào I_{IH} ta có thể tính toán được dòng điện phụ tải cực đại ở trạng thái thông No I_{IS} , ở trạng thái ngắt No I_{IH} của một cổng NAND.

- Dòng điện nguồn khi NAND thông và ngắt I_{E1} , I_{E2} .

I_{E1} là dòng điện yêu cầu nguồn điện cung cấp cho cổng NAND khi cổng NAND thông với toàn bộ đầu vào hở mạch và đầu ra không tải.

I_{E2} là dòng điện yêu cầu nguồn điện cung cấp cho cổng NAND khi cổng NAND ngắt với đầu vào ở mức thấp và đầu ra không tải.

Căn cứ vào I_{E1} , I_{E2} , E_c có thể tính toán được tổn hao không tải trong cả hai trường hợp.

- Thời gian truyền đạt trung bình t_{pd} . Trước đây ta định nghĩa t_{pd} giả thiết tín hiệu đầu vào có dạng xung lý tưởng. Thực tế xung đầu vào vẫn có sườn dương và sườn âm. Vậy phải lấy giá trị 1,5V là chuẩn cho thời điểm đột biến từ mức thấp lên mức cao và ngược lại cho tín hiệu vào và tín hiệu ra, trên cơ sở đó xác định t_{p1} và t_{p2} như hình 1.17.

2. Các hình thái cải tiến mạch cổng NAND

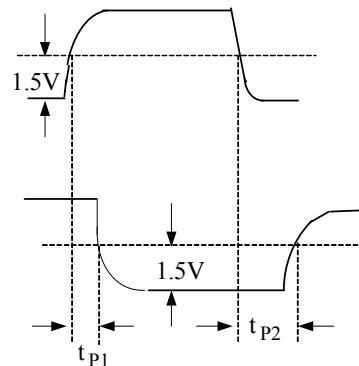
Sử dụng vi mạch số đã thúc đẩy sự phát triển nhanh chóng của kỹ thuật điện tử. Đồng thời thực tiễn ứng dụng cũng đưa ra yêu cầu mới cao hơn đối với vi mạch số. Đặc biệt là các yêu cầu: Nâng cao tốc độ, giảm tiêu hao, tăng năng lực chống nhiễu, v.v... Để thỏa mãn các yêu cầu đó, người ta cải tiến loại vi mạch đã có, hoặc là sáng chế các loại vi mạch mới.

Dưới đây là 2 kiểu mạch cải tiến của cổng NAND TTL đã được dùng rộng rãi.

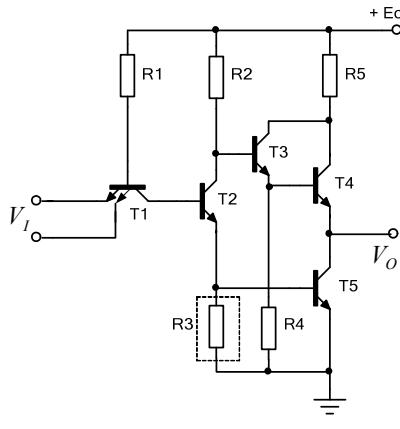
a) Mạch có nguồn phóng điện, hình 1.18

Trong mạch cải tiến hình 1.18b, mạch tích cự gồm T_6 , R_b , R_c thay thế R_3 trong mạch hình 1.18a.

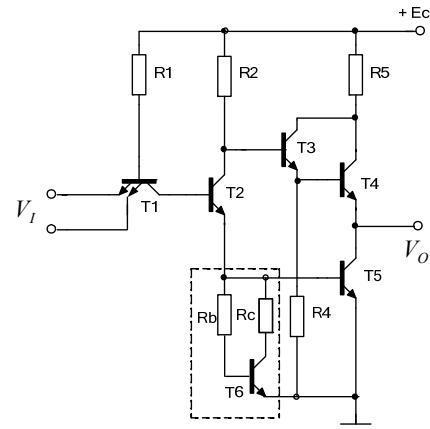
Mạch cải tiến là mạch nguồn điều khiển hình thành mạch phóng điện cho base T_5



Hình 1.17: Xác định thời gian truyền đạt



a) Mạch gốc



b) Mạch cài tiến

Hình 1.18: Mạch NAND TTL có nguồn phóng điện

Cài tiến đặc tính truyền đạt điện áp.

Vì mạch emitter của T_2 chỉ có thể thông, qua mạch emitter của T_5 , T_6 nên trước khi T_5 , T_6 thông thì mạch cài tiến chẳng khác gì mạch gốc và không còn giai đoạn T_2 thông mà T_5 vẫn chưa thông. Trong mạch gốc, giai đoạn T_2 thông mà T_5 chưa thông tương ứng phần tuyến tính trên đặc tính truyền đạt điện áp. Hình 1.19 là đặc tính truyền đạt điện áp của mạch hình 1.18b, không có phần tuyến tính nữa.

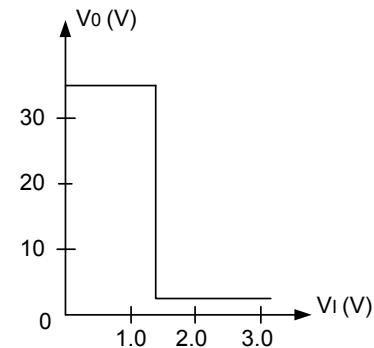
Trên hình 1.19 ta thấy mức tạp âm cho phép khi đầu vào mức thấp của mạch cài tiến lớn hơn mạch gốc rõ rệt $V_{NL} = 1V$.

- Cài tiến thời gian truyền đạt

Khi V_I đột biến từ mức thấp đến xấp xỉ 1,4V thì cả T_5 , T_6 đều bắt đầu thông. Ở thời điểm bắt đầu thông, hầu như toàn bộ dòng của T_2 chạy qua base của T_5 , cung cấp cho T_5 một xung dòng rất lớn (vượt quá giá trị để T_5 thông bão hòa), vì vậy giảm nhỏ thời gian trễ thông mạch của T_5 . Có thể đạt được điều đó vì R_b nối tiếp base của T_6 . Sự nạp điện, điện dung chuyển tiếp emitter của T_6 chậm hơn sự nạp điện chuyển tiếp emitter của T_5 . Kết quả T_6 thông chậm hơn T_5 một chút. Còn sau khi T_6 đã thông, thì mạch T_6 phân dòng cho base T_5 , giảm nhỏ dòng base ở trạng thái ổn định, giảm bớt độ bão hòa của T_5 có lợi cho sự tăng tốc ngắn mạch của T_5 .

Sau khi điện áp đầu vào có đột biến âm, T_2 ngắn đầu tiên. Tiếp đó điện tích tồn trữ của T_5 , sẽ được phóng qua mạch T_6 . Lúc này T_6 vẫn thông bão hòa, tương đương như một điện trở nhỏ của mạch phóng điện. Kết quả, T_5 nhanh chóng chuyển từ thông bão hòa sang ngắn hờ mạch.

Vậy mạch tích cực T_6 , R_b , R_c thay thế R_3 đem lại sự cải tiến: Rút ngắn thời gian tồn trữ động, rút ngắn thời gian trễ thông, dẫn đến rút ngắn rõ rệt thời gian truyền đạt trung bình. Hiện nay mạch điện hình 1.18b, là công NAND TTL được dùng rộng rãi.



Hình 1.19: Đặc tính truyền đạt điện áp
của mạch cài tiến hình 1.18b

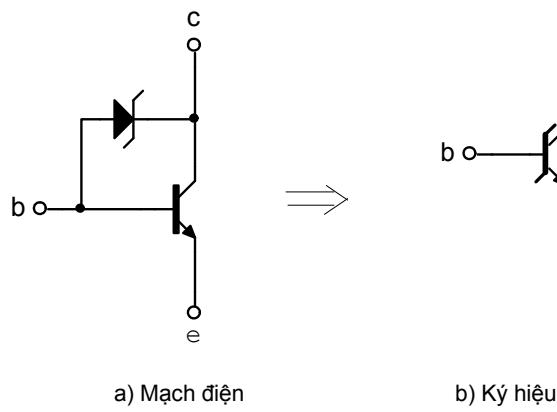
b) Mạch điện chống bão hòa

Ta biết rằng, tốc độ đóng mở của transistor chịu ảnh hưởng lớn của thời gian tồn trú điện tích. Độ sâu bão hòa của transistor trực tiếp quyết định thời gian tồn trú. Bão hòa càng sâu, điện tích tồn trú càng nhiều, thời gian tồn trú và thời gian trễ tiêu tán điện tích tồn trú càng dài. Đối với công nghệ TTL thì thời gian tồn trú là phần chủ yếu của thời gian truyền đạt. Người ta tìm cách hạn chế độ sâu bão hòa của transistor, giảm được điện tích tồn trú, rút ngắn thời gian tồn trú, cuối cùng giảm bớt thời gian truyền đạt. Trong mạch điện chống bão hòa, người ta giải quyết vấn đề quá bão hòa bằng phương pháp giảm mức nhòe diode rào thê Schottky (SBD-Schottky Barrier Diode). Hình 1.20 giới thiệu nguyên lý phương pháp này.

Người ta đấu diode rào thê Schottky song song với chuyển tiếp collector của transistor, nhờ vậy khi dòng điện base tăng quá mức sẽ chảy qua SBD không phun điện tích tồn trú vào vùng collector.

Diode Schottky được chế tạo từ kim loại tiếp xúc bán dẫn, có một số ưu điểm so với diode thường:

- Điện áp mở tương đối thấp, khoảng $0,4 \div 0,5V$ (điện áp mở của diode thường $0,6 \div 0,8V$).



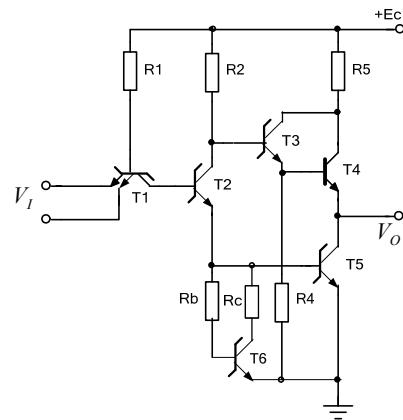
Hình 1.20: Transistor không bão hòa

Sau khi chuyển tiếp collector của transistor chuyển sang phân cực thuận, Diode Schottky thông trước và giảm điện áp thuận của chuyển tiếp collector ở mức $0,4 \div 0,5V$.

- Diode Schottky không có hiệu ứng tồn trú điện tích, vì vậy nó không đưa thêm thời gian trễ vào mạch điện.

Cấu kiện như hình 1.20a gọi là transistor Schottky và ký hiệu như hình 1.20b.

Hình 1.21 là mạch điện điển hình của mạch NAND TTL chống bão hòa. Mạch điện này đồng thời sử dụng nguồn phỏng điện và chống bão hòa, kết quả rút ngắn được thời gian truyền đạt trung



Hình 1.21: Mạch NAND TTL chống bão hòa

bình xuống dưới 10ns. Trong mạch này T₄ không tiến đến trạng thái bão hòa nên không cần transistor Schottky. T₁ dùng transistor Schottky nên điện áp rơi trên chuyển tiếp collector của T₁ khi ở trạng thái làm việc đảo (lớp chuyển tiếp collector phân cực thuận) là thấp hơn so với mạch gốc. Do đó dòng điện đầu vào giảm nhỏ, điện trở đầu vào tăng cao. Nhược điểm chủ yếu của mạch chống bão hòa là năng lực chống nhiễu kém. Vì điện áp trên T₅ thông tăng lên làm mức thấp của tín hiệu đầu ra tăng lên. Mặt khác, điện áp trên T₁ thông tăng lên, dẫn đến giảm nhỏ điện áp ngưỡng V_T. Vì vậy mức tạp âm cho phép với tín hiệu đầu vào mức thấp V_{NL} nhỏ hơn so với mạch gốc.

Nói chung, người ta thường dùng vi mạch TTL Schottky tiêu hao công suất bé (Họ vi mạch 74LS...), tốc độ công tác cao.

1.4.2. Cổng logic hở collector (Open collector – OC)

Nhược điểm của các cổng TTL có mạch ra khép kín, là không thể nối các đầu ra của chúng với nhau, vì việc nối này có thể làm hỏng các bán dẫn trong mạch, đồng thời cũng không thể thay đổi khả năng tải của chúng. Cổng logic hở collector khắc phục được nhược điểm này. Nói chung tất cả các họ cổng đều có dạng hở collector.

Để hiểu sâu các khái niệm trên, ở đây ta khảo sát với cổng NAND TTL.

Trong mạch cổng NAND TTL có mạch ra khép kín, dù tín hiệu đầu ra tích cực ở mức cao hay mức thấp thì điện trở lối ra đều rất nhỏ. Vì vậy chúng ta không thể nối đầu ra của các cổng NAND với nhau để thực hiện quan hệ logic AND hoặc thực hiện mục đích điều khiển nào đó.

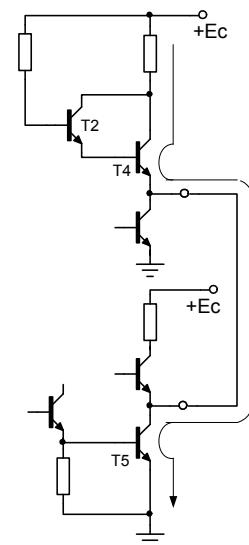
Hình 1.22 chứng minh điều trình bày ở trên.

Trong trường hợp một đầu ra có mức cao, một đầu ra có mức thấp (giả sử mạch NAND ở trên có mức cao, Mạch NAND dưới có mức thấp), thì sẽ xuất hiện dòng điện rất lớn từ transistor T₄ của cổng trên, qua transistor T₅ của cổng dưới. Dòng điện này không những tăng cao mức thấp đầu ra cổng thông, mà còn làm hỏng cổng đó.

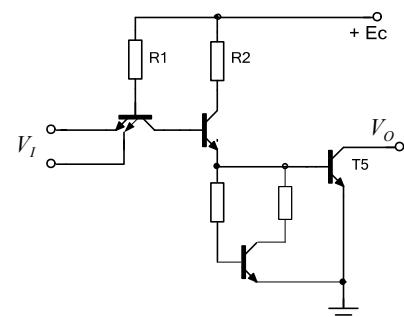
Để thực hiện điều này ta sử dụng cổng NAND hở collector, hình 1.23.

Collector của transistor T₅ đầu ra để hở lơ lửng. Để cho mạch hoạt động ta nối từ nguồn +Ec đến collector của T₅ một điện trở R_L ở ngoài vi mạch

Giá trị của điện trở được tính toán như sau: Giả sử có n cổng NAND hở collector đầu ra nối chung với



Hình 1.22: Mạch biểu diễn lối ra của hai cổng NAND nối trực tiếp với nhau



Hình 1.23: Mạch cổng NAND hở collector (Open collector - OC)

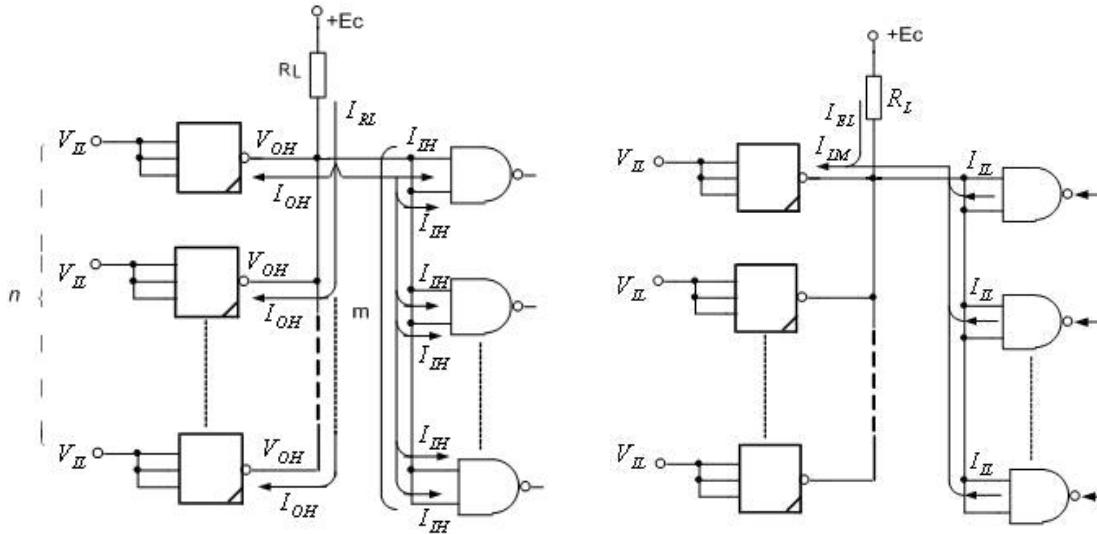
nhau để có quan hệ logic AND, phụ tải là m đầu vào của cổng NAND hình 1.24.

Khi n cổng OC đều ngắt, điện áp đầu ra V_O ở mức cao. Để đảm bảo mức cao không nhỏ hơn giá trị chuẩn, thì R_L không thể quá lớn: Công thức tính giá trị cực đại của R_L :

$$R_{L_{\max}} = \frac{E_C - V_{OH}}{nI_{OH} + mI_{IH}} \quad (1.18)$$

V_{OH} là giá trị chuẩn điện áp ra ở mức cao.

I_{OH} là dòng điện dò khi transistor đầu ra của cổng OC ngắt I_{IH} dòng điện đầu vào của mỗi phụ tải.



Hình 1.24: Tính giá trị cực đại của R_L

Hình 1.25: Tính giá trị cực tiểu của R_L

Khi bất kỳ một cổng nào thông, V_O ở mức thấp, khi đó m dòng điện phụ tải chảy vào cổng OC duy nhất thông. Cần phải bảo đảm mức thấp đầu ra vẫn nhỏ hơn giá trị chuẩn. Công thức tính giá trị cực tiểu của R_L hình 1.25 như sau:

$$R_{L_{\min}} = \frac{E_C - V_{OL}}{I_{LM} - mI_{IL}} \quad (1.19)$$

Trong đó: I_{LM} là giá trị cực đại cho phép của dòng điện phụ tải của mỗi cổng OC I_{IL} tức là I_{LS} là dòng điện ngắn mạch đầu vào của mỗi phụ tải.

Giá trị lựa chọn của R_L phải là giá trị ở giữa khoảng hai giá trị $R_{L_{\min}}$ và $R_{L_{\max}}$.

1.4. Mạch cổng MOS

Cổng MOS là mạch các phân tử điều khiển sử dụng MOSFET. Về chức năng logic thì cổng MOS cũng như cổng TTL.

Cổng MOS có nhiều loại. Ở đây chúng ta chỉ xét các cổng MOS điện hình: Cổng NOT, cổng AND, cổng NOR, cổng truyền dẫn CMOS.

1.4.1. Cổng NOT họ MOS

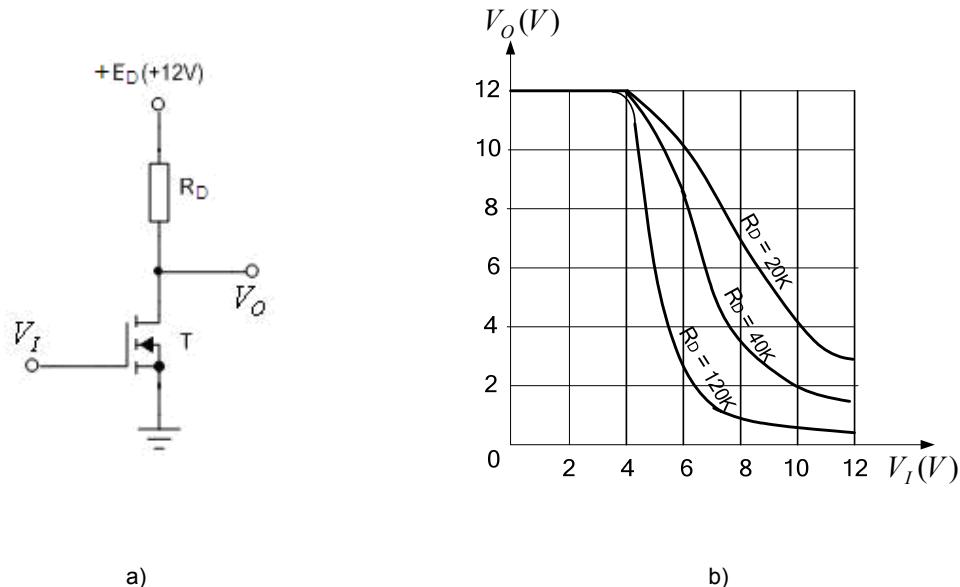
1. Cổng NOT họ MOS tải là điện trở (Hình 1.26)

Công NOT bao gồm một MOSFET kênh N cảm ứng (chưa có sẵn), nối với điện trở tải R_D .

a) Đặc tính tĩnh

Khi V_I ở mức thấp $V_{IL} < V_T$, T ngắt. Điện áp ra $V_O = V_{OH} \approx E_D$

Khi V_I ở mức cao $V_{IH} > V_T$, T thông. Điện áp ra $V_O = V_{OL}$



Hình 1.26: Cỗng NOT tài là điện trở. a) Mạch điện ; b) Đặc tuyến truyền đạt điện áp

Vậy quan hệ điện áp ra với điện áp vào là logic NOT (đảo).

Ví dụ: Cho $E_D = +12V$; $V_{IH} = 12V$; $V_{IL} = 1V$; $R_D = 40K\Omega$.

Khi $V_I = V_{IL} = 1V$, vì $V_I < V_T$, T ngắt. $V_O = V_{OH} \approx E_D$

Khi $V_I = V_{IH} = 12V$, vì $V_I > V_T$, T thông. $V_O = V_{OL}$

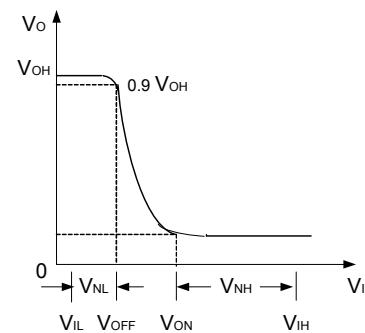
$$V_{OL} = \frac{E_D}{R_D + R_{ON}} \cdot R_{ON} \quad (1-20)$$

R_{ON} là điện trở của T khi T thông. Từ công thức (1-20) có thể thấy rằng V_{OL} phụ thuộc vào R_D , R_D càng lớn thì mức L của V_{OL} càng thấp. Đồng thời R_D tăng lên thì công suất tiêu thụ của cỗng NOT ở trạng thái thông giảm nhỏ. Vì vậy giá trị của R_D tăng là có lợi cho đặc tính tĩnh. Hình 1.26b trình bày đặc tuyến truyền điện áp của cỗng NOT họ MOS thu được qua thực nghiệm. Từ đặc tuyến ta thấy, R_D càng lớn đặc tuyến càng dốc, V_{OL} càng nhỏ, cỗng làm việc gần lý tưởng.

Ta có thể xác định mức tạp âm cho phép, đối với tín hiệu đầu vào từ đặc tuyến truyền đạt điện áp.

Trên hình 1.27, V_{IL} là mức thấp đầu vào, V_{IH} là mức cao đầu vào, V_{ON} là mức mở cỗng, V_{OFF} là mức đóng cỗng.

Ta có độ chênh nhiễu mức thấp:



Hình 1.27: Xác định độ chênh nhiễu

$$V_{NL} = V_{OFF} - V_{IL}$$

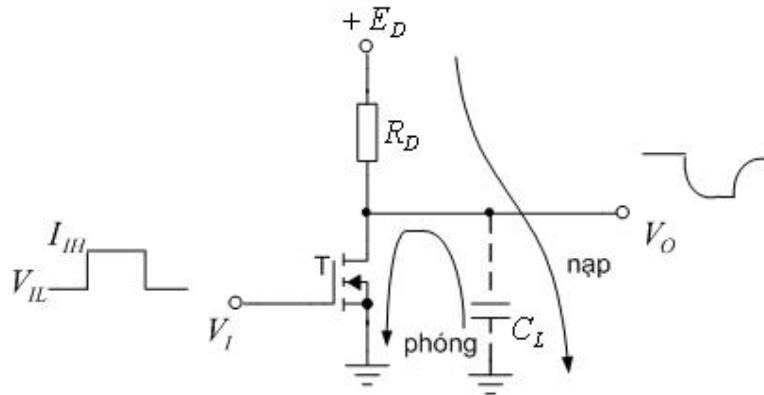
độ chống nhiễu mức cao:

$$V_{NH} = V_{IH} - V_{ON}.$$

Đặc tuyến truyền đạt điện áp càng dốc, thì độ chống nhiễu V_{NL} , V_{NH} càng lớn. Việc tăng giá trị R_D , cũng có lợi cho việc tăng cường khả năng chống nhiễu.

b) Đặc tính động

Hình 1.28 trình bày cỗng NOT họ MOS với tải là điện dung C_L



Hình 1.28: Mạch nạp, phóng điện của C_L

Đầu ra của mạch NOT nối với các lối vào của các cỗng khác, thông thường thì bỏ qua trớ tải (vì rất lớn), nên tải của cỗng có tính dung kháng.

Giả sử có xung vuông lý tưởng đưa tới lối vào, ta xét đặc tính động đáp ứng của cỗng. So với quá trình nạp, phóng điện của tụ C_L , thì thời gian ngắn, thông của MOSFET có thể bỏ qua. Khi V_I đột biến lên mức cao, T thông ngay, C_L phóng điện qua T, V_{DS} giảm đến V_{OL} , hằng số thời gian phóng điện tương đối nhỏ.

Khi V_I đột biến xuống mức thấp, T ngắt ngay, E_D nạp điện cho C_L qua R_D , V_{DS} tăng đến $V_{OH} \approx E_D$.

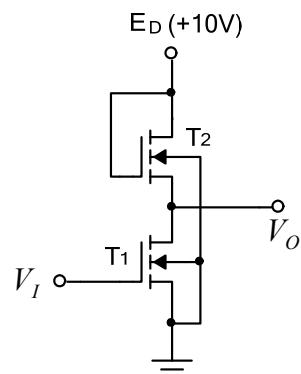
Thông thường trị số của R_D tương đối lớn, khi đó có đặc tuyến truyền đạt điện áp tĩnh rất tốt (gần lý tưởng), nhưng tốc độ nạp điện chậm hơn nhiều so với tốc độ phóng điện. Vậy thời gian sùn dương của điện áp ra là nguyên nhân chủ yếu hạn chế tốc độ đóng mở của cỗng MOS. Vẫn để tăng trị số của R_D sẽ làm giảm tần số làm việc của cỗng, bất lợi cho độ tích hợp của vi mạch.

Trong thực tế, người ta thường thay R_D bằng một cỗng MOSFET, tạo nên cỗng NOT họ MOS có phụ tải là nguồn điều khiển.

2. Cỗng NOT Họ MOS với phụ tải là nguồn điều khiển

Căn cứ vào đặc điểm của MOSFET làm phụ tải, ta có thể phân cỗng NOT thành bốn loại sau:

a) Cỗng NOT bão hòa



Hình 1.29: Cỗng NOT bão hòa

Hình 1.29 là mạch điện điển hình của công NOT họ MOS với phụ tải là nguồn điều khiển kiểu mức bão hòa.

Mạch gồm 2 MOSFET kênh chưa có sẵn. Trong đó T₁ làm nhiệm vụ khuếch đại, T₂ là phụ tải. Vì G (cực cửa) và D (cực máng) của T₂ nối liền nên V_{DG2} = 0, T₂ lúc nào cũng làm việc tại vùng bão hòa của đặc tuyến cực máng.

Khi V_i = 0, giả thiết điện áp mở của T₁ là V_T = 2V, T₁ ngắt.

Vậy V_O = V_{OH} = E_D - V_T = 10V - 2V = 8V.

Khi V_i = 8V (=V_{IH}) thì T₁ thông.

$$V_O = V_{OL} = \frac{E_D}{R_{ON1} + R_{ON2}} \cdot R_{ON1}$$

Nếu R_{ON2} >> R_{ON1}, thì V_O = V_{OL} = 0. Công NOT bão hòa khắc phục được nhược điểm phải dùng trở tải giá trị lớn, nhưng cũng có những nhược điểm sau: mức cao của điện áp đầu ra tương đối thấp, và nội trở của MOSFET làm phụ tải tương đối lớn.

b) Công NOT không bão hòa

Hình 1.30 trình bày mạch điện điển hình công NOT họ MOS với phụ tải là nguồn điều khiển kiểu không bão hòa.

Mạch tương tự như kiểu bão hòa, chỉ khác là cực công của T₂ nối vào nguồn riêng E_G. Hơn nữa, T₂ luôn hoạt động ở vùng không bão hòa, và V_{GS} - V_{DS} > V_{T2}.

Khi T₁ ngắt, V_O = V_{OH} = E_D, mức cao ra lớn hơn.

Ngoài nhược điểm nội trở của MOSFET làm phụ tải tương đối lớn, còn yêu cầu hai loại nguồn (E_D và E_G).

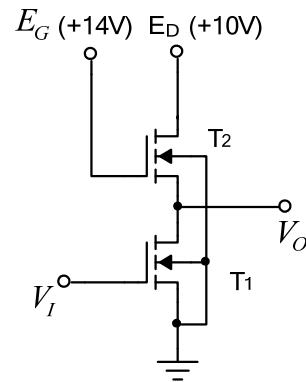
c) Công NOT với phụ tải là MOSFET kênh có sẵn

Hình 1.31 trình bày công NOT với phụ tải là MOSFET kênh có sẵn.

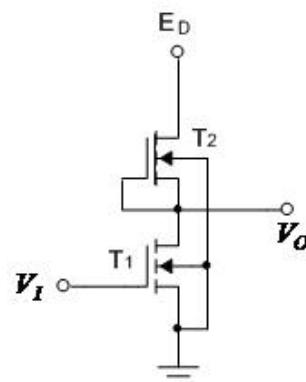
Vì T₂ là MOSFET kênh có sẵn, với V_{GS} = 0 vẫn có dòng máng I_D. Mức cao ở đầu ra V_{OH} = E_D.

Tần số làm việc của công NOT loại này cao hơn hai loại đã nói trên. Đặc tính truyền đạt điện áp khá dốc, nên mức tạp âm cho phép cao hơn, đồng thời có thể làm việc với điện áp nguồn thấp. Nhược điểm chủ yếu của loại công nghệ này là công nghệ chế tạo phức tạp hơn hai loại trên.

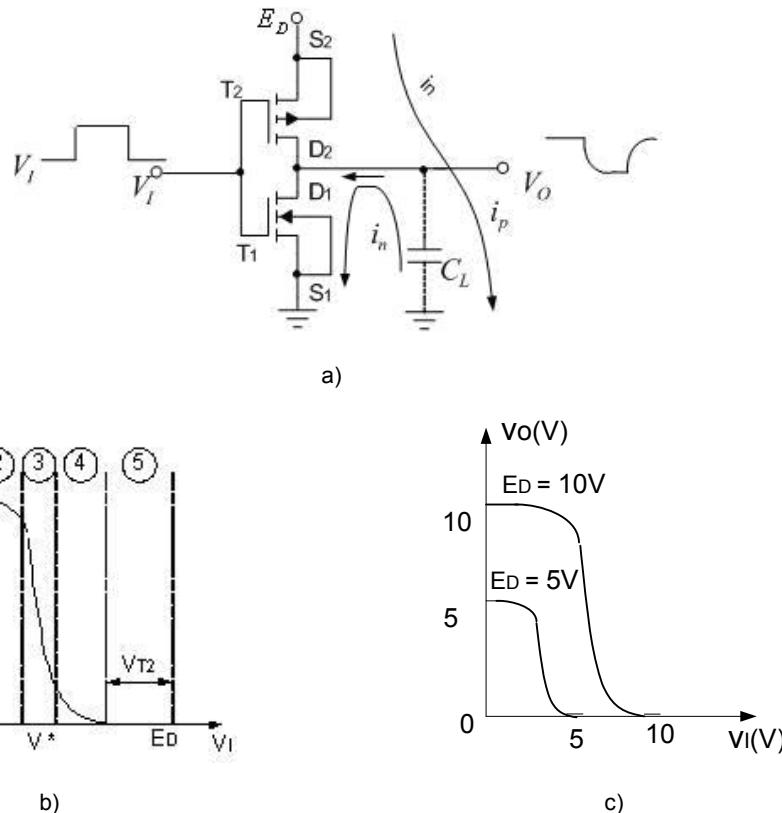
d) Công NOT họ CMOS



Hình 1.30: Công NOT không bão hòa



Hình 1.31: Công NOT với phụ tải là MOSFET kênh có sẵn



Hình 1.32: Cổng NOT họ CMOS. a) Sơ đồ logic cổng NOT họ CMOS; b, c: Đặc tuyến truyền đạt điện áp

Trong các cổng NOT trên, khi chọn giá trị điện trở tải, ta gấp mâu thuẫn giữa yêu cầu của đặc tính tĩnh và đặc tính động. Có thể khắc phục mâu thuẫn đó theo biện pháp của cổng NAND TTL, đó là làm cho T₂ ngắt khi T₁ thông và T₂ thông khi T₁ ngắt. Cổng NOT họ CMOS được thiết kế như vậy, được trình bày trên hình 1.32a.

T₁ là MOSFET kênh N chưa có sẵn, T₂ là MOSFET kênh P chưa có sẵn. Các cực cửa của T₁ và T₂ nối với nhau thành mạch đầu vào. Các cực máng của T₁ và T₂ nối với nhau thành đầu ra. Cực nguồn của T₂ nối với dương của nguồn, còn cực nguồn T₁ nối với đất.

Thường $E_D > V_{T1} + |V_{T2}|$; V_{T1} và V_{T2} là các điện áp ngưỡng của T₁ và T₂.

Khi $V_I = V_{IL} = 0$, $V_{GS1} = 0$, T₁ ngắt. $V_{GS2} = -E_D$, lúc đó $|V_{GS2}| > |V_{T2}|$, T₂ thông, $V_O = V_{OH} = E_D$.

Khi $V_I = V_{IH} = E_D$, $V_{GS1} = E_D > V_{T1}$; T₁ thông, $V_{GS2} = 0$, T₂ ngắt. $V_O = V_{OL} = 0$.

Như vậy tín hiệu vào ở mức cao hay thấp, thì trong T₁ và T₂ luôn có một thông và một ngắt. Do đó dòng điện tĩnh xấp xỉ bằng 0 (chỉ có dòng dò cỡ nA), công suất tiêu hao ở chế độ tĩnh nhỏ hơn μW . Điều này thuận lợi cho vi mạch có độ tích hợp lớn.

Đặc tính truyền đạt điện áp của cổng NOT họ CMOS được trình bày trên hình 1.32b. Đặc tuyến này chia thành 5 đoạn như sau:

- $V_I < V_{T1}$, T₁ ngắt, T₂ thông (không bão hòa), dòng điện qua T₁ và T₂ bằng 0, vậy $V_{GS1} = 0$, $V_O = E_D$.

- $V_1 > V_{T1}$, T_1 bắt đầu thông bão hòa. Có dòng điện khá nhỏ đi qua T_1 và T_2 . Tuy T_2 vẫn không bão hòa, nhưng $V_{GS1} \neq 0$, V_o bắt đầu giảm.
- $V_1 = V^*$, T_1 và T_2 đều bão hòa, dòng điện khá lớn chảy qua T_1 và T_2 . Tương ứng với biến đổi nhỏ của điện áp vào V_1 là biến đổi lớn của điện áp ra V_o , đoạn này dốc nhất, gọi là đoạn quá độ.
- V_1 tiếp tục tăng, T_1 chuyển sang vùng không bão hòa, V_{DS1} giảm nhanh, V_{DS2} tăng nhanh, dòng qua T_1 và T_2 bắt đầu giảm.
- T_2 ngắn, T_1 thông bão hòa $V_{DS1} = 0$, $V_o = 0$.

Đoạn thứ 3 của đặc tuyến rất dốc, $V^* = \frac{E_D}{2}$, vậy đặc tính truyền đạt điện áp của công

NOT họ CMOS tiếp cận với đặc tính đóng mở lý tưởng.

Hình 1.32c biểu thị hai đặc tuyến truyền đạt điện áp tương ứng với hai giá trị điện áp nguồn khác nhau. Giả thiết đặc tính của T_1 và T_2 là đối xứng, thì khi $V_i = \frac{E_D}{2}$, tất nhiên là

$V_{GS1} = V_{GS2} = \frac{E_D}{2}$; $V_o = \frac{E_D}{2}$. Sự quá độ của đặc tuyến truyền đạt điện áp xảy ra ở lân cận

$$V_i = \frac{E_D}{2}.$$

Khi điện áp vào đột biến từ mức thấp lên mức cao, T_1 thông, dòng điện phóng của C_L là I_P chảy qua T_1 với trở nội nhỏ (hình 1.32a).

Khi điện vào đột biến từ mức cao xuống mức thấp, T_2 thông, dòng điện nạp của C_L là I_n chảy qua T_2 với trở nội nhỏ. Vậy quá trình phóng và nạp của C_L đều xảy ra tương đối nhanh. Tốc độ đóng mở của công NOT họ CMOS cao hơn nhiều so với ba công NOT nói trên.

Công NOT họ CMOS có các ưu điểm là: phạm vi điện áp nguồn nuôi rộng (từ 3V ÷ 18V), mức tạp âm cho phép lớn, hệ số mắc tải đầu ra lớn, công suất tiêu hao nhỏ. Nhược điểm chủ yếu của CMOS là công nghệ phức tạp.

1.4.2. Cổng NAND và NOR họ CMOS

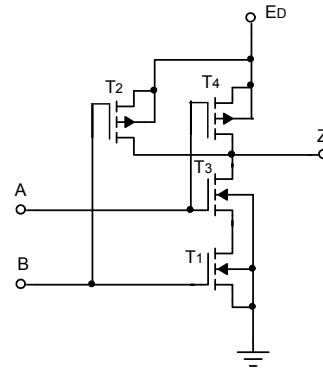
Trên cơ sở cổng NOT họ MOS, người ta dễ dàng chế tạo tất cả các loại cổng khác, mà phân tử điện hình nhất là cổng NAND và cổng NOR họ CMOS.

1. Cổng NAND loại CMOS

Hình 1.33: Trình bày mạch điện Cổng NAND loại CMOS. Trong đó T_1 và T_3 là MOSFET kênh N chưa có sẵn làm nhiệm vụ khuếch đại, còn T_2, T_4 là MOSFET kênh P chưa có sẵn làm nhiệm vụ trở tải. Chỉ khi A và B đều ở mức cao T_1 và T_3 đều thông, còn T_2 và T_4 đều ngắn, đầu ra Z mới ở mức thấp. Các trường hợp còn lại đầu ra Z ở mức cao.

$$Z = \overline{A \cdot B}$$

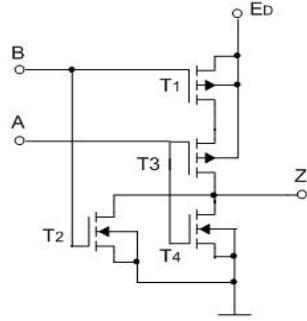
2. Cổng NOR loại CMOS



Hình 1.33: Cổng NAND loại CMOS

Trong sơ đồ T_2 và T_4 là MOSFET kênh N chưa có sẵn làm nhiệm vụ khuếch đại, còn T_1 và T_3 là MOSFET kênh P chưa có sẵn làm nhiệm vụ trở tải. Chỉ khi A và B đều ở mức thấp, điện áp đầu ra Z mới ở mức cao. Các trường hợp còn lại đầu ra Z ở mức thấp.

$$Z = \overline{A + B}$$



Hình 1.34: Cổng NOR loại CMOS

PHẦN 2: THỰC NGHIỆM

1. Định nghĩa - Bảng chân lý

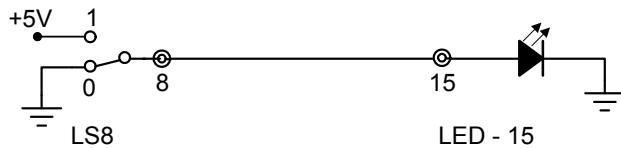
Nhiệm vụ:

- Tìm hiểu về bản chất mức logic và sự tồn tại vật lý của chúng.
- Tìm hiểu thuật toán logic của các loại cổng logic phổ biến.

Các bước thực hiện:

1.1. Yếu tố logic chứa 1 bit thông tin

1. Sử dụng dây có chốt cắm để nối mạch theo sơ đồ hình D1-0:



Hình D1-0: Trạng thái logic và yếu tố logic đơn giản

2. Nối công tắc logic LS8 của bộ công tắc DATA SWITCHES của DTLAB-201N với chốt 15 của bộ chỉ thị LED đơn (LOGIC INDICATORS). Gạt công tắc theo các vị trí ký hiệu “1” và “0”

Bảng D1-1.

Công tắc LS8	Đèn LED	Mức thế	Ký hiệu trạng thái	Ký hiệu toán học
“1”	Sáng	V =	H(High – cao)	1
“0”	Tắt	V =	L(Low – thấp)	0

3. Sử dụng đồng hồ đo thế ở chốt 15 của bộ chỉ thị LED đơn (LOGIC INDICATORS). Ghi giá trị thế đo vào bảng D1-1 theo trạng thái của công tắc LS8.

4. Phát biểu định nghĩa về mức logic và yếu tố logic chứa 1 bit thông tin.

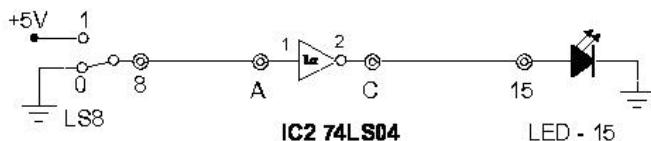
1.2. Các cổng logic

1. Cấp nguồn +5V cho mảng sơ đồ D1-1a:

Để khảo sát nguyên lý hoạt động của các công, cần tác động mức cao (H) “1” (nối lên nguồn +5V) và mức thấp (L) “0” (nối đất) cho các lối vào của công để theo dõi phản ứng lối ra của công được chọn. Để thuận tiện khi thực hành và tránh hư hỏng vi mạch có thể xảy ra, trong thí nghiệm sẽ sử dụng các công tắc logic DATA SWITCHES của DTLAB-201N để tạo mức cao và thấp cho các lối vào công.

Bộ chỉ thị logic (LOGIC INDICATORS) với các LED đơn sử dụng để kiểm tra trạng thái logic của các công được chọn.

2. Khảo sát nguyên lý hoạt động của công đảo (Inverter)



Hình D1-1a: Công logic đảo (Inverter)

2.1. Nối đầu ra C của công đảo IC1 (hình D1-1a) với một chốt của bộ chỉ thị logic - LOGIC INDICATORS/ DTLAB-201N. Dùng dây nối lối vào A của một công IC1 (ví dụ IC1/a) với một công tắc logic LS8 của DTLAB-201N. Gạt công tắc từ 0 → 1 và từ 1 → 0, quan sát trạng thái tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lối ra IC1 là cao (1), LED tắt - trạng thái lối ra IC1 là thấp (0).

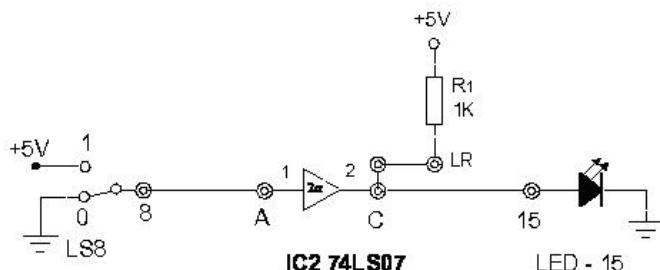
Ghi trạng thái lối ra theo trạng thái lối vào của công vào bảng chân lý D1-2

2.2. Theo kết quả bảng chân lý D1-2, định nghĩa về công đảo. Viết công thức đại số logic cho công đảo. Nhận xét trường hợp lối vào bỏ lửng tương ứng với trạng thái nào của lối vào?

Bảng D1-2

Công tắc LS8	Lối vào A	Lối ra C
1	1	
0	0	
Lối vào IC1/a bỏ lửng		

3. Khảo sát nguyên lý hoạt động của công không đảo với collector hở (O.C. Open collector)



Hình D1-1b: Công logic không đảo (với collector hở)

3.1. Nối đầu ra C của IC2/a (hình D1-1b) với chốt bộ chỉ thị logic - LOGIC INDICATORS/ DTLAB-201N. Dùng chốt ra C với chốt LR để mắc tải ngoài cho công hở. Dùng dây có chốt hai đầu nối lối vào A của công IC2/a với công tắc logic LS8 của mảng DATA SWITCHES/ DTLAB-201N. Gạt công tắc từ 0 → 1 và từ 1 → 0, quan sát trạng thái tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lối ra IC2 là cao (1), LED tắt - trạng thái lối ra IC2 là thấp (0).

Ghi trạng thái lối ra theo trạng thái lối vào của công vào bảng chân lý D1-3

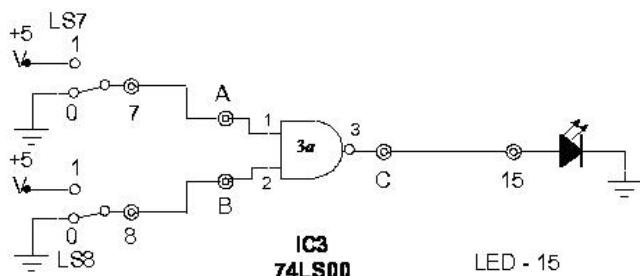
Bảng D1-3

Công tắc LS8	Lối vào A	Lối ra C
1	1	
0	0	
Lối vào IC2/a bỏ lửng	0	

3.2. Theo kết quả bảng chân lý D1-3, định nghĩa về công không đảo. Viết công thức đại số logic cho công không đảo.

Nhận xét trường hợp lối vào bỏ lửng tương ứng với trạng thái nào của lối vào?.

4. Khảo sát nguyên lý hoạt động của công “KHÔNG VÀ” có hai lối vào (2-Input NAND)



Hình D1-1c: Công logic NAND

4.1. Nối đầu ra C của IC3/a (hình D1-1c) với chốt 15 của bộ chỉ thị logic - LOGIC INDICATORS/ DTLAB-201N. Dùng dây có chốt hai đầu nối lối vào A & B của công IC3/a với một công tắc logic LS7, LS8 của mảng DATA SWITCHES/ DTLAB-201N. Gạt công tắc từ 0 → 1 và từ 1 → 0, tương ứng với bảng D1-4, quan sát trạng thái tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lối ra IC3/a là cao (1), LED tắt - trạng thái lối ra IC3/a là thấp (0).

Ghi trạng thái lối ra theo trạng thái lối vào của công vào bảng chân lý D1-4

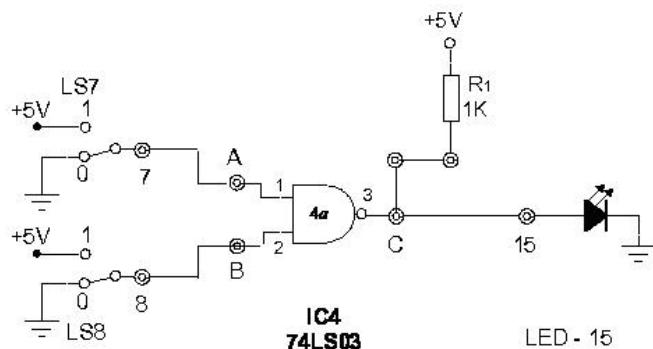
Bảng D1-4

LS7	LS8	Lối vào A	Lối vào B	Lối ra C
1	1	1	1	
1	0	1	0	
0	1	0	1	
0	0	0	0	

4.2. Theo kết quả bảng chân lý D1-4, định nghĩa về công NAND. Viết biểu thức logic cho công NAND. Nhận xét trường hợp lối ra khi một trong hai lối vào thấp (0), để kết luận công NAND có làm việc theo kiểu “HOẶC ĐÀO” (NOR) với mức logic 0 hay không?

4.3. Bỏ lưỡng không nối chân B của IC1/a, chân A nối với công tắc logic LS7, Chân C nối với chốt 15 bộ chỉ thị logic - LOGIC INDICATORS/ DTLAB-201N. Gạt công tắc chuyển trạng thái từ 0 → 1 và từ 1 → 0, theo dõi trạng thái ra. So sánh với công đảo trong mục 2.2.

5. Khảo sát nguyên lý hoạt động của công “NAND” có hai lối vào với lối ra collector hở (2-Input open collector NAND)



Hình D1-1d: Công logic NAND với lối ra hở mạch (NAND with O.C.Output)

5.1. Nối đầu ra C của IC4/a (hình D1-1d) với chốt 15 của bộ chỉ thị logic - LOGIC INDICATORS/ DTLAB-201N. Nối chốt C với chốt LR để nối tài ngoài cho công hở. Dùng dây có chốt hai đầu nối các lối vào A & B của công IC4/a với công tắc logic LS7, LS8 của mảng DATA SWITCHES/ DTLAB-201N. Gạt công tắc từ 0 → 1 và từ 1 → 0, tương ứng với bảng D1-5, quan sát trạng thái tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lối ra IC4/a là cao (1), LED tắt - trạng thái lối ra IC4/a là thấp (0).

Ghi trạng thái lối ra theo trạng thái lối vào của công vào bảng chân lý D1-5

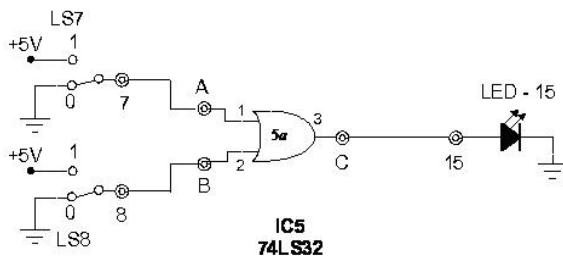
Bảng D1-5

LS7	LS8	Lối vào A	Lối vào B	Lối ra C
1	1	1	1	
1	0	1	0	
0	1	0	1	
0	0	0	0	

5.2. So sánh kết quả trong D1-5 với bảng chân lý D1-4 của công NAND trong mục 4.

6. Khảo sát nguyên lý hoạt động của công “HOẶC” có hai lối vào (2-Input OR)

6.1. Nối đầu ra C của IC5/a (hình D1-1e) với chốt 15 của bộ chỉ thị logic - LOGIC INDICATORS/ DTLAB-201N. Dùng dây nối các lối vào A & B của công IC5/a với công tắc logic LS7, LS8 của mảng DATA SWITCHES/ DTLAB-201N. Gạt công tắc từ 0 → 1 và từ 1 → 0, tương ứng với bảng D1-6, quan sát trạng thái tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lối ra IC5/a là cao (1), LED tắt - trạng thái lối ra IC5/a là thấp (0).



Hình D1-1e: Cổng logic OR

Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-6

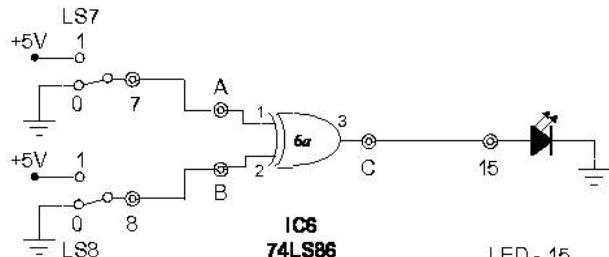
Bảng D1-6

LS7	LS8	Lối vào A	Lối vào B	Lối ra C
1	1	1	1	
1	0	1	0	
0	1	0	1	
0	0	0	0	

6.2. Theo kết quả bảng chân lý D1-6, định nghĩa về cổng OR. Viết công thức đại số logic cho cổng OR.

Nhận xét trường hợp lối ra khi một trong hai lối vào thấp (0), để kết luận cổng OR có làm việc theo kiểu “VÀ” (AND) với mức logic 0 hay không?

7. Khảo sát nguyên lý hoạt động của cổng “HOẶC – LOẠI TRÙ” có hai lối vào (2-Input XOR)



Hình D1-1f: Cổng logic XOR

7.1. Nối đầu ra C của IC6/a (hình D1-1f) với chốt 15 của bộ chỉ thị logic - LOGIC INDICATORS / DTLAB-201N. Dùng dây nối các lối vào A & B của cổng IC6/a với công tắc lôigic LS7, LS8 của mảng DATA SWITCHES/ DTLAB-201N. Gạt công tắc từ 0 → 1 và từ 1 → 0, tương ứng với bảng D1-7, quan sát trạng thái tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lối ra IC6/a là cao (1), LED tắt - trạng thái lối ra IC6/a là thấp (0).

Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-7

Bảng D1-7

LS 7	LS 8	Lối vào A	Lối vào B	Lối ra C
1	1	1	1	
1	0	1	0	
0	1	0	1	
0	0	0	0	

7.2. Theo kết quả bảng chân lý D1-7, định nghĩa về cổng XOR. Viết biểu thức logic cho cổng XOR.

8. Bằng lý luận, dựa trên kết quả thí nghiệm với cổng có hai lối vào, lập bảng chân lý và viết biểu thức đại số logic cho:

- Cổng AND 2 lối vào.
- Cổng NAND 4 lối vào.
- Cổng OR với 3 lối vào.

2. Phân loại cổng Logic

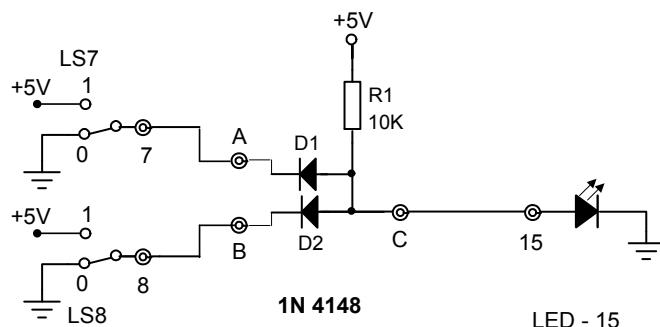
Nhiệm vụ:

Tìm hiểu cấu trúc bên trong của cổng logic theo lịch sử phát triển kỹ thuật công nghệ.

Các bước thực hiện:

2.1. Cáp nguồn +5V cho các mảng sơ đồ D1-2:

2.2. Cổng AND loại Diode Logic (DL)



Hình D1-2a: Cổng logic AND loại DL

Nối đầu ra C của DL AND (hình D1-2a) với chốt 15 của bộ chỉ thị logic - LOGIC INDICATORS/ DTLAB-201N. Dùng dây nối các lối vào A & B của mạch với công tắc logic LS7, LS8 của mảng DATA SWITCHES/ DTLAB-201N. Gạt công tắc từ 0 → 1 và từ 1 → 0, tương ứng với bảng D1-8, quan sát trạng thái tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lối ra của mạch là cao (1), LED tắt - trạng thái lối ra của mạch là thấp (0).

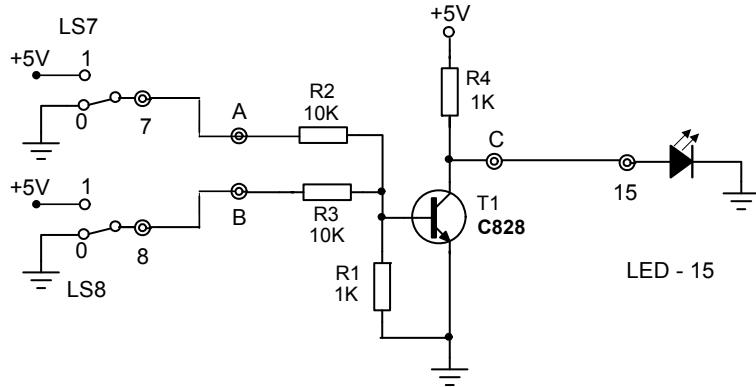
Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-8.

Bảng D1-8

LS7	LS8	Lối vào A	Lối vào B	Lối ra C
1	1	1	1	
1	0	1	0	
0	1	0	1	
0	0	0	0	

Theo kết quả bảng chân lý D1-8 và cấu trúc sơ đồ DL AND, giải thích nguyên tắc hoạt động của cổng AND loại DL. Phân tích ưu nhược điểm của sơ đồ.

3. Cỗng NAND loại Resistor – Transistor Logic (RTL)



Hình D1-2b: Cỗng lôgic NAND loại RTL

3.1. Nối đầu ra C của RTL NAND (hình D1-2b) với chốt 15 của bộ chỉ thị logic - LOGIC INDICATORS/ DTLAB-201N. Dùng dây nối các lối vào A & B của mạch với công tắc logic LS7, LS8 của mảng DATA SWITCHES/ DTLAB-201N. Gạt công tắc từ 0 → 1 và từ 1 → 0, tương ứng với bảng D1-9, quan sát trạng thái tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lối ra của mạch là cao (1), LED tắt - trạng thái lối ra của mạch là thấp (0).

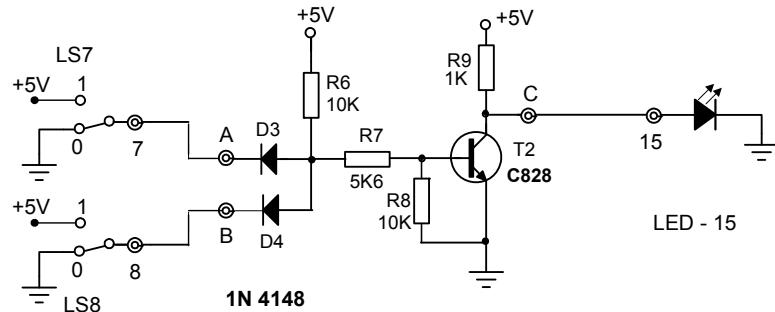
Ghi trạng thái lối ra theo trạng thái lối vào của công vào bảng chân lý D1-9.

3.2. Theo kết quả bảng chân lý D1-9 và cấu trúc sơ đồ RTL, giải thích nguyên tắc hoạt động của cỗng NAND loại RTL. Chú ý transistor làm việc ở chế độ khóa (đóng và mở bão hòa hoặc gần bão hòa). Phân tích ưu nhược điểm của sơ đồ.

Bảng D1-9

LS7	LS8	Lối vào A	Lối vào B	Lối ra C
1	1	1	1	
1	0	1	0	
0	1	0	1	
0	0	0	0	

4. Cỗng NAND loại Diode – Transistor Logic (DTL)



Hình D1-2c: Cỗng logic NAND loại RTL

4.1. Nối đầu ra C của DTL NAND (hình D1-2c) với một chốt 15 của bộ chỉ thị logic - LOGIC INDICATORS/ DTLAB-201N. Dùng dây nối các lối vào A & B của mạch với công

tắc logic LS7, LS8 của mảng DATA SWITCHES/ DTLAB-201N. Gạt công tắc từ 0 → 1 và từ 1 → 0, tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lối ra của mạch là cao (1), LED tắt - trạng thái lối ra của mạch là thấp (0).

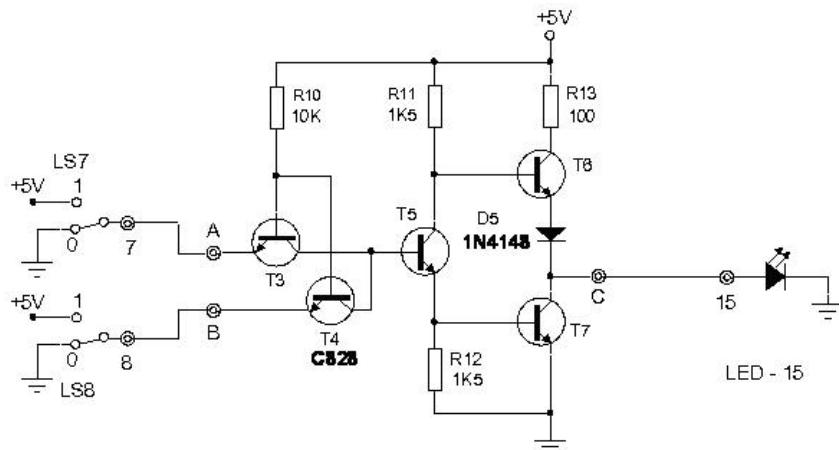
Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-10.

Bảng D1-10

LS7	LS8	Lối vào A	Lối vào B	Lối ra C
1	1	1	1	
1	0	1	0	
0	1	0	1	
0	0	0	0	

4.2. Theo kết quả bảng chân lý D1-10 và cấu trúc sơ đồ DTL, giải thích nguyên tắc hoạt động của cổng NAND loại DTL. Chú ý transistor làm việc ở chế độ khóa (đóng và mở bao hòa hoặc gần bao hòa). Phân tích ưu nhược điểm của sơ đồ.

5. Cổng NAND loại Transistor – Transistor Logic (TTL)



Hình D1-2d: Cổng lôgic NAND loại RTL

5.1. Nối đầu ra C của TTL NAND (hình D1-2d) với chốt 15 của bộ chỉ thị logic - LOGIC INDICATORS/ DTLAB-201N. Dùng dây nối các lối vào A & B của mạch với công tắc logic LS7, LS8 của mảng DATA SWITCHES/ DTLAB-201N. Gạt công tắc từ 0 → 1 và từ 1 → 0, quan sát trạng thái tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lối ra của mạch là cao (1), LED tắt - trạng thái lối ra của mạch là thấp (0).

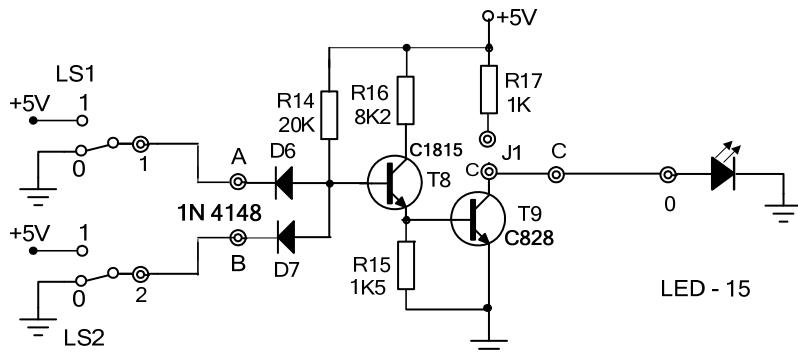
Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-11.

Bảng D1-11

LS7	LS8	Lối vào A	Lối vào B	Lối ra C
1	1	1	1	
1	0	1	0	
0	1	0	1	
0	0	0	0	

5.2. Theo kết quả bảng chân lý D1-11 và cấu trúc sơ đồ TTL, giải thích nguyên tắc hoạt động của công NAND loại TTL. Chú ý transistor làm việc ở chế độ khóa (đóng và mở bão hòa hoặc gần bão hòa). Phân tích ưu nhược điểm của sơ đồ.

6. Cổng NAND collector hở (OPEN-COLLECTOR OUTPUT) hình D1-2e
cho thấy cấu trúc mạch ra với collector hở.



Hình D1-2e: Cổng lôgic NAND loại TTL mạch collector hở

Dùng dây nối các lõi vào A & B của mạch với công tắc logic LS1, LS2. Nối lõi ra C với chốt 0 của bộ chỉ thị logic – LOGIC INDICATORS/ DTLAB-201. Xác định trạng thái lõi ra theo bảng chân lý D1-12 khi nối và không nối J1.

Bảng D1-12

LS1	LS2	Lõi vào A	Lõi vào B	C (Nối J1)	C (Không nối J1)
1	1	1	1		
1	0	1	0		
0	1	0	1		
0	0	0	0		

3. Cổng CMOS

Nhiệm vụ:

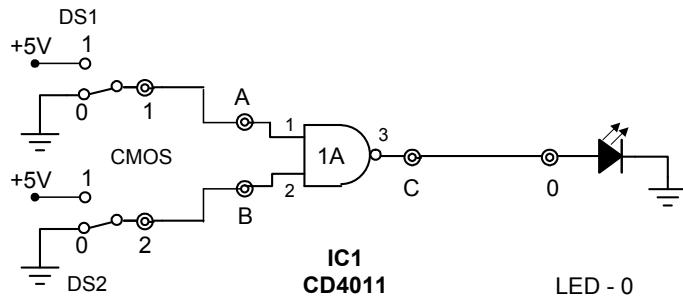
Tìm hiểu cấu trúc và nguyên tắc hoạt động của cổng dùng linh kiện MOS với cấu trúc đối xứng phối hợp CMOS (Complementary Symmetry MOS).

Các bước thực hiện:

3.1. Cấp nguồn +15V (+VDD) cho các mảng sơ đồ D1-3 (hình D1-3):

3.2. Khảo sát nguyên lý hoạt động của cổng “VÀ” đảo có hai lõi vào (2-Input NAND).

3.2.1. Nối đầu ra C của IC1/a (hình D1-3) với chốt 0 của bộ chỉ thị LED (LOGIC INDICATORS). Dùng dây có chốt hai đầu nối các lõi vào A & B của cổng IC1/a với lõi vào CMOS của công tắc logic DS1, DS2/DEBOUNCE SWITCHES/ DTLAB-201. Gạt công tắc từ 0 → 1 và từ 1 → 0, tương ứng với bảng D1-13, quan sát trạng thái tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lõi ra IC1 là cao (1), LED tắt - trạng thái lõi ra của IC1 là thấp (0).



Hình D1-3: Cổng CMOS

Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-13.

Bảng D1-13

DS1	DS2	Lối vào A	Lối vào B	Lối ra C
1	1	1	1	
1	0	1	0	
0	1	0	1	
0	0	0	0	

3.2.2. So sánh trạng thái logic với cổng NAND – TTL (Bảng 1-4, mục 4.1).

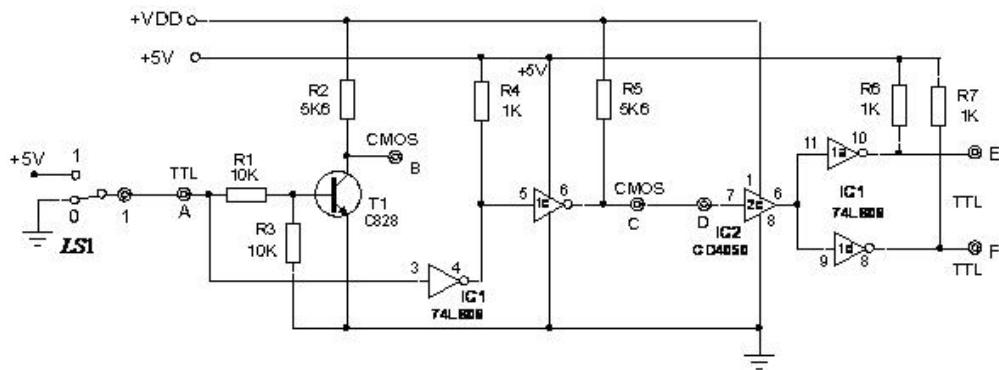
4. Bộ chuyển đổi mức TTL – CMOS & CMOS - TTL

Nhiệm vụ:

Tìm hiểu mạch chuyển đổi mức logic giữa hai loại linh kiện CMOS và TTL, nhằm phục vụ ghép nối chúng khi sử dụng cả hai loại linh kiện này trong một sơ đồ.

Các bước thực hiện:

4.1. Cáp nguồn +5V và +15V (+VDD) cho các mảng sơ đồ hình D1-4:



Hình D1-4: Bộ chuyển đổi mức TTL – CMOS & CMOS – TTL

4.2. Nối công tắc logic LS1 (mức TTL) của mảng DATA SWITCHES/ DTLAB-201 với lối vào A/TTL của sơ đồ D1-4. Nối chốt C với D.

4.3. Sử dụng đồng hồ đo để đo thế tại các điểm A, B, C-D, E, F theo trạng thái 1 và 0 của LS1. Ghi giá trị thế đo bằng đồng hồ vào bảng D1-14. Ở hàng trạng thái ghi kết luận là trạng thái CMOS hay TTL.

Bảng D1-14

Công tắc LS1	V(A)	V(B)	V(C-D)	V(E)	V(F)
1					
0					
Trạng thái					

BÀI 2

CÔNG LÔGIC (2)

ĐỊNH NGHĨA – ĐẶC TRƯNG

Mục đích: Xác định các thông số của các công logic. Tìm hiểu và khảo sát công ba trạng thái

PHẦN 1: LÝ THUYẾT

2.1. Những thông số của vi mạch số

Những thông số quan trọng của vi mạch số là:

- Mức logic (Logic Levels)
- Trễ truyền đạt (Propagation Delay)
- Công suất (Power)
- Độ chống nhiễu (Noise Immunity)
- Khả năng mắc tải vào, ra (Fan in, Fan out)

2.1.1. Mức logic

Mức logic là giá trị điện áp vào, ra được qui định cho các số nhị phân 0, 1. Thường người ta chỉ ra giá trị danh định cho hai mức logic.

Trong thực tế giá trị điện áp có thể biến đổi nhỏ do các thông số của các phần tử trong mạch, do sự biến đổi của nguồn một chiều cung cấp, do sự thay đổi của nhiệt độ.v.v.

Mức logic là thông số quan trọng của vi mạch số. Nhờ có các thông số này có thể dễ dàng nhận biết được những trạng thái logic ra và vào bằng cách đo mức logic bằng voltmeter.

2.1.2. Trễ truyền đạt

Trễ truyền đạt là khoảng thời gian để đầu ra của mạch có đáp ứng đổi với sự thay đổi mức logic của đầu vào.

Trễ truyền đạt là tiêu chuẩn để đánh giá tốc độ làm việc của mạch. Tốc độ làm việc tương ứng với tần số lớn nhất mà mạch vẫn hoạt động đúng. Rõ ràng là trễ truyền đạt càng nhỏ càng tốt hay tốc độ làm việc càng lớn càng tốt.

Đối với hầu hết các loại vi mạch số ngày nay trễ truyền đạt là rất nhỏ. Trễ truyền đạt có thể nhỏ cỡ 1ns (nano giây). Một vài loại mạch logic có thời gian trễ lớn cỡ vài trăm nano giây.

Khi mắc liên tiếp nhiều công logic thì trễ truyền đạt của toàn mạch sẽ bằng tổng trễ truyền đạt của mỗi công.

2.1.3. Công suất

Một thông số quan trọng khác của các vi mạch là công suất. Đối với vi mạch phải quan tâm đến nhiều loại công suất.

- Công suất tiêu tán.

Đây là tiêu chuẩn để đánh giá lượng công suất tiêu thụ (tốn hao) trên các phần tử trong vi mạch. Công suất tiêu hao thường cỡ vài mw đối với một vi mạch số và là giá trị trung bình giữa công suất tiêu tán khi đầu ra ở mức 0, 1 (Các công suất này thường khác nhau).

Công suất tiêu tán càng nhỏ càng tốt và có ý nghĩa đặc biệt quan trọng trong các thiết bị xách tay hay các thiết bị dùng pin.

- Công suất điều khiển là công suất của tín hiệu điều khiển ở đầu vào đảm bảo sự hoạt động đúng của mạch. Rõ ràng là công suất điều khiển càng nhỏ càng tốt.

2.1.4. Độ chống nhiễu

Độ chống nhiễu là tiêu chuẩn đánh giá độ nhạy của mạch logic đối với tạp âm xung trên đầu vào vi mạch.

Độ chống nhiễu là giá trị điện áp nhiễu tối đa trên đầu vào không làm thay đổi trạng thái logic của mạch. Độ chống nhiễu khi đầu ra ở mức 0, 1 là khác nhau. Do đó người ta phân biệt độ chống nhiễu mức 0 và độ chống nhiễu mức 1.

2.1.5. Hệ số măc tải

Hệ số măc tải đầu ra là số tải có thể nối được với đầu ra của mạch mà vẫn đảm bảo sự hoạt động tin cậy, đảm bảo tốc độ, giới hạn nhiệt độ và các thông số khác.

Do hạn chế bởi công suất ra tối đa của mạch, số lượng tải có thể nối với mạch logic là có hạn.

Có 2 cách cơ bản để nối tải vào đầu ra:

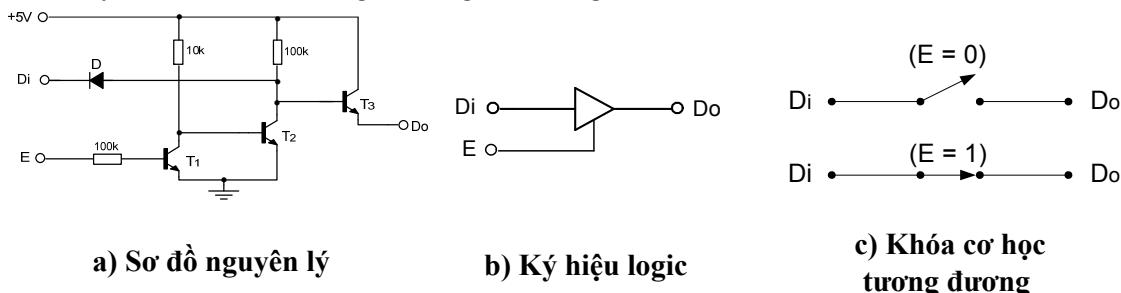
- Đất chung: Các tải được nối với đầu ra của mạch và đất.
- Nguồn chung: Các tải được nối với đầu ra của mạch và nguồn cung cấp.

2.1. Cổng ba trạng thái

2.2.1. Khái niệm cổng ba trạng thái

Cổng logic, ngoài trạng thái mức cao, mức thấp, đầu ra có trở kháng Z cao, hay thả nổi gọi là cổng ba trạng thái.

Cổng ba trạng thái được triển khai sử dụng từ năm 1970. Nhờ sự ra đời của cổng này mà việc thiết kế mạch đơn giản đi rất nhiều, đặc biệt cho các máy tính theo tổ chức BUS. Dưới đây là một ví dụ về cổng ba trạng thái đơn giản hình 2.1.



Hình 2.1: Cổng ba trạng thái. Sơ đồ nguyên lý a); ký hiệu logic b); khóa cơ học tương đương c)

Cổng ba trạng thái hình 2.1. hoạt động theo bảng chân lý 2-1.

Bảng 2-1

E	D _i	D _o
0	x	Thả nổi
1	0	0
1	1	1

Ở đây: D_i : Đầu vào số liệu (Data In)

D_o : Đầu ra số liệu (Data Out)

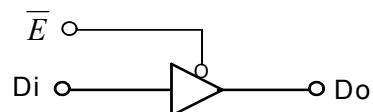
E : Lối vào cho phép (Enable)

X : Nhận giá trị bất kỳ 0 hoặc 1

Khi E = 0, T₁ cấm, cực base của T₂ có điện áp cao, T₂ mở bão hòa, base của T₃ như nối đất, khiến cho emitter của T₃ như bị treo hay bị thả nổi.

Khi E = 1, T₁ thông bão hòa, T₂ cấm, T₃ hoạt động như một mạch lặp lại emitter, tương đương như khóa cơ học đóng lại, hoạt động như một tầng “đệm” và D_o = D_i.

Trên đây là cổng ba trạng thái với đầu vào cho phép tác động cao (E = 1). Trong thực tế cũng thiết kế cổng ba trạng thái với đầu vào cho phép tác động thấp ($\bar{E} = 0$). Ký hiệu như hình 2.2 và hoạt động như bảng chân lý 2-2.



Hình 2.2: Cổng ba trạng thái với đầu vào cho phép tác động thấp

Bảng 2.2

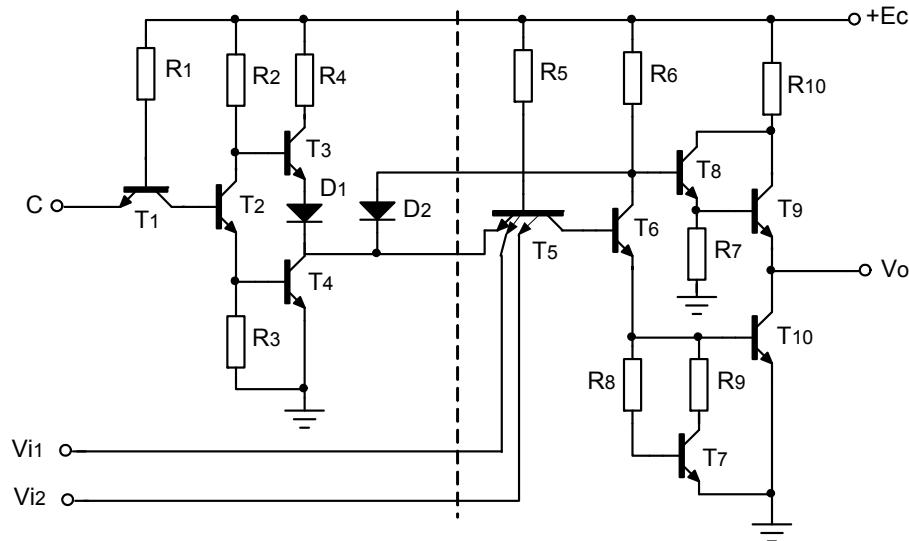
\bar{E}	D _i	D _o
1	x	Hở
0	0	0
0	1	1

Trạng thái thứ ba có tên gọi khác nhau, nhưng cùng một ý nghĩa: Thả nổi (Floating), hở (open), tổng trở lớn (high Impedance), cô lập (Isolation).

Trong kỹ thuật điện tử số, cổng ba trạng thái thường được dùng làm các bộ đệm đầu ra, khóa điều khiển hướng dữ liệu.

2.2.2. Cổng NAND đầu ra ba trạng thái (Three States – TS).

Khác với cổng NAND thông thường, đầu ra cổng TS là đầu ra ba trạng thái. Hình 2.3 trình bày cổng NAND đầu ra ba trạng thái.



Hình 2.3: Cổng NAND đầu ra ba trạng thái

Có thể thấy rằng cổng TS này gồm cổng NOT, NAND và diode D₂. Phần bên phải là cổng NAND có nguồn phóng điện. Phần bên trái là cổng NOT (cổng NAND một lối vào), trong đó không dùng mạch Darlington, mà chỉ dùng transistor T₃ ở tầng ra. Emitter của T₃ nối tiếp với D₁ để bảo đảm T₃ ngắt tin cậy khi T₂ và T₄ thông.

Khi đầu vào C có mức thấp, T₄ đưa ra tín hiệu mức cao cho T₅. Phần bên phải thực hiện hàm logic $V_O = Z = \overline{A \cdot B} = \overline{V_{i1} \cdot V_{i2}}$.

Khi đầu vào C có mức cao, T₄ đưa ra tín hiệu mức thấp cho T₅ làm cho T₆ T₇, T₁₀ ngắt, đồng thời mức thấp đầu ra T₄ thông qua D₂ đến base T₈ ghim nó xấp xỉ 1V làm T₉ ngắt. Từ đầu ra nhìn vào mạch điện ở trạng thái trở kháng cao.

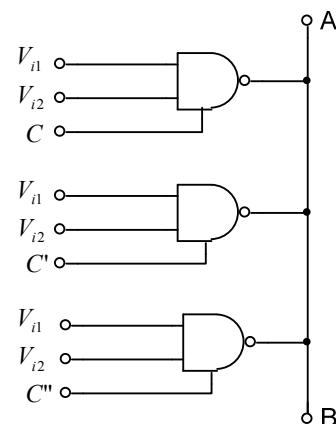
Chúng ta gọi bên trái là phần điều khiển của cổng TS, Đầu vào C là đầu vào điều khiển. Còn phần bên phải là phần truyền số liệu, các đầu vào

V_{i1} , V_{i2} là đầu vào số liệu. Gọi trạng thái TS khi C có mức thấp là trạng thái công tác, khi C có mức cao là trạng thái có trở kháng cao.

Ứng dụng quan trọng nhất của cổng TS ghép kenh các tín hiệu cần truyền luân lưu trên một dây dẫn. Hình 2.4.

Thường gọi các nhóm dây (ví dụ AB) tiếp nhận các dữ liệu là BUS, nếu các tín hiệu điều khiển C, C', C'' có thứ tự thời gian ở mức cao, thì tín hiệu dữ liệu ở 3 nhóm đầu vào V_{i1} , V_{i2} , V'_{i1} , V'_{i2} , V''_{i1} , V''_{i2} sau khi thực hiện quan hệ logic NAND sẽ đưa ra BUS luân lưu theo thứ tự thời gian tương ứng.

Cấu trúc BUS được dùng rộng rãi trong máy tính điện tử số hiện đại.

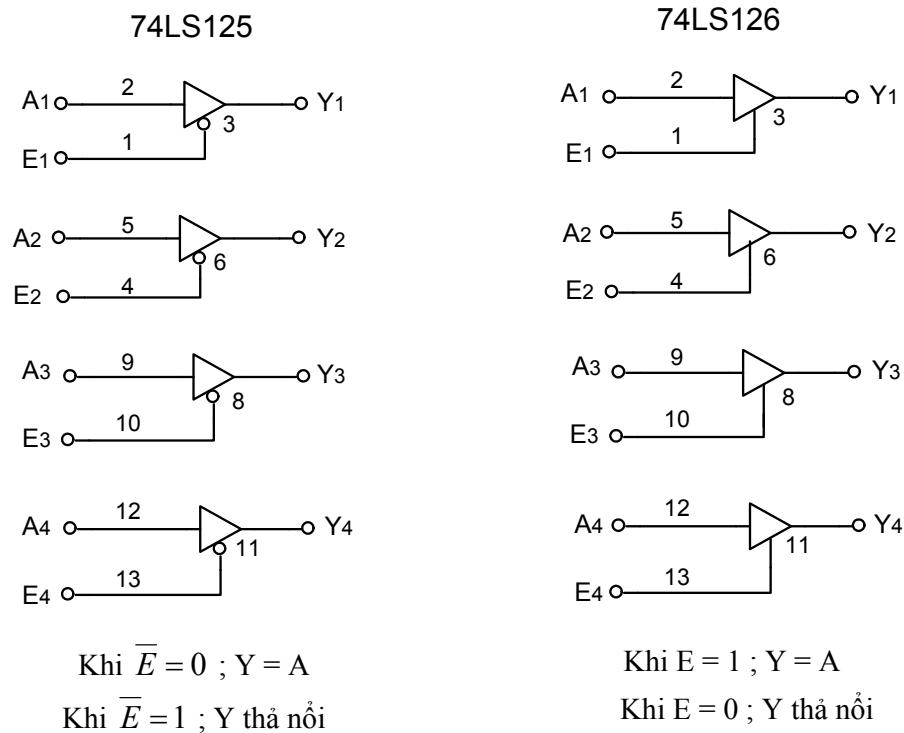


Hình 2.4: Ví dụ ứng dụng cổng TS

Cần chú ý rằng, để các cổng TS nối vào một BUS làm việc bình thường, thì ở một thời điểm bất kỳ chỉ cho phép một cổng TS duy nhất ở trạng thái công tác. Để bảo đảm điều kiện này, khi các cổng TS chuyển đổi trạng thái thì tốc độ chuyển từ trạng thái công tác sang trạng thái trở kháng cao phải nhanh hơn tốc độ chuyển từ trạng thái trở kháng cao sang trạng thái công tác. Nếu không sẽ xảy ra sự cố có hai cổng TS thông cùng nối với BUS. Lúc đó, nếu đầu ra một cổng mức cao, đầu ra cổng kia mức thấp, sẽ sinh ra dòng điện rất lớn từ cổng mức cao đến cổng mức thấp. Kết quả không những sai về logic của tín hiệu, mà còn có thể làm hỏng mạch điện tử.

2.2.3. Một số cổng logic ba trạng thái họ TTL (TTL - Tri - State Logic Gate)

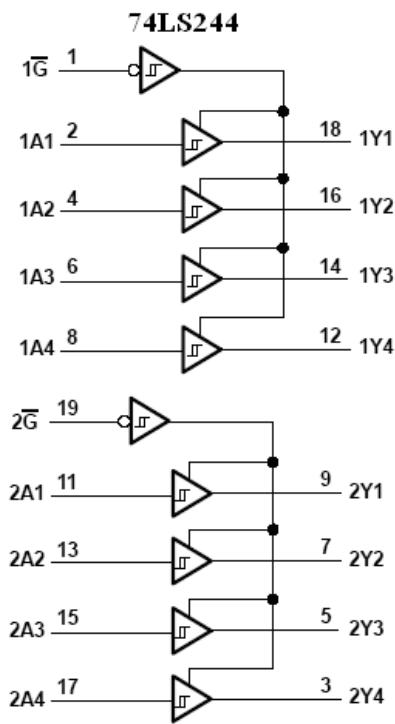
Hình 2.5 và hình 2.6 là sơ đồ logic của 74LS125, 74LS126, 74LS244, 74LS245 và các trạng thái của chúng kèm theo.



Hình 2.5a: Sơ đồ logic của 74 125 và 74 126

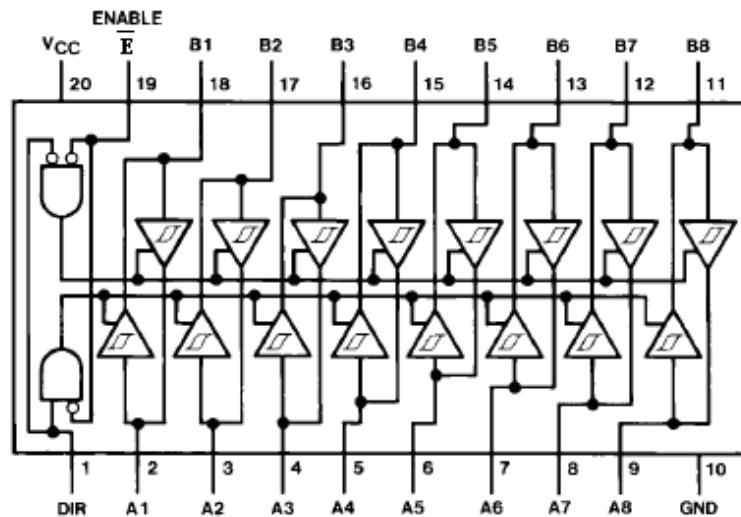
Nguyên tắc hoạt động của 74LS244:

- $1\bar{G} = 0$ $1Y_J = 1A_J$
- $1\bar{G} = 1$ Lối ra thả nổi
- $2\bar{G} = 0$ $2Y_J = 2A_J$
- $2\bar{G} = 1$ Lối ra thả nổi



Hình 2.5b: Sơ đồ logic của 74LS244

Sơ đồ logic và sơ đồ chân của 74LS245 được trình bày trên hình 2.6



Hình 2.6: Sơ đồ logic của 74LS245

Nguyên tắc hoạt động của 74LS245 được trình bày ở bảng 2-3.

Bảng 2-3

\bar{E}	DIR	Chức năng
0	0	Số liệu từ B đến A
0	1	Số liệu từ A đến B
1	X	Cô lập

PHẦN 2: THỰC NGHIỆM

1. Các đặc trưng của công logic - TTL

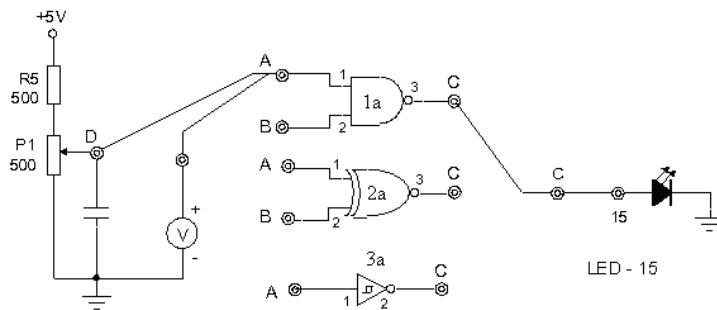
Nhiệm vụ:

Tìm hiểu các đặc trưng cơ bản của công logic TTL để áp dụng trong thiết kế điện tử.

Các bước thực hiện:

1. Cấp nguồn +5V cho mảng sơ đồ D2-1:

2. Đo mức thế ngưỡng hoạt động lối vào của công logic TTL



Hình D2-1a: Đo mức thế ngưỡng hoạt động lối vào của công logic TTL

2.1. Nối lối ra C của IC1/a với chốt 15 của bộ chỉ thị LED đơn (LOGIC INDICATORS). Dùng dây có chốt 2 đầu nối lối vào A của công IC1/a với điểm D để lấy điện thế từ biến trở P1. Đầu B để lửng.

Vặn biến trở P1 tăng từ từ để xác định vị trí biến trở mà tại đó lối ra chuyển từ từ 0 → 1 tương ứng của đèn LED từ tắt → sáng. Đo giá trị thế vào công V_{aul} .

Vặn biến trở P1 giảm từ từ để xác định vị trí biến trở mà tại đó lối ra chuyển từ từ 1 → 0 tương ứng của đèn LED từ sáng → tắt. Đo giá trị thế vào công V_{all} .

Ghi kết quả vào bảng D2-1.

Lặp lại thí nghiệm với IC2 và IC3. Ghi kết quả vào bảng D2-1.

Bảng D2-1

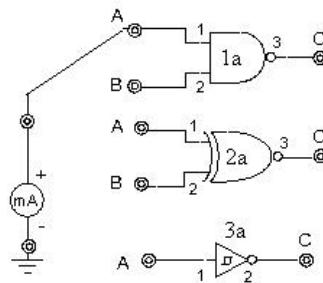
	IC1/a	IC2/a	IC3/a
V_{aul}			
V_{all}			

2.2. Trên cơ sở thế ngưỡng đo được, hãy chọn khoảng thế vào cho các mức logic cao (1) và thấp (0) để đảm bảo sự làm việc ổn định của công logic hai trạng thái.

2.3. So sánh kết quả đo giữa IC3 (có lối vào trigger Schmitt) với IC1 & IC2. Nhận xét về khả năng chống nhiễu và hoạt động tin cậy của yếu tố lối vào tới trigger Schmitt.

3. Đo dòng vào của công logic TTL

Nối lối vào A của IC1/a với đồng hồ mA để đo dòng chảy từ chân A-IC1/a xuống đất (hình D2-b). Ghi giá trị dòng vào cho 1 lối vào công I_{1ul} vào bảng D2-2. Tương ứng tính giá trị trở tương đương nối lên nguồn +5V cho 1 lối vào công R_{1ul} .



Hình D2-1b: Đo dòng vào của cổng logic TTL

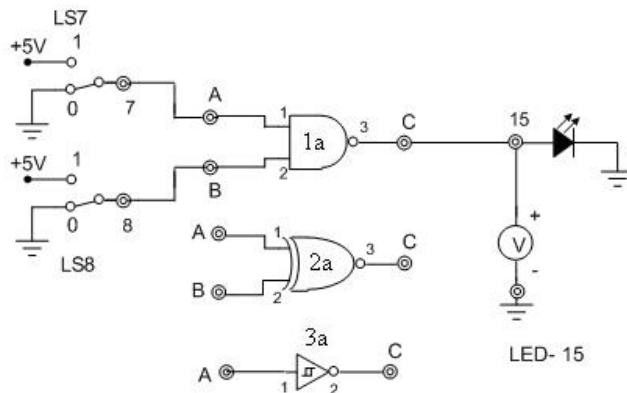
Tính R_{10i} cho trường hợp cho 10 lõi vào cổng mắc song song nhau (khi xem xét khả năng trong thực tế, 1 lõi ra cổng có thể điều khiển bao nhiêu lõi vào cổng – Fan Out).

Lắp lại thí nghiệm cho IC2, IC3. Ghi kết quả vào bảng D2-2.

Bảng D2-2

	IC1/a	IC2/a	IC3/a
I_i			
$R_{1i} = +5V/I_{1ul}$			
$R_{10i} = R_{1ul}/10$			

4. Đo mức thế lõi ra của cổng logic TTL



Hình D2-1c: Đo mức thế lõi ra của cổng logic TTL

4.1. Dùng dây có chốt hai đầu nối lõi vào A & B của cổng IC1/a với công tắc logic LS7, LS8 của mảng DATA SWITCHES/ DTLAB-201N. (Hình D2-1c). Nối đầu ra C của IC1/a với chốt 15 của bộ chỉ thị logic (LOGIC INDICATORS).

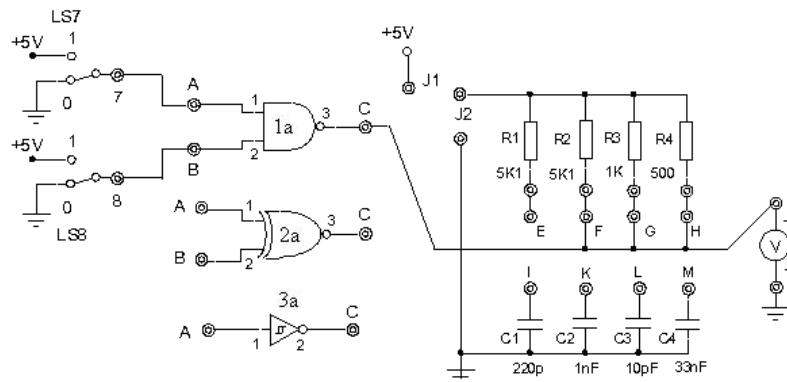
4.2. Sử dụng đồng hồ đo điện thế lõi ra C của IC1/a, gạt công tắc logic LS7, LS8 từ 0 → 1 và từ 1 → 0, ghi giá trị thế ứng với mức thấp VOL và mức cao VOH vào bảng D2-3.

Bảng D2-3

LS7	LS8	A	B	V _C (V)
0	0	0	0	
0	1	0	1	
1	0	1	0	
1	1	1	1	

4.3. Lắp lại bước 4.1, 4.2 cho cổng bát kỳ của IC2, IC3

4.4. Nối J1 để cấp nguồn cho bộ trở tải (hình D2-1d). Mắc trở tải ngoài lên nguồn cho lối ra cổng: Nối lối ra C của IC1/a lần lượt với các chốt F, G, H (xem các giá trị tương ứng với $R_i \div R_u$ trong hình D2-1d). Đo giá trị điện thế lối ra cổng ứng với mức cao V_{OH} và mức thấp V_{OL} khi có tải ngoài. Nhận xét về ảnh hưởng của trở tải R đối với các mức ra và giới hạn tải để mức ra nằm trong vùng cho phép. Ghi kết quả vào bảng D2-4.



IC1, IC2, IC3

Hình D2-1d: Khả năng mắc tải ngoài của cổng logic TTL

Bảng D2-4

A	B	V _c (V)			
		R = ∞	R = R ₂ = 5K1	R = R ₃ = 1K	R = R ₄ = 510
0	0				
0	1				
1	0				
1	1				

4.5. Ngắt J1, nối J2 để nối các trở R1 – R4 xuống đất.

Mắc trở tải ngoài xuống đất cho lối ra cổng: Lần lượt nối lối ra của IC1/a với các chốt F, G, H. Đo mức thế lối ra của cổng theo bảng D2-4. Nhận xét về khả năng tải của cổng logic khi trở tải nối đất.

5. Khả năng tải điện dung của cổng logic TTL

Thí nghiệm cho phép xem xét ảnh hưởng của tải điện dung, thường là điện dung cáp nối giữa lối ra và lối vào của hai cổng đặt xa nhau.

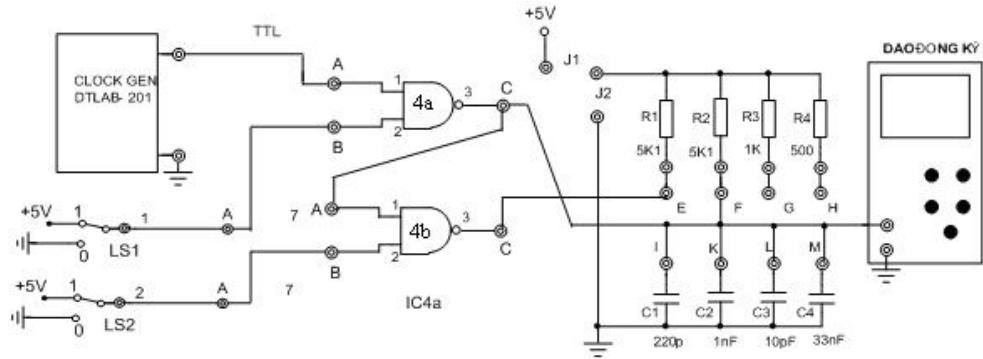
Nối J1 để nối các trở R1 – R4 lên nguồn.

5.1. Nối mạch trong hình D2-1 theo sơ đồ D2-1e, trong đó sử dụng IC4/a,b (cổng với collector hở).

Nối lối ra C của IC4/a với chốt F (trở tải R₂ = 5K1).

Nối lối ra C của IC4/a với chốt A của IC4/b.

Nối lối ra C của IC4/b với chốt E (trở tải R₁ = 5K1).



Hình D2-1e: Sơ đồ đo khả năng mắc tải điện dung của cỗng logic TTL

5.2. Đặt thang đo thế lõi vào của dao động ký ở 1V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm. Chính cho cả hai tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để dịch tia theo chiều X và Y về vị trí dễ quan sát.

Nối kênh 1 dao động ký với lõi vào A/IC4/a. Nối kênh 2 dao động ký để quan sát thế ra tại điểm C của IC4/b.

5.3. Đặt máy phát xung CLOCK GENERATOR của thiết bị chính DTS-21 ở chế độ phát với tần số 10 KHz. Nối lõi ra TTL của máy phát xung với lõi vào A của IC4/a.

5.4. Quan sát và vẽ lại dạng xung ở lõi ra của IC4/a, IC4/b khi chưa nối tải điện dung.

5.5. Nối F với lần lượt các chốt I, K, L, M để mắc tải điện dung cho lõi ra IC4/a. Quan sát và vẽ lại dạng xung ở lõi ra của IC4/a, IC4/b khi có tải điện dung.

5.6. Tăng tần số máy phát của thiết bị chính cho đến khi lõi ra IC4/b mất xung. Quan sát và vẽ lại dạng xung ở lõi ra của IC4/a, IC4/b ở giá trị tần số tới hạn. Ghi giá trị tần số tới hạn.

5.7. Giảm trở tải cho IC4/a từ 5K1 xuống 1K: Ngắt dây nối điểm C (IC4/a) với E (trở tải R1). Nối điểm C (IC4/a) với G (trở tải R3) > Lặp lại bước 5.6. Quan sát và vẽ lại dạng xung ở lõi ra của IC4/a, IC4/b khi có tải điện dung và trở tải lên nguồn nhỏ hơn.

5.8. Kết luận về khả năng tải điện dung của cỗng logic.

6. Đặc trưng truyền của cỗng logic TTL

Đặc trưng truyền – biểu thị sự thay đổi thế lõi ra theo thế lõi vào – có đặc trưng dốc và hẹp. Vì vậy, cần tiến hành thí nghiệm này một cách tỉ mỉ.

6.1. Nối mạch trong mảng D2-1 theo sơ đồ D2-1a. Nối lõi vào A của IC1/a với điểm D của biến trở P1.

6.2. Dùng đồng hồ đo để đo thế vào và ra của cỗng.

6.3. Vặn P1 đặt thế $V_i(D) = 0$. Đo thế ra tại C của IC4/a.

Thay đổi P1 để thế ra có giá trị +2.5V, đo giá trị thế vào. Thay đổi P1 quanh giá trị vừa xác lập, đo giá trị thế ra.

Thay đổi P1 để thế ra có giá trị +3.5V, đo giá trị thế vào. Thay đổi P1 quanh giá trị vừa xác lập, đo giá trị thế ra.

Thay đổi P1 để thê ra có giá trị +1.5V, đo giá trị thê vào. Thay đổi P1 quanh giá trị vừa xác lập, đo giá trị thê ra.

Ghi giá trị đo vào bảng D2-5.

Bảng D2-5

Vi(D)	0V		1.25V		+2.5V			3.75V		+5V
Vo(C)										

Biểu diễn sự phụ thuộc thê ra (trục y) theo thê vào (trục x)

2. Các đặc trưng của Cổng CMOS

Nhiệm vụ:

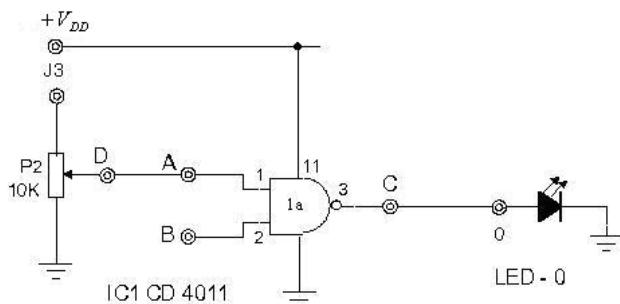
Tìm hiểu các đặc trưng cơ bản của cổng logic CMOS để áp dụng trong thiết kế điện tử. CMOS là linh kiện có công suất tiêu thụ nhỏ, hoạt động với năng lượng rất thấp. Vì vậy trong quá trình thực nghiệm cần lưu ý để tránh làm hỏng vi mạch:

- Chỉ tác dụng xung từ máy phát vào sơ đồ khi trên sơ đồ đã có nguồn +VDD.
- Biên độ xung tác động cần nhỏ hơn +VDD, vào cỡ 90% VDD.
- Trong thí nghiệm, khi thay đổi nguồn +VDD, biên độ xung lấy từ máy phát CLOCK GENERATOR cũng tương tự thay đổi theo.

Trong trường hợp sử dụng máy phát ngoài, cần chú ý khi tăng VDD, cần phải thay đổi +VDD trước, sau đó mới tăng biên độ xung tác động vào sơ đồ. Ngược lại, khi cần giảm VDD, phải giảm biên độ xung vào trước, sau đó giảm VDD.

Các bước thực hiện:

1. Cấp nguồn 0 ÷ +15V cho mảng mạch D2-2. Đặt giá trị nguồn +VDD = +5V
2. Đo mức thê ngưỡng hoạt động lối vào của cổng logic CMOS: Hình D2-2a.



Hình D2-2a: Đo mức thê ngưỡng hoạt động của cổng logic CMOS

2.1. Nối J3, cấp nguồn cho biến trờ P2.

Nối đầu ra C của IC1/a với LED0 của bộ chỉ thị logic (LOGIC INDICATORS).

Dùng dây nối lối vào A của cổng IC1/a với điểm D để lấy điện thế từ biến trờ P2. Đầu B để lửng

Vặn biến trờ P2 tăng từ từ để xác định vị trí lối ra chuyển từ 0 → 1, tương ứng của LED từ tắt → sáng. Đo giá trị thê vào cổng V_{aul}.

Văn biển trỏ P2 giảm từ từ để xác định vị trí lồi ra chuyen từ 1 → 0, tương ứng của LED từ sáng → tắt. Đo giá trị thé vào cổng V_{all}.

Ghi kết quả vào bảng D2-6

Bảng D2-6.

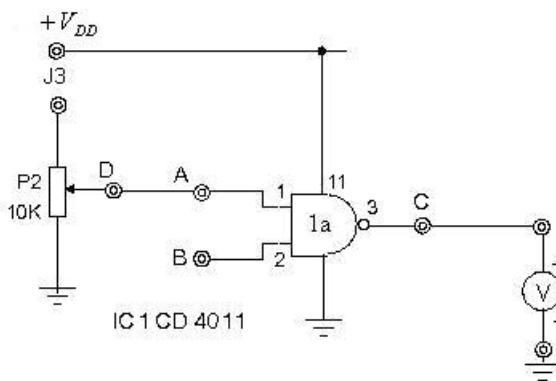
IC1/a	$V_{DD} = +5V$	$V_{DD} = +10V$	$+V_{DD} = +15V$
V_{aul}			
V_{all}			

2.2. Trên cơ sở thẻ ngưỡng đo được, hãy chọn khoảng thé cho các mức logic cao (1) và thấp (0) để đảm bảo sự làm việc ổn định của công logic.

2.3. So sánh khoảng thế làm việc lối vào của sơ đồ CMOS với TTL

3. Đo mức thế lối ra của cổng logic CMOS: Hình D2-2b.

3.1. Cấp nguồn $0 \div +15V$ cho chốt V_{DD} của mảng mạch D2-2. Đặt thế nguồn $+V_{DD} = +5V$. Nối J3, cấp nguồn cho biến trở P2.



Hình D2-2b: Đo mức thế lõi ra của cổng logic CMOS

Nối đầu ra C của IC1/a với dòng hồ đo thế. Dùng dây có chốt hai đầu nối lối vào A của công IC1/a với điểm D để lấy điện thế từ biến trở P2. Đầu B để lửng.

Văn biển trở P2 tăng từ từ để lôi ra chuyên từ 0 → 1, đo giá trị thé ra ứng với mức cao Vc ~ (1).

Văn biến trở P_2 giảm từ từ để lối ra chuyển từ $1 \rightarrow 0$, do giá trị thẻ ra ứng với mức thấp $V_C \sim (0)$.

Ghi kết quả vào bảng D2-7

Thay đổi thẻ $+V_{DD}$ từ $+5V$ lên $+10V$ và $+15V$, lặp lại thí nghiệm, ghi kết quả vào bảng D2-7.

Bảng D2-7

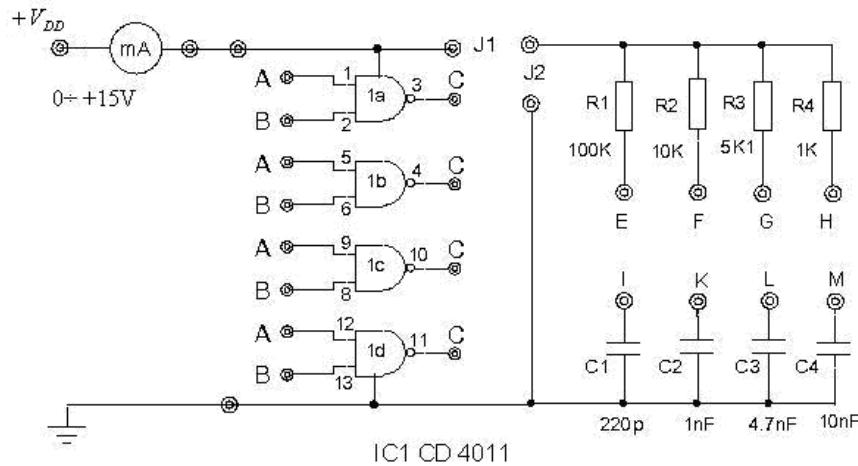
IC1/a	$V_{DD} = +5V$	$V_{DD} = +10V$	$+V_{DD} = +15V$
$V_C \sim (1)$			
$V_C \sim (0)$			

3.2. So sánh khoảng thé làm việc lối ra của sơ đồ CMOS với TTL

4. Công suất tiêu tán của cổng logic CMOS

Thí nghiệm cho phép khảo sát ảnh hưởng tần số làm việc lên công suất tiêu tán của cổng CMOS.

4.1. Nối mạch D2-2 theo sơ đồ D2-2c. Nối dây cấp nguồn qua đồng hồ đo (2mA). Ban đầu đặt $+V_{DD} = +5V$.



Hình D2-2c: Sơ đồ đo công suất tiêu tán tĩnh của cổng logic CMOS

4.2. Đặt thang đo thê lôi vào của dao động ký ở 5V/cm.

Đặt thời gian quét của dao động ký ở 1ms/cm. Chính cho cả hai tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để dịch tia theo chiều X và Y về vị trí dễ quan sát.

Nối kênh 1 dao động ký với lõi vào A/IC1/a. Nối kênh 2 dao động ký để quan sát thê ra tại điểm C của IC1/a.

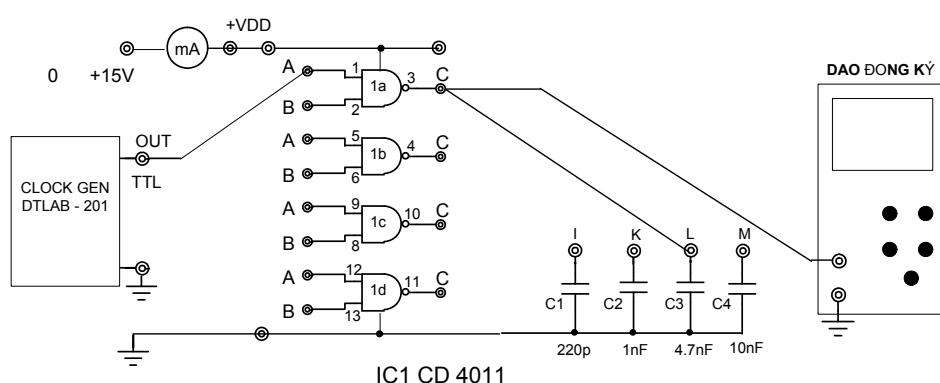
4.3. Nối các lõi vào của IC1 xuống đất. Đo dòng tiêu tán khi IC1 chưa hoạt động.

Nối các lõi vào của IC1 lên nguồn $+V_{DD}$. Đo dòng tiêu tán khi IC1 chưa hoạt động.

4.4. Đặt máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201N ở chế độ phát với tần số 1KHz. Nối lõi ra CMOS của máy phát xung với lõi vào A của IC1/a.

4.5. Quan sát và vẽ lại dạng xung ở lõi ra của IC1/a.

4.6. Nối lõi ra C của IC1/a với L (tụ C3 = 4.7nF) (hình D2-2d).



Hình D2-2d: Sơ đồ đo công suất tiêu tán động của cổng logic CMOS

Quan sát và vẽ lại dạng xung ở lõi ra của IC1/a.

Tăng tần số máy phát lên 5kHz và 10kHz. Ghi giá trị dòng tiêu tán I_{DD} theo các tần số đo vào bảng D2-7.

4.7. Thay đổi nguồn $+V_{DD}$ lên +10V (biên độ xung máy phát ở lõi ra CMOS có biên độ tự tăng theo). Lặp lại bước thí nghiệm trên. Ghi kết quả vào bảng D2-7.

4.8. Thay đổi nguồn $+V_{DD}$ lên +15V (biên độ xung máy phát ở lõi ra CMOS có biên độ tự tăng theo). Lặp lại bước thí nghiệm trên. Ghi kết quả vào bảng D2-7.

Bảng D2-7

$+V_{DD}$	Kiểu làm việc	1KHz	5KHz	10KHz
+5V	$C_3 = 0$ (không nối C-L)			
	$C_3 = 4.7nF$ (có nối C-L)			
+10V	$C_3 = 0$ (không nối C-L)			
	$C_3 = 4.7nF$ (có nối C-L)			
+15V	$C_3 = 0$ (không nối C-L)			
	$C_3 = 4.7nF$ (có nối C-L)			

5. Đặc trưng truyền của cỗng

Đặc trưng truyền – biểu thị sự thay đổi thế lõi ra theo thế lõi vào – có đặc trưng dốc và hẹp. Vì vậy, cần tiến hành thí nghiệm này một cách tỉ mỉ.

5.1. Nối mạch trong mảng D2-2 theo sơ đồ D2-2b. Nối J3 để cấp thế cho biến trở P2.

Ban đầu đặt $+V_{DD} = +3.5V$. Sử dụng đồng hồ đo để đo thế vào và thế ra cỗng CMOS.

5.2. Vặn biến trở P2 để đặt thế $V_i(D) = 0$. Đo thế ra tại C của IC1/a.

Thay đổi từ từ P2 để thế ra có các giá trị lần lượt như trong bảng D2-8, đo giá trị thế vào tương ứng. Ghi giá trị đo vào bảng D2-8.

Bảng D2-8

$V_{DD} = +3.5V$		$V_{DD} = +5V$		$V_{DD} = +10V$		$V_{DD} = +15V$	
$V_i(D)$	$V_{out}(C)$	$V_i(D)$	$V_{out}(C)$	$V_i(D)$	$V_{out}(C)$	$V_i(D)$	$V_{out}(C)$
0		0		0		0	
	0.5V		0.5V		1.0V		2V
	1.0V		1.0V		2.0V		4V
	1.75V		2.5V		5.0V		7.5V
	2.5V		4.0V		8.0V		11V
	3.0V		4.5V		9.0V		13V
+3.5V		+5V		+10V		+15V	

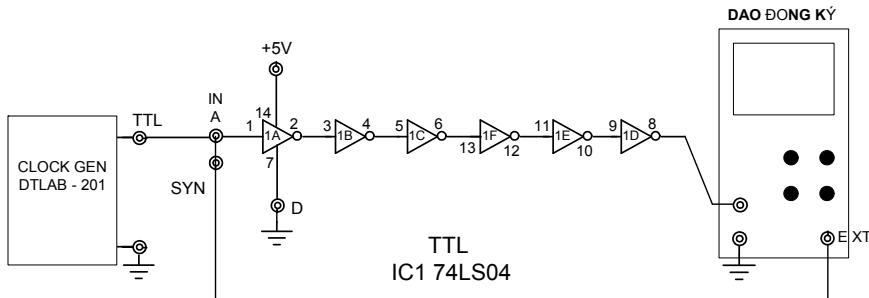
5.3. Thay đổi thế nguồn $+V_{DD}$ lên +5V, +10V, +15V, lặp lại bước thí nghiệm như trên. Ghi giá trị đo vào bảng D2-8.

Biểu diễn đồ thị đặc trưng truyền của vi mạch CMOS khi chế độ nuôi khác nhau, trong đó trục y biểu diễn thế ra, trục x biểu diễn thế vào.

Nhận xét về chọn thế nuôi $+V_{DD}$ để làm tốt đặc trưng truyền cho vi mạch CMOS.

3. Đặc trưng trễ của cỗng Logic

1. Đặc trưng trễ của cỗng logic TTL



Hình D2-3a: Sơ đồ đo đặc trưng trễ của cỗng logic TTL

Đặc trưng trễ - biểu thị sự chậm thời gian thay đổi thế lối ra theo thế lối vào – đối với cỗng TTL có đặc trưng khoảng nano giây (10^{-9} sec). Vì vậy, cần tiến hành thí nghiệm này khi nối nối tiếp nhiều cỗng để tạo thời gian trễ đủ lớn, nhằm dễ dàng đo đặc.

1.1. Nối nguồn +5V của DTLAB-201N với chốt nguồn +5V của mạch D2-3a, sử dụng IC1.

1.2. Đặt máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201N ở chế độ phát với tần số $1\text{MHz} \div 2\text{MHz}$. Nối lối ra TTL của máy phát xung với lối vào A của IC1/a.

1.3. Đặt thang đo thế lối vào của dao động ký ở 1V/cm .

Đặt dao động ký ở chế độ đồng bộ ngoại với xung từ máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201N.

Đặt thời gian quét của dao động ký ở 200ns/cm . Chính cho cả hai tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để dịch tia theo chiều X và Y về vị trí dễ quan sát.

Nối kênh 1 dao động ký với lối vào IN/A. Nối kênh 2 dao động ký với điểm OUT/C.

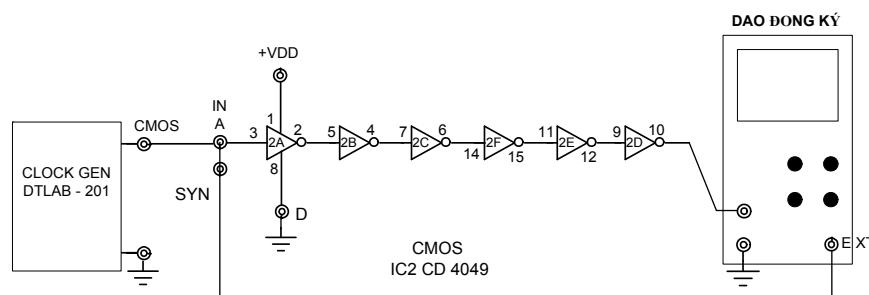
1.4. Chính mức đồng bộ dao động ký để nhận điểm khởi phát từ máy phát ngoài. Đo thời gian trễ truyền xung từ lối vào tới lối ra (qua 6 cỗng) – là thời gian lệch mặt tăng của tín hiệu giữa kênh 1 và kênh 2:

$$t_d(6) = ? \dots [ns].$$

Thời gian trễ cho 1 cỗng logic TTL $t_d(1) = t_d(6) / 6 = ? \dots [ns]$.

2. Đặc trưng trễ của cỗng logic CMOS

2.1. Cáp nguồn $0 \div +15\text{V}$ cho chốt $+V_{DD}$ của mảng mạch D2-4. Đặt thế nguồn $+V_{DD} = +3.5\text{V}$.



Hình D2-3b: Sơ đồ đo đặc trưng trễ của cỗng logic CMOS

2.2. Đặt máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201N ở chế độ phát với tần số $1\text{MHz} \div 2\text{MHz}$. Nối lõi ra CMOS của máy phát xung với lõi vào A của IC2/a.

2.3. Đặt thang đo thế lõi vào của dao động ký ở 2V/cm .

Đặt dao động ký ở chế độ đồng bộ ngoại với xung từ máy phát xung của thiết bị chính DTLAB-201N.

Đặt thời gian quét của dao động ký ở 200ns/cm . Chỉnh cho cả hai tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để dịch tia theo chiều X và Y về vị trí dễ quan sát.

Nối kênh 1 dao động ký với lõi vào IN/A (IC2) sơ đồ D2-3b. Nối kênh 2 dao động ký với điểm OUT/C.

2.4. Chỉnh mức đồng bộ dao động ký để nhận điểm khởi phát từ máy phát ngoài. Đo thời gian trễ truyền xung từ lõi vào tới lõi ra (qua 6 cổng) –

là thời gian lệch các mặt tăng của tín hiệu giữa kênh 1 và kênh 2, sẽ bằng: $t_d(6) = ?\dots\dots\dots\text{[ns]}$.

Thời gian trễ cho 1 cổng logic CMOS: $t_d(1) = t_d(6) / 6 = \dots\dots\dots\text{[ns]}$.

Ghi kết quả đo vào bảng D2-9

2.5. Thay đổi thế nguồn $+VDD$ lên $+5\text{V}$, $+10\text{V}$, $+15\text{V}$, lặp lại bước thí nghiệm 5.4. Ghi giá trị đo vào bảng D2-9.

Bảng D2-9

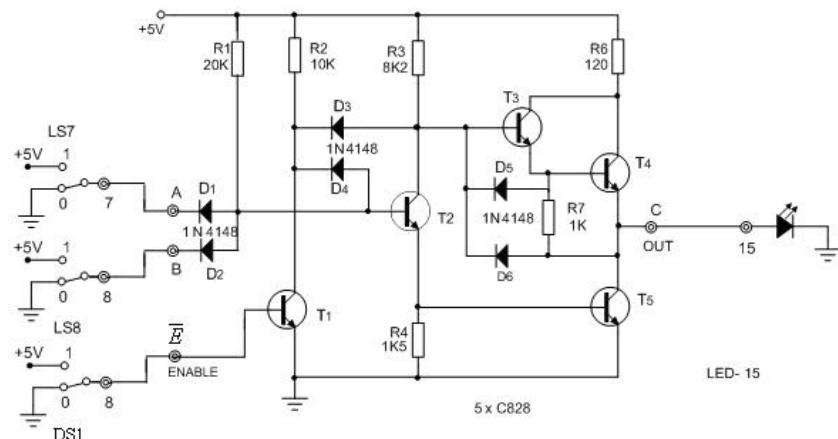
$+VDD$	$+3.5\text{V}$	$+5\text{V}$	$+10\text{V}$	$+15\text{V}$
$t_d(6)$				
$t_d(1) = t_d(6) / 6$				

2.6. Nhận xét về ảnh hưởng của thế nuôi $+VDD$ lên giá trị thời gian trễ của vi mạch CMOS

4. Vi mạch logic 3 trạng thái

Nhiệm vụ:

Tìm hiểu trạng thái lõi ra tổng trở Z cao, sử dụng khi ngắt lõi ra vi mạch logic với đường BUS dữ liệu hoặc tải ngoài.



Hình D2-4a: Cấu trúc sơ đồ vi mạch logic 3 trạng thái

Các bước thực hiện:

1. Cấp nguồn +5V cho các mảng sơ đồ D2-4:
 2. Cấu trúc cỗng 3 trạng thái:

Dùng dây nối các lõi vào A & B của mạch với công tắc logic LS7, LS8 của mảng DATA SWITCHES/ DTLAB-201N. Nối đầu \bar{E} với công tắc DS1. Đặt DS1 ở 0 hoặc 1. Gạt công tắc logic LS7, LS8 từ 0 → 1 và từ 1 → 0 theo bảng D2-10, quan sát trạng thái tương ứng của đèn LED chỉ thị: LED sáng - trạng thái lõi ra của mạch là cao (1), LED tắt - trạng thái lõi ra của mạch là thấp (0).

Ghi trang thái lối ra theo trang thái lối vào của cổng vào bảng chân lý D2-10.

Bảng D2-10

DS1 E	LS7 A	LS8 B	Lối ra C
0	1	1	
0	1	0	
0	0	1	
0	0	0	
1	X	X	

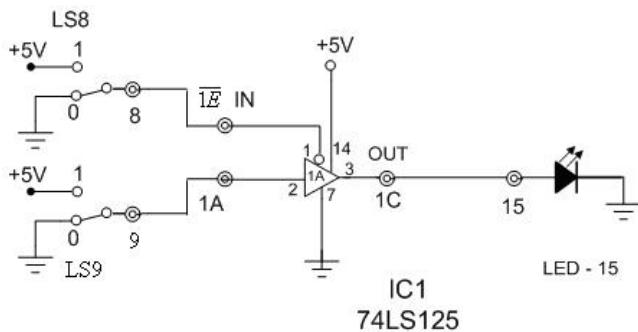
X : Trạng thái bất kỳ

2.2. Theo kết quả bảng chân lý D2-10 và cấu trúc sơ đồ TTL, giải thích nguyên tắc hoạt động của cổng NAND 3 trạng thái.

Chú ý: Transistor làm việc ở chế độ khóa (đóng và mở bão hòa hoặc gần bão hòa).

3. Vi mạch cỗng 3 trạng thái:

Nối lõi ra 1C của IC1/a (hình D2-4b) với LED 15 của bộ chỉ thị logic (LOGIC INDICATORS).



Hình D2-4b: Bộ chuyển đổi số liệu 1 chiều 3 trạng thái

Nối công tắc logic LS8 của bộ công tắc DATA SWITCHES/ DTLAB-201N với lõi vào điều khiển $\overline{1E}$. Nối công tắc logic LS16 với lõi vào 1A. Đặt các công tắc tương ứng với giá trị theo bảng D2-11. Ghi kết quả vào bảng D2-11.

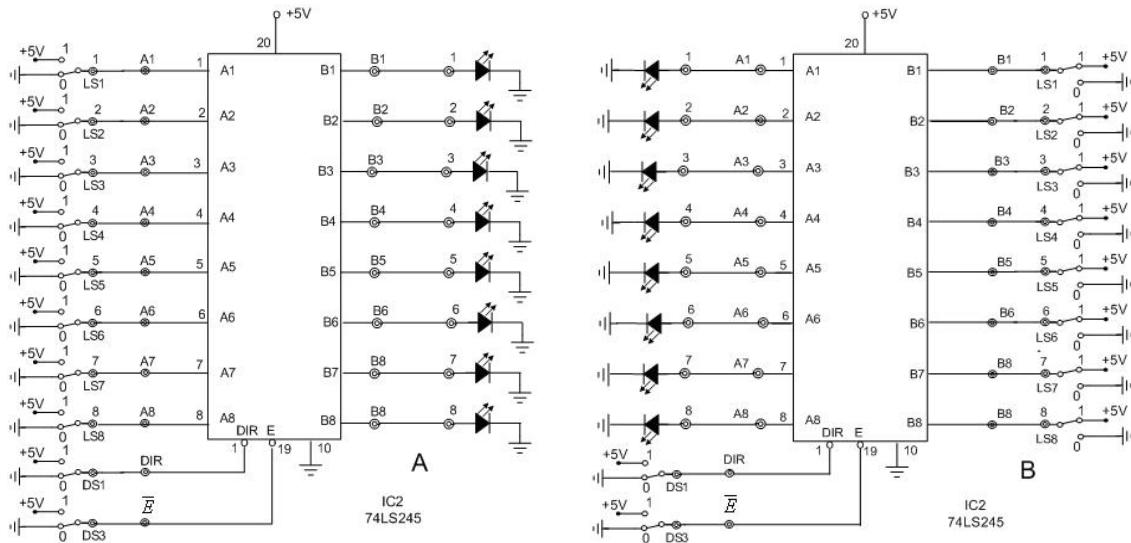
Bảng D2-11

LS8 \bar{E}	LS9 A	Lối ra C
0	1	
0	0	
1	X	

X: Trạng thái bất kỳ

4. Bộ chuyển số liệu hai chiều 3 trạng thái:

4.1. Nối 8 công tắc logic LS1÷LS8 bộ công tắc DATA SWITCHES/ DTLAB-201N với các chân A1 đến A8 của vi mạch IC2 (hình D2-4c/ phần A). Nối các chân B1 đến B8 của IC2 với các LED 1÷8 của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.



Hình D2-4c: Bộ chuyển số liệu 2 chiều 3 trạng thái

- Nối chân DIR với chốt TTL/ công tắc DS1. Đặt DS1 = 1 để chọn hướng chuyển số liệu từ A → B. Nối chân \bar{E} với với chốt TTL/ công tắc DS3.

Đặt các công tắc LS1-LS8 (các chân A1 đến A8) ở trạng thái 1 hoặc 0 tùy chọn, xem ví dụ bảng D2-12. Đặt các công tắc chân \bar{E} (DS3) ở 1 hoặc 0. Ghi trạng thái chân B1 - B8 theo trạng thái các đèn LED tương ứng tắt (=0) hay sáng (=1).

Bảng D2-12

	A1 = 1	A2 = 0	A3 = 1	A4 = 0	A5 = 1	A6 = 0	A7 = 1	A8 = 0
$\bar{E} = 1$	B ₁ =	B ₂ =	B ₃ =	B ₄ =	B ₅ =	B ₆ =	B ₇ =	B ₈ =
$\bar{E} = 0$	B ₁ =	B ₂ =	B ₃ =	B ₄ =	B ₅ =	B ₆ =	B ₇ =	B ₈ =

- Đổi trạng thái các công tắc logic cho lối vào A, theo dõi sự thay đổi tương ứng của các LED chỉ thị.

4.2. Nối 8 các công tắc LS1-LS8 với các chân B1 đến B8 của IC2 (hình D2-4c phần B). Nối các chân A1 đến A8 của IC2 với các LED 1÷8 của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.

- Nối chân DIR với chốt TTL/ công tắc DS1. Đặt DS1 = 0 để chọn hướng chuyển số liệu từ B → A. Nối chân \bar{E} với với chốt TTL/ công tắc DS3.

Đặt các công tắc LS1-LS8 (các chân B1 đến B8) ở trạng thái 1 hoặc 0 tùy chọn, xem ví dụ bảng D2-13. Đặt các công tắc chân \bar{E} (DS3) ở 1 hoặc 0. Ghi trạng thái chân A1 - A8 theo trạng thái các đèn LED tương ứng tắt (=0) hay sáng (=1). Ghi kết quả vào bảng D2-13.

Bảng D2-13

	B1 = 1	B2 = 0	B3 = 1	B4 = 0	B5 = 1	B6 = 0	B7 = 1	B8 = 0
$\bar{E} = 1$	A ₁ =	A ₂ =	A ₃ =	A ₄ =	A ₅ =	A ₆ =	A ₇ =	A ₈ =
$\bar{E} = 0$	A ₁ =	A ₂ =	A ₃ =	A ₄ =	A ₅ =	A ₆ =	A ₇ =	A ₈ =

- Đổi trạng thái các công tắc logic cho lối vào B theo dõi sự thay đổi tương ứng của các LED chỉ thị.

BÀI 3

CÁC SƠ ĐỒ LOGIC CƠ BẢN (1)

CÁC BỘ GIẢI MÃ VÀ MÃ HÓA LOGIC

Mục đích: Tìm hiểu các phương pháp thiết kế các mạch logic tổ hợp, cụ thể là các bộ giải mã và mã hóa logic và ứng dụng của nó.

PHẦN 1: LÝ THUYẾT

3.1. Đặc điểm cơ bản và phương pháp thiết kế mạch logic tổ hợp

3.1.1. Phương pháp biểu thị, phân tích đặc điểm cơ bản và chức năng logic của mạch logic tổ hợp

Căn cứ vào đặc điểm và chức năng logic, chúng ta phân loại mạch số thành hai loại mạch chính: Mạch tổ hợp và mạch dãy (mạch dãy được trình bày trong các bài sau).

1. Đặc điểm cơ bản của mạch tổ hợp

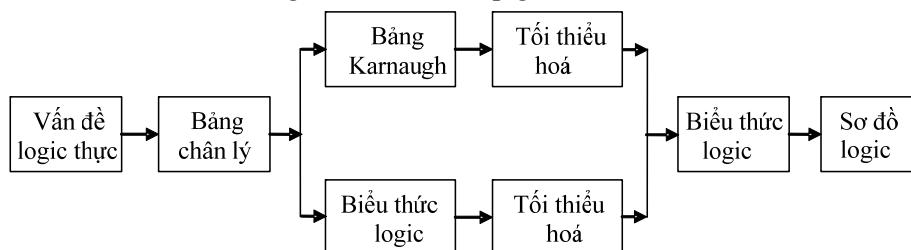
Trong mạch số, mạch tổ hợp là mạch mà trị số ổn định của tín hiệu ở đầu ra, chỉ phụ thuộc vào tổ hợp các giá trị tín hiệu đầu vào ở thời điểm đó. Trong mạch tổ hợp trạng thái mạch điện tại thời điểm trước, tức là trước khi có tác động của tín hiệu đầu vào, không ảnh hưởng đến tín hiệu đầu ra.

2. Phương pháp biểu thị chức năng logic

Các phương pháp thường dùng để biểu thị chức năng logic của mạch tổ hợp là: Hàm logic, bảng chân lý, sơ đồ logic, bảng karnaugh, cũng có khi biểu thị bằng đồ thị thời gian dạng sóng. Nếu biết một cách biểu diễn có thể suy ra các biểu diễn khác.

3.1.2. Phương pháp thiết kế logic mạch tổ hợp.

Quá trình thiết kế nói chung của mạch tổ hợp gồm các bước được mô tả trên hình 3.1



Hình 3.1: Các bước thiết kế mạch logic tổ hợp

Phương pháp thiết kế logic các mạch tổ hợp là các bước cơ bản tìm ra sơ đồ mạch điện logic từ các yêu cầu nhiệm vụ đã cho.

Các bước của quá trình thiết kế có thể rút gọn trong bốn bước chính.

1. Phân tích yêu cầu

Yêu cầu nhiệm vụ thiết kế của vấn đề logic thực có thể là những yêu cầu trình bày dưới dạng văn bản, cũng có thể là một bài toán logic cụ thể. Nhiệm vụ phân tích là xác định cái nào là biểu số đầu vào, cái nào là hàm số đầu ra và mối quan hệ logic giữa chúng với nhau.

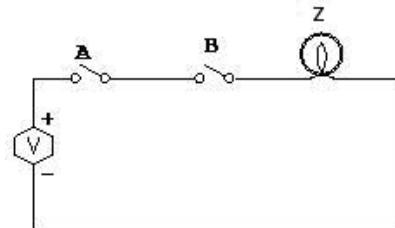
2. Bảng chân lý

Đầu tiên, từ các yêu cầu cụ thể liệt kê thành bảng biểu diễn quan hệ tương ứng giữa trạng thái tín hiệu đầu vào và trạng thái hàm số đầu ra. Đó là bảng kê chức năng logic gọi tắt là bảng chức năng (hay là bảng trạng thái).

Tiếp theo ta thay các giá trị logic cho trạng thái, tức là dùng các chữ số 0 và 1 thay cho các trạng thái tương ứng của đầu vào và đầu ra. Kết quả ta có các giá trị thức logic gọi tắt là bảng chân lý.

Từ một bảng chức năng có thể được các bảng chân lý khác nhau, nếu thay giá trị logic khác nhau.

Ví dụ: Sơ đồ nguyên lý mạch điện hình 3.2.



**Hình 3.2: Mạch điện 2 chuyển mạch
mắc nối tiếp với bóng đèn**

Bảng 3-1: Bảng chức năng (trạng thái)

Chuyển mạch A	Chuyển mạch B	Bóng đèn Z
Ngắt	Ngắt	Tắt
Ngắt	Nối	Tắt
Nối	Ngắt	Tắt
Nối	Nối	Sáng

Từ bảng chức năng 3.1 nếu thay đổi giá trị logic theo 4 cách khác nhau sẽ được các biểu thức logic khác nhau.

Trường hợp a: 0 biểu thị ngắt và tắt
1 biểu thị nối và sáng

Có bảng chân lý 3.2:

Từ bảng chân lý 3.2 suy ra biểu thức logic: $Z = A \cdot B$

Trường hợp b: 0 biểu thị nối và sáng
1 biểu thị ngắt và tắt

Biểu thức logic: $Z = A + B$

Trường hợp c: 0 biểu thị ngắt và sáng
1 biểu thị nối và tắt

Biểu thức logic: $Z = \overline{A \cdot B}$

Trường hợp d: 0 biểu thị nối và sáng
1 biểu thị ngắt và tắt

Biểu thức logic: $Z = \overline{A + B}$

Bảng 3-2: Bảng chân lý

A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1

Khi liệt kê bảng chức năng hoặc bảng chân lý, có thể không liệt kê các tổ hợp trạng thái tín hiệu đầu vào không thể có hay bị cấm. Những tổ hợp này cũng có thể được liệt kê, nhưng

tại đầu ra, ở trạng thái tương ứng ta ghi dấu chéo “X”, thường sử dụng các trạng thái đánh dấu chéo để tối thiểu hóa hàm logic.

3. Tối thiểu hóa hàm logic

Thiết kế sơ đồ mạch logic trực tiếp từ hàm số có được từ bảng chân lý thường là rất phức tạp. Còn sau khi đã thực hiện tối thiểu hóa hàm logic, nói chung việc thiết kế thuận lợi hơn, không những chỉ dùng số linh kiện ít hơn, mà còn nâng cao độ tin cậy của mạch logic.

a) Khái niệm và tối thiểu hóa

- Các loại biểu thức logic và các công logic cơ bản:

Một số hàm logic có thể có rất nhiều biểu thức logic khác nhau. Nói chung có thể phân loại các hàm logic thành 5 loại dựa vào đặc điểm và quan hệ giữa các số hạng dạng tích trong hàm: OR - AND, AND - OR, NAND - NAND, NOR - NOR, NOR - AND.

Ví dụ:

$$Z = AB + \bar{A}C \text{ dạng OR-AND.}$$

$$Z = (A + C)(\bar{A} + B) \text{ dạng AND - OR.}$$

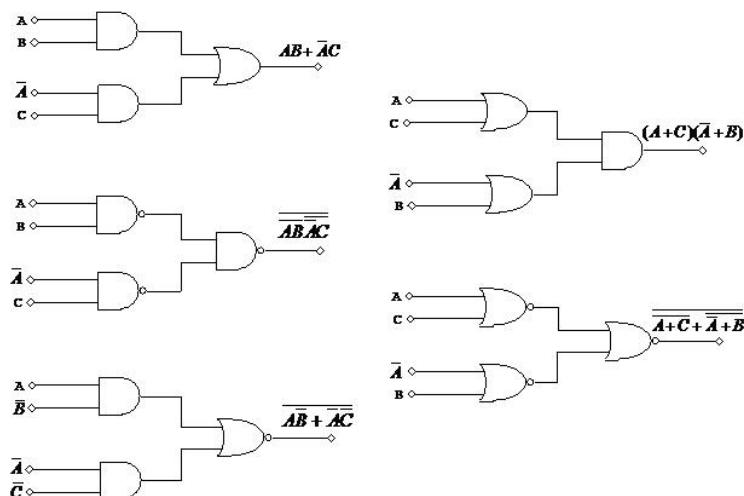
$$Z = \overline{\overline{AB} \cdot \overline{\bar{A}C}} \text{ dạng NAND-NAND.}$$

$$Z = \overline{\overline{A + C} + \overline{\bar{A} + B}} \text{ dạng NOR-NOR.}$$

$$Z = \overline{\overline{AB} + \overline{\bar{A}C}} \text{ dạng NOR-AND.}$$

Khi dùng các công logic thực hiện các hàm logic này, tiện nhất là: Hai loại đầu dùng công AND và công OR, loại thứ ba là dùng công NAND, loại thứ tư là dùng công NOR, loại thứ năm là dùng công NOR - AND.

Hình 3.3 giới thiệu mạch điện các hàm trên.



Hình 3.3

Trong thực tế, khi viết một hàm logic dưới dạng nào đó, thì dạng có được không phải là dạng duy nhất. Nói chung nếu biểu thức càng đơn giản thì mạch điện cũng đơn giản. Nhưng đối với các biểu thức dạng khác nhau, thì tiêu chuẩn đơn giản khác nhau. Ta làm rõ điều này vì biểu thức OR - AND.

- Biểu thức OR - AND tối thiểu:

Biểu thức OR - AND tối thiểu là biểu thức có số các số hạng dạng tích là ít nhất.

Khi điều kiện trên đã bao đảm, thì số biến của mỗi số hạng cũng phải là ít nhất.

Nếu có biểu thức OR - AND tối thiểu, dễ dàng có được các biểu thức dạng khác cũng là tối thiểu, vì hai lý do: Thứ nhất là một biểu thức logic bất kỳ đều có thể triển khai thành biểu thức dạng OR - AND, thứ hai là từ biểu thức OR - AND tối thiểu, cũng dễ dàng có được các biểu thức tối thiểu dạng NAND - NOR, NOR - AND, v.v.

b) Các phương pháp tối thiểu

Có hai phương pháp tối thiểu hoá. Nếu số biến số tương đối ít ($n \leq 6$) khi đó dùng phương pháp hình vẽ, phương pháp này dùng bảng Karnaugh. Nếu số biến tương đối nhiều dùng phương pháp đại số.

- Phương pháp tối thiểu hoá bằng công thức là dựa vào các công thức và định lý trong đại số logic để thực hiện tối thiểu hoá. Vì trong thực tế, biểu thức logic rất đa dạng, lại không có cách nào hoàn chỉnh như một qui trình, nên việc đạt đến một biểu thức logic tối thiểu một cách nhanh chóng nhất sẽ hoàn toàn phụ thuộc vào kinh nghiệm, hiểu biết và thành thạo của mỗi người.

Phương pháp tối thiểu hoá bằng hình vẽ là phương pháp dùng bảng Karnaugh.

Bảng Karnaugh có dạng hình chữ nhật. Hàm có n biến có 2^n ô, mỗi ô tương ứng với một số hạng nhỏ nhất. Giá trị sắp xếp các biến của hàng và cột theo mã Gray. Do đó các ô kề nhau, các ô đầu, cuối của hàng và cột, các ô đối xứng đều phải có một giá trị đối nhau của một biến và chỉ một mà thôi.

Hình 3.4a trình bày bảng Karnaugh của hàm 4 biến, hình 3.4b, các ô có điền các giá trị tương ứng của hệ đếm thập phân.

		BA	0 0	0 1	1 1	1 0
		DC	0 0	0 1	1 1	1 0
			0 0	0 1	1 1	1 0
		0 0				
		0 1				
		1 1				
		1 0				

a)

		BA	0 0	0 1	1 1	1 0
		DC	0 0	0 1	1 1	1 0
			0 0	0 1	1 1	1 0
		0 0	0	1	3	2
		0 1	4	5	7	6
		1 1	12	13	15	14
		1 0	8	9	11	10

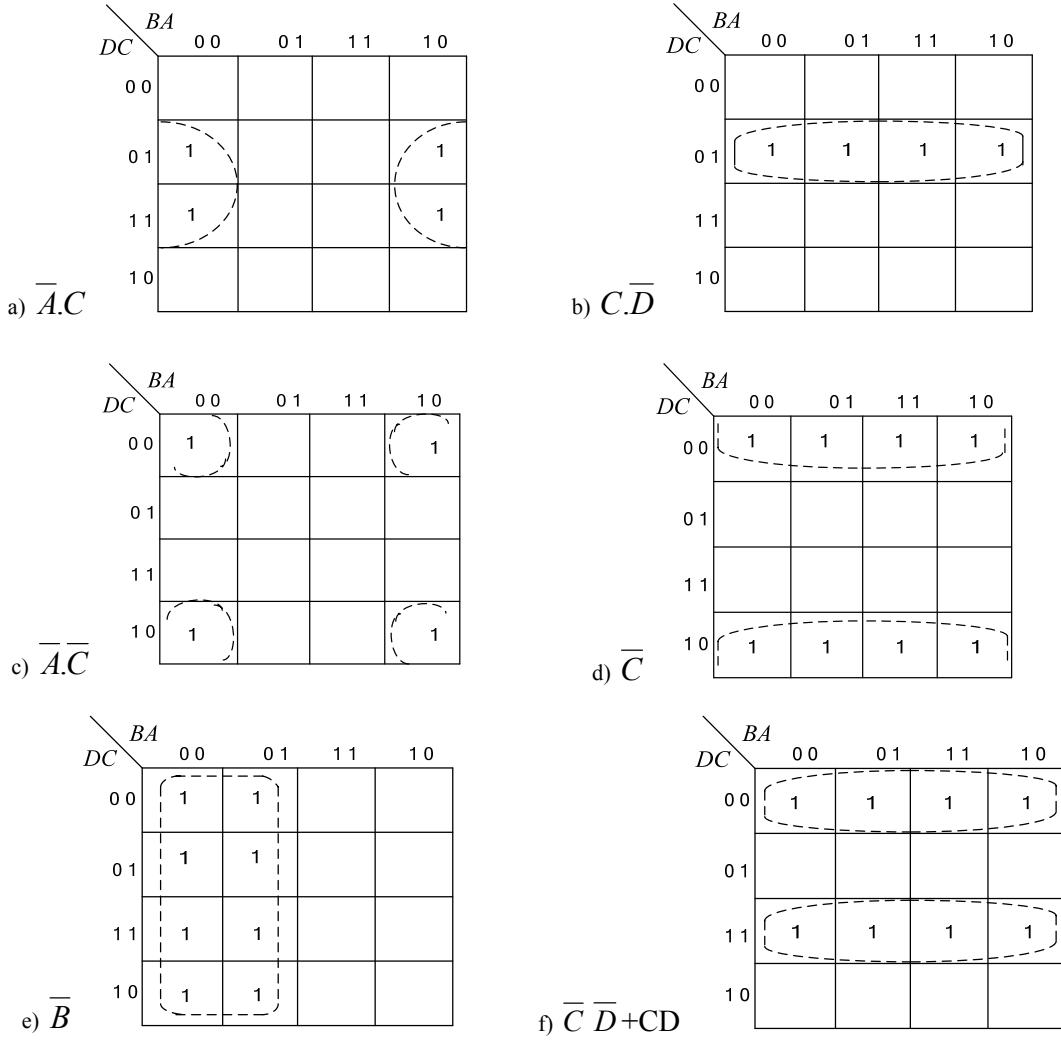
b)

Hình 3.4. Bảng Karnaugh 4 biến

Trên bảng Karnaugh của biến, điền giá trị 1 vào các ô hàm lấy giá trị 1 tương ứng tổ hợp giá trị các biến của ô đó, điền giá trị 0 vào ô hàm lấy giá trị 0 tương ứng tổ hợp giá trị các biến của ô.

Trên bảng Karnaugh của biến, tất cả các số hạng nhỏ nhất bằng 1 kề nhau đều có thể gộp với nhau. Nếu có 2^n ô gộp lại (thành một số hạng) thì khử bỏ được n biến.

Hình 3.5 trình bày một số cách gộp và giá trị của hàm.



Hình 3.5. Bảng Karnaugh có 2^n ô được gộp

Khi gộp các ô cần lưu ý.

- Vòng gộp phải càng lớn càng tốt, số ô trong vòng phải thỏa mãn 2^n ô và loại bỏ được n biến.

- Mỗi vòng gộp bao gồm ít nhất 1 ô không có trong vòng khác. Vòng nào bao gồm các ô đều đã có trong vòng khác thì vòng đó thừa. Một khía cạnh mỗi ô có thể sử dụng nhiều lần (có mặt trong nhiều vòng khác nhau).

- Khi gộp các ô, nghĩa là khoanh vòng cần lưu ý: 4 ô ở 4 góc bảng Karnaugh có thể gộp với nhau. Khi khoanh vòng, các vòng lớn khoanh trước, các vòng bé khoanh sau.

4. Vẽ sơ đồ logic

Kết quả tối thiểu hóa là biểu thức logic OR – AND. Căn cứ vào việc chọn lựa loại công logic cụ thể, cần biến đổi biểu thức logic đó thành dạng phù hợp. Ví dụ, nếu chọn dùng công NAND phải có biểu thức dạng NAND hoặc dùng công NOR, NORAND phải có biểu thức tương ứng.

3.2. Các mạch mã hoá và giải mã logic

3.2.1. Các mạch mã hoá

Nói một cách tổng quát, mã hoá là dùng văn tự, ký hiệu hay mã để biểu thị một đối tượng xác định. Các hệ thống điện tử số (như máy tính) chỉ tiếp nhận thông tin dưới dạng nhị phân, mã nhị phân có hai chữ số 0 và 1, vì vậy các số liệu, các lệnh cho máy tính thực hiện đều phải được biểu diễn dưới dạng nhị phân. Sau khi đã được máy tính xử lý cần thiết phải giải mã để đưa thông tin cho con người (hệ thập phân). Mã nhị phân n bit có 2^n trạng thái, có thể biểu thị 2^n tín hiệu. Vậy để tiến hành mã hoá N tín hiệu, cần sử dụng n bit sao cho $2^n \geq N$.

Bộ mã hoá là mạch điện thao tác mã hoá, có nhiều bộ mã hoá khác nhau, bộ mã hoá nhị phân, bộ mã hoá nhị - thập phân, bộ mã hoá ưu tiên v.v.

1. Bộ mã hoá nhị - thập phân

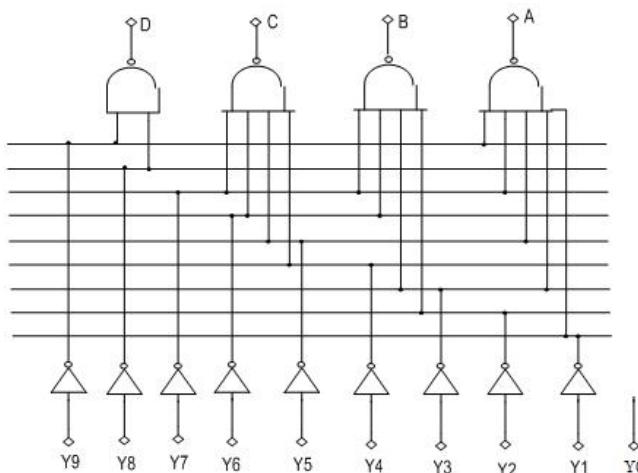
Bộ mã hoá nhị - thập phân là mạch điện chuyển mã hệ thập phân bao gồm 10 chữ số, đầu ra là nhóm mã số nhị phân gọi là mã nhị phân BCD (Binary Coded Decimal). Căn cứ vào công thức $2^n \geq N = 10$ nên chọn $n = 4$. Mã nhị phân 4 bit có 16 tổ hợp (từ mã). Chỉ cần chọn 10 từ mã tuỳ ý trong số đó là đủ biểu thị 10 tín hiệu đầu vào. Vậy có rất nhiều phương án.

Dưới đây là bảng mã hoá BCD – 8421 rất thường dùng:

Bảng 3.3. Bảng mã hoá BCD – 8421

Số thập phân	D	C	B	A
0 (Y_0)	0	0	0	0
1 (Y_1)	0	0	0	1
2 (Y_2)	0	0	1	0
3 (Y_3)	0	0	1	1
4 (Y_4)	0	1	0	0
5 (Y_5)	0	1	0	1
6 (Y_6)	0	1	1	0
7 (Y_7)	0	1	1	1
8 (Y_8)	1	0	0	0
9 (Y_9)	1	0	0	1

Sơ đồ logic của bộ mã hoá BCD – 8421 được trình bày trên hình 3.6.



Hình 3.6. Sơ đồ logic của bộ mã hoá nhị - thập phân

$$D = Y_8 + Y_9 = \overline{\overline{Y}_8} \cdot \overline{\overline{Y}_9}$$

$$C = Y_4 + Y_5 + Y_6 + Y_7 = \overline{\overline{Y}_4} \cdot \overline{\overline{Y}_5} \cdot \overline{\overline{Y}_6} \cdot \overline{\overline{Y}_7}$$

$$B = Y_2 + Y_3 + Y_6 + Y_7 = \overline{\overline{Y}_2} \cdot \overline{\overline{Y}_3} \cdot \overline{\overline{Y}_6} \cdot \overline{\overline{Y}_7}$$

$$A = Y_1 + Y_3 + Y_5 + Y_7 + Y_8 = \overline{\overline{Y}_1} \cdot \overline{\overline{Y}_3} \cdot \overline{\overline{Y}_5} \cdot \overline{\overline{Y}_7} \cdot \overline{\overline{Y}_8}$$

2. Bộ mã hoá ưu tiên

Trong các bộ mã hoá khác, tín hiệu đầu vào tồn tại độc lập (không có tình huống có 2 tín hiệu trở lên đồng thời tác động). Bộ mã hoá ưu tiên thì khác, có thể có nhiều tín hiệu đồng thời đưa đến, nhưng mạch điện chỉ tiến hành mã hoá tín hiệu điện đầu vào nào có mức ưu tiên cao nhất ở thời điểm đó.

Chúng ta xem xét nguyên lý hoạt động và quá trình thiết kế bộ mã hoá ưu tiên qua ví dụ sau:

Hãy thiết kế một mạch logic để mã hoá nhị phân đối với 10 tín hiệu vào Y_0, Y_1, \dots, Y_9 sao cho mức độ ưu tiên cao nhất giảm dần từ Y_9 đến Y_0 . Nếu có nhiều tín hiệu đồng thời xuất hiện ở đầu vào thì tín hiệu nào có mức ưu tiên cao nhất trong số đó mới được mã hoá, giả thiết cả tín hiệu đầu vào và tín hiệu đầu ra đều tích cực ở mức thấp.

Theo yêu cầu trên, căn cứ công thức $2^n \geq N = 10$, vậy ta dùng mã nhị phân $n = 4$ bit.

Bảng 3.4 bảng chân lý bộ mã hoá ưu tiên.

Y_9	Y_8	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0	D	C	B	A
1	1	1	1	1	1	1	1	1	0	1	1	1	1
1	1	1	1	1	1	1	1	0	X	1	1	1	0
1	1	1	1	1	1	1	0	X	X	1	1	0	1
1	1	1	1	1	1	0	X	X	X	1	1	0	0
1	1	1	1	1	0	X	X	X	X	1	0	1	1
1	1	1	1	0	X	X	X	X	X	1	0	1	0
1	1	1	0	X	X	X	X	X	X	1	0	0	1
1	1	0	X	X	X	X	X	X	X	1	0	0	0
1	0	X	X	X	X	X	X	X	X	0	1	1	1
0	X	X	X	X	X	X	X	X	X	0	1	1	0

Theo bảng trên, khi có nhiều tín hiệu cùng tác động, thì tín hiệu có mức ưu tiên cao nhất được mã hoá, các tín hiệu khác tương ứng X (dù là 1 hay 0) cũng không có tác dụng. Kết quả ta được các hàm logic đầu ra dưới dạng NORAND như sau:

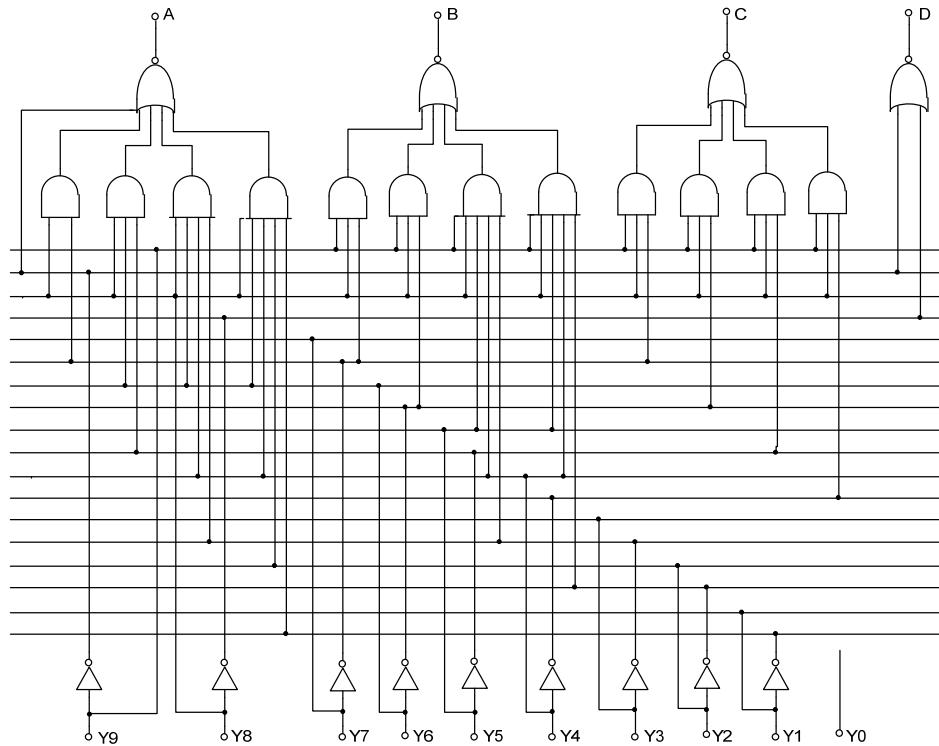
$$\overline{D} = \overline{Y}_9 + Y_9 \overline{Y}_8 = \overline{Y}_9 + \overline{Y}_8$$

$$D = \overline{\overline{Y}_9} + \overline{Y}_8$$

$$C = \overline{Y_9 Y_8 \overline{Y}_7 + Y_9 Y_8 \overline{Y}_6 + Y_9 Y_8 \overline{Y}_5 + Y_9 Y_8 \overline{Y}_4}$$

$$B = \overline{Y_9 Y_8 \overline{Y}_7 + Y_9 Y_8 \overline{Y}_6 + Y_9 Y_8 Y_5 Y_4 \overline{Y}_3 + Y_9 Y_8 Y_5 Y_4 \overline{Y}_2}$$

Sơ đồ logic hình 3.7 thoả mãn yêu cầu trên.



Hình 3.7. Bộ mã hóa ưu tiên

3.2.2. Các bộ giải mã

Giải mã là một quá trình phiên dịch hàm đã được gán bằng một từ mã. Mạch điện thực hiện giải mã gọi là bộ giải mã. Bộ giải mã biến đổi từ mã thành tín hiệu ở đầu ra. Có nhiều bộ giải mã, nhưng chúng đều có nguyên tắc hoạt động và phương pháp thiết kế tương tự nhau. Sau đây chỉ xét bộ giải mã thông dụng, bộ giải mã BCD sang mã 7 đoạn.

Mã nhị phân BCD được chuyển sang thập phân và hiển thị các số thập phân bằng 7 đoạn sáng. 7 đoạn sáng có thể là LED hoặc tinh thể lỏng, ứng với mỗi tổ hợp xác định các thanh sáng sẽ hiện thị một chữ số ở hệ đếm thập phân.

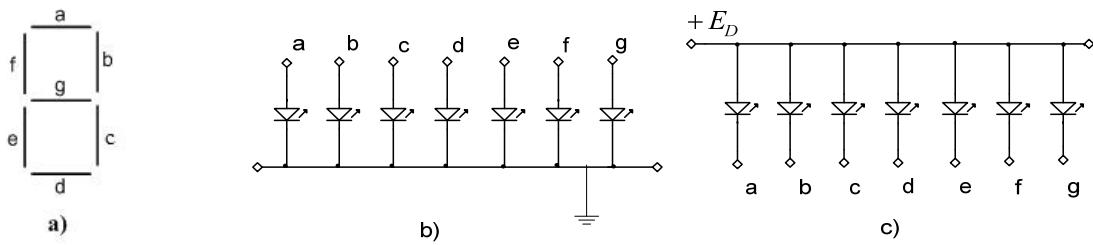
Đối với LED, mỗi đoạn là một diode phát quang, khi có dòng điện đi qua đủ lớn (từ 5mA đến 30mA) thì đoạn tương ứng sẽ sáng.

Ngoài 7 đoạn sáng chính, mỗi LED có thêm một diốt để biểu thị dấu phân số khi cần thiết. LED có 2 loại chính: LED anôt chung và LED catôt chung.

Hình 3.3 mô tả cấu trúc của đèn hiển thị số 7 đoạn sáng dùng diode phát quang, cách ký hiệu các đoạn bằng các chữ cái a, b, c, d, e, f, g. Một đoạn là 7 diode phát quang.

Đối với LED catôt chung, catôt được nối với nhau và nối đất. Còn LED anôt chung thì anôt được nối với nhau và nối với + 5V.

Các bộ giải mã có các lối ra tác động thấp, sử dụng LED anôt chung, lối ra của bộ giải mã được nối với các catôt qua các điện trở hạn chế dòng.



Hình 3.8. a) Cấu trúc của chỉ thị số 7 đoạn, b) LED catốt chung, c) LED anốt chung

Dụng cụ hiển thị bằng tinh thể lỏng, gọi tắt là LCD (Liquid Crystal Display). LCD chỉ hoạt động khi có ánh sáng phân cực chiếu vào. Để đạt được mục đích này, phía trước các đoạn cần có một kính phân cực ánh sáng. Các đoạn không hoạt động sẽ phản xạ đối với luồng ánh sáng phân cực này và do đó ta không nhìn thấy chúng. Ngược lại các đoạn hoạt động không phản xạ nên bị đèn lại. Ưu điểm nổi bật của LCD là công suất tiêu thụ rất nhỏ. Tuy nhiên trong bóng tối chúng không hoạt động được.

Trong các hệ thống điện tử số, để tăng hiệu quả, đã dùng nhiều loại mã khác nhau, tương ứng cũng có nhiều bộ chuyển đổi mã và giải mã. Nguyên tắc thiết kế các mạch giải mã và chuyển đổi mã tương tự nhau. Do đó ở đây chỉ khảo sát thiết kế bộ giải mã BCD sang 7 đoạn, trong thực tế sử dụng rất nhiều.

1. Thiết kế bộ giải mã BCD sang 7 đoạn

Các đầu vào D,C,B, A là mã BCD 8421. Trong đó 6 trạng thái từ 1010 ÷ 1111 không được sử dụng, đánh dấu chéo “X” để xử lý tối thiểu hoá. Tín hiệu đầu ra a, b, ..., g là để kích sáng LED tương ứng của hiển thị 7 thanh. Ở đây xét mạch giải mã có các đầu ra tích cực ở mức thấp, dùng LED anốt chung.

Bảng 3.5: Bảng chức năng bộ giải mã

D	C	B	A	a	b	c	d	e	f	g	Số được hiển thị
L	L	L	L	L	L	L	L	L	L	H	0
L	L	L	H	H	L	L	H	H	H	H	1
L	L	H	L	L	L	H	L	L	H	L	2
L	L	H	H	L	L	L	L	H	H	L	3
L	H	L	L	H	L	L	H	H	L	L	4
L	H	L	H	L	H	L	L	H	L	L	5
L	H	H	L	L	H	L	L	L	L	L	6
L	H	H	H	L	L	L	H	H	H	H	7
H	L	L	L	L	L	L	L	L	L	L	8
H	L	L	H	L	L	L	L	H	L	L	9

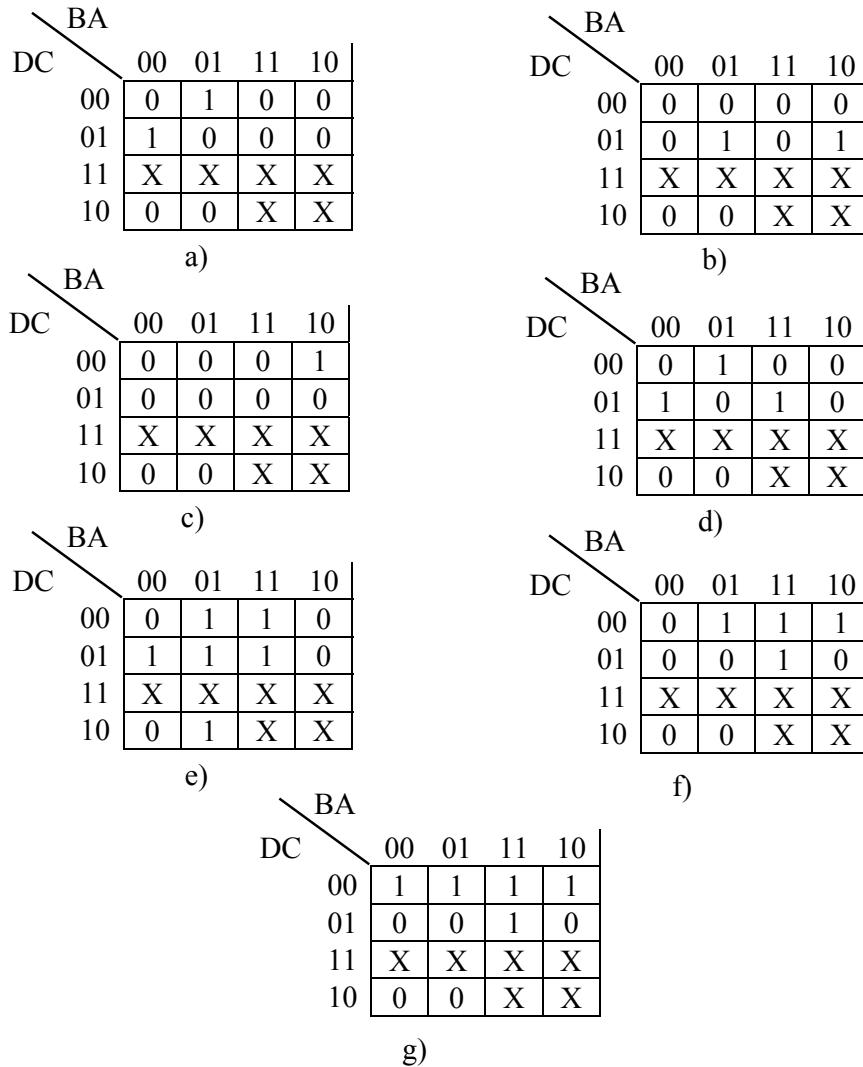
Bảng 3.6: Bảng chân lý bộ giải mã

D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0

D	C	B	A	a	b	c	d	e	f	g
0	1	1	0	0	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1	0	0

Tối thiểu hoá dùng phương pháp hình vẽ. Chúng ta chọn dùng cỗng NORAND trong sơ đồ. Do đó, đầu tiên ta tối thiểu hoá bằng hàm đảo, bằng dạng OR-AND đối với các giá trị 0 của hàm đầu ra, sau đó lấy đảo thì được dạng NORAND đối với các giá trị 1 của hàm đầu ra.

Hình 3.9 trình bày các bảng Karnaugh.



Hình 3.9: Bảng Karnaugh và hàm logic đầu ra của các LED hiển thị a, b, c, d, e, f, g

Các ô “X” có thể tự ý chọn, trong khi tối thiểu hoá. Tối thiểu hoá dạng chuẩn tắc tuy nhiên, đối với các ô trong bảng Karnaugh có giá trị 0 để xác định hàm đảo:

$$(a) \quad \bar{a} = D + B + CA + \bar{C} \cdot \bar{A} \text{ (dạng OR-AND)}$$

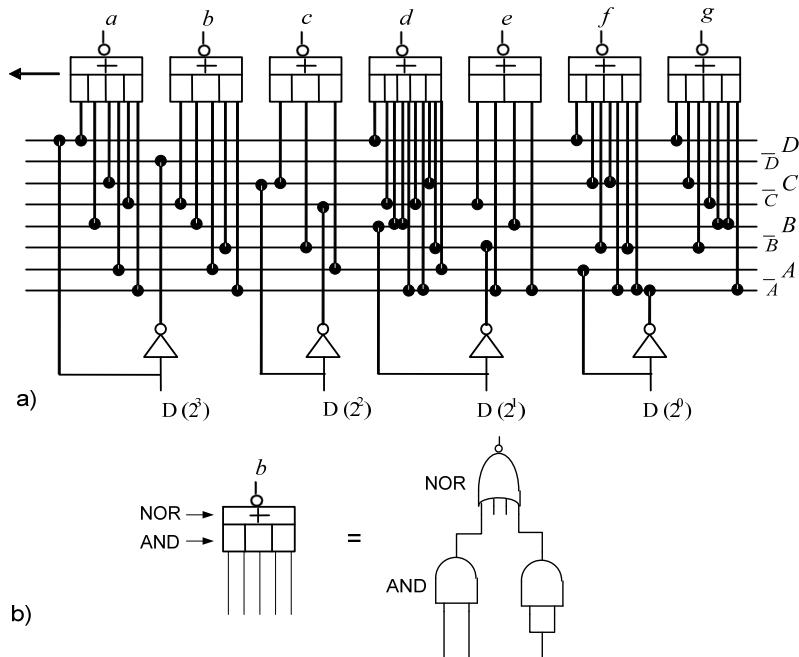
$$\text{Lấy đảo } a = \overline{D + B + CA + \bar{C} \cdot \bar{A}} \text{ (dạng NOR-AND)}$$

- (b) $\bar{b} = \bar{C} + BA + \bar{B}.\bar{A}$
 $b = \overline{\bar{C} + BA + \bar{B}.\bar{A}}$
- (c) $\bar{c} = C + \bar{B} + A$
 $c = \overline{C + \bar{B} + A}$
- (d) $\bar{d} = D + \bar{C}B + B\bar{A} + \bar{C}.\bar{A} + C\bar{B}A$
 $d = \overline{D + \bar{C}B + B\bar{A} + \bar{C}.\bar{A} + C\bar{B}A}$
- (e) $\bar{e} = \bar{C}.\bar{A} + B\bar{A}$
 $e = \overline{\bar{C}.\bar{A} + B\bar{A}}$
- (f) $\bar{f} = D + \bar{C}.\bar{B} + C.\bar{A} + \bar{B}.\bar{A}$
 $f = \overline{D + \bar{C}.\bar{B} + C.\bar{A} + \bar{B}.\bar{A}}$
- (g) $\bar{g} = D + C.\bar{B} + \bar{C}.B + B.\bar{A}$
 $g = \overline{D + C.\bar{B} + \bar{C}.B + B.\bar{A}}$

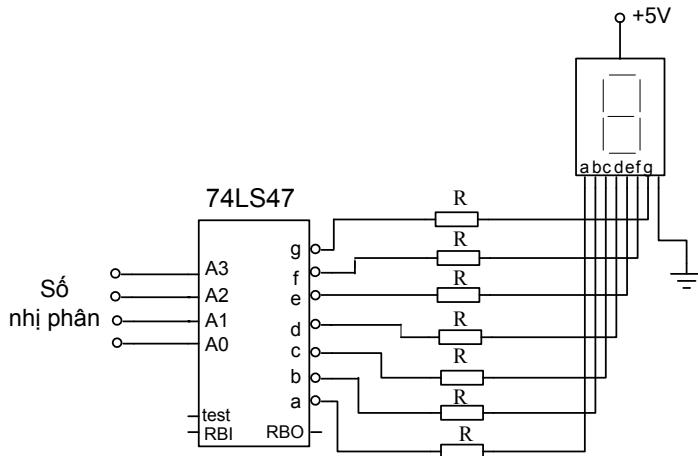
Xuất phát từ các hàm logic tối thiểu hoá sơ đồ logic được trình bày trên hình 3.10.

2. Bộ giải mã BCD sang 7 đoạn (loại 7447).

Vì mạch 7447 là mạch giải mã nhị phân sang 7 đoạn có đầu ra tác động thấp nên đèn chỉ thị 7 đoạn là LED có anốt chung. Sơ đồ nối mạch giữa 7447 và chỉ thị 7 đoạn được trình bày trên hình 3.11. Ở đây các điện trở R làm nhiệm vụ bảo vệ cho các LED, $R = 300 \Omega$.



Hình 3.10: a) Bô giải mã BCD sang 7 đoạn; b) Một dạng ký hiệu của cung NORAND



Hình 3.11. Sơ đồ nối 7447 và LED anốt chung

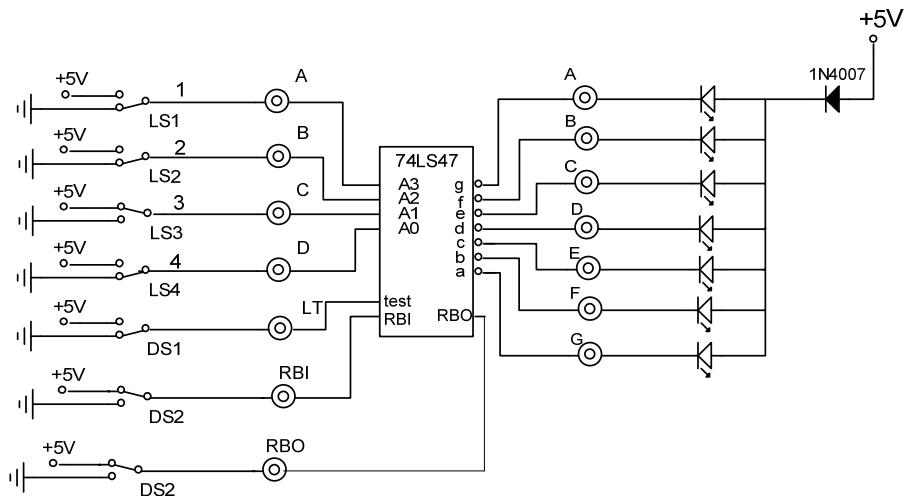
- Xoá các số 0 không có nghĩa và xoá các số không cần thiết của LED hiển thị hiển thị.

Việc hiển thị có thể cần nhiều chữ số, dẫn đến trường hợp phần lớn số chữ số không có tín hiệu trên đầu vào, lúc này chúng hiển thị giá trị 0. Điều này gây khó khăn cho người đọc và tiêu tốn năng lượng của nguồn nuôi. Hoặc đôi khi không cần hiển thị các số không cần thiết. Để thực hiện các mục đích trên, trong thiết kế người ta đưa vào các chân điều khiển LED ở trạng thái tắt.

Ví dụ đối với 7447 người ta thiết kế có 2 chân RBO (Ripple Blanking Output – Đầu ra xoá nối tiếp) và RBI (Ripple Blanking Input – Đầu vào xoá nối tiếp) hình 3.12.

Khi $RBO = 0$ thì LED tắt

Khi $DCBA = 0000$ tương ứng hiển thị số 0. Nếu $RBI = 0$ thì LED tắt, còn các lối vào ở giá trị khác, lối ra hiển thị các chữ số khác 0 vẫn sáng bình thường.



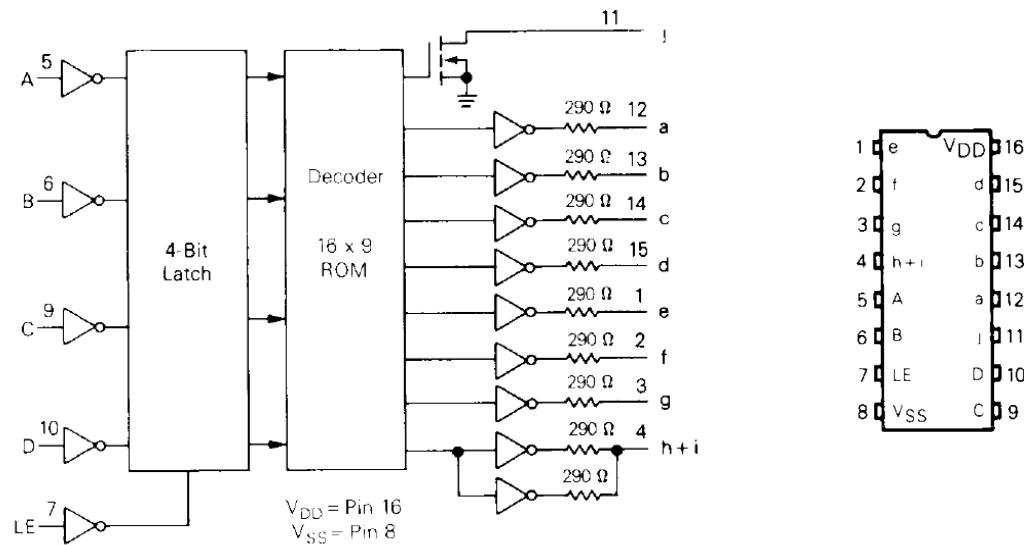
Hình 3.12. Bộ giải mã BCD sang 7 đoạn.

4. Bộ giải mã nhị phân sang 7 đoạn (loại MC 14495)

Vì mạch MC 14495 là bộ giải mã nhị phân sang 7 đoạn. Bộ giải mã này có các đầu ra tác động cao nên dùng đèn chỉ thị 7 đoạn có catôt chung. Để bảo vệ cho các LED, người ta đã

chế tạo các điện trở cùng loại $290\ \Omega$ nối với các đầu ra trong vi mạch. Vì vậy khi dùng nguồn nuôi 5V không cần lắp thêm các điện trở R như khi dùng vi mạch 7447.

Sơ đồ được trình bày trên hình 3.13.



Hình 3.13. Bộ giải mã nhị phân sang 7 đoạn (loại MC 14495)

Bảng 3.7. bảng chân lý MC14495 và các hiển thị của LED.

Lối vào				Lối ra									Hiển thị
D	C	B	A	a	b	c	d	e	f	g	h + i		
0	0	0	0	1	1	1	1	1	1	0	0	0	0
0	0	0	1	0	1	1	0	0	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	0	0	2
0	0	1	1	1	1	1	1	0	0	1	0	0	3
0	1	0	0	0	1	1	0	0	0	1	1	0	4
0	1	0	1	1	0	1	1	0	1	1	1	0	5
0	1	1	0	1	0	1	1	1	1	1	1	0	6
0	1	1	1	1	1	1	0	0	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	1	0	8
1	0	0	1	1	1	1	1	0	1	1	0	0	9
1	0	1	0	1	1	1	0	1	1	1	1	1	A
1	0	1	1	0	0	1	1	1	1	1	1	1	B
1	1	0	0	1	0	0	1	1	1	1	0	1	C
1	1	0	1	0	1	1	1	1	0	1	1	1	D
1	1	1	0	1	0	0	1	1	1	1	1	1	E
1	1	1	1	1	0	0	0	1	1	1	1	1	F

PHẦN 2: THỰC NGHIỆM

1. Bộ giải mã – Decoder

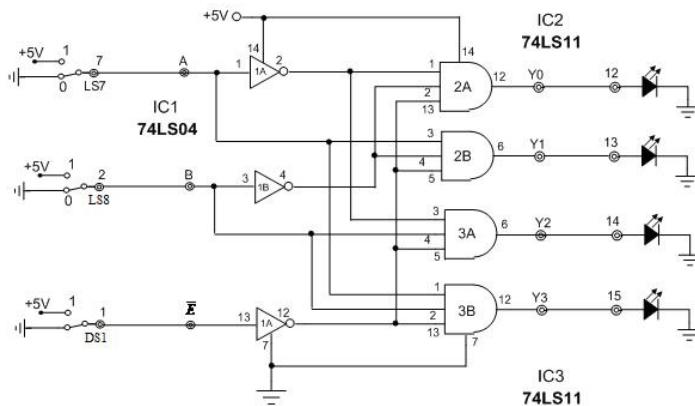
Nhiệm vụ:

Tìm hiểu nguyên tắc biến đổi mã cơ số 2 thành các đường điều khiển riêng biệt.

Các bước thực hiện:

1.1. Cấp nguồn +5V cho mảng sơ đồ D3-1.

1.2. Bộ giải mã 2 bit thành 4 đường, dùng công đồng logic: Hình D3.1a



Hình D3-1a: Bộ giải mã – Decoder dùng vi mạch công

Chú ý: Bộ giải mã có các đường điều khiển lối ra tác động ở mức cao (1)

1.2.1. Nối mạch của sơ đồ D3-1a (IC1-IC3) với các mạch của DTLAB-201N như sau:

- + Lối vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201N.
 - Nối lối vào A (bit thấp nhất) với công tắc logic LS7.
 - Nối lối vào B (bit cao) với công tắc logic LS8.
 - Nối lối vào \bar{E} (cho phép) với chốt TTL/ công tắc logic DS1.
- + Lối ra (Output): Nối với LED của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.

- Nối lối ra Y0 với LED12.
- Nối lối ra Y1 với LED13.
- Nối lối ra Y2 với LED14.
- Nối lối ra Y3 với LED15.

1.2.2. Đặt các công tắc logic LS7, LS8, và DS1 tương ứng với các trạng thái ghi trong bảng D3-1.

Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt - là mức thấp (0). Ghi kết quả vào bảng D3-1.

1.2.3. Thiết kế bộ giải mã cho 2 bit \rightarrow 4 đường ra với lối ra tác động ở mức thấp. Lập bảng chân lý cho sơ đồ.

Bảng D3-1

LỐI VÀO (INPUT)			LỐI RA (OUT)			
DS1 \bar{E}	LS8 B	LS7 A	Y3	Y2	Y1	Y0
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	x	x				

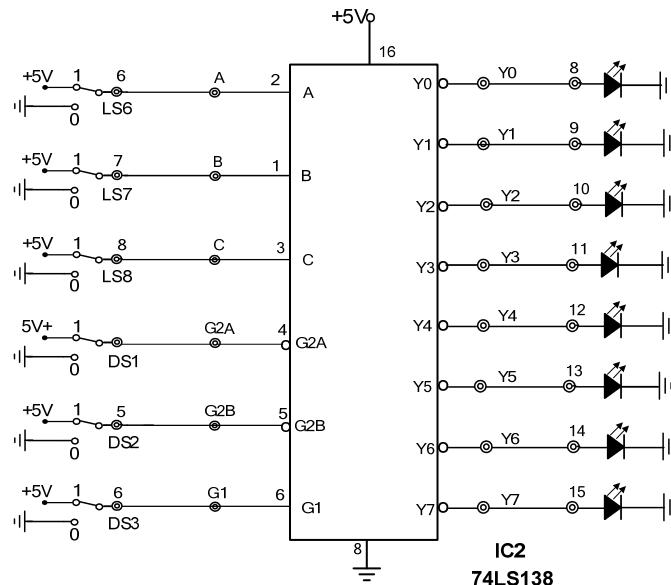
* x: giá trị bất kỳ

Kết luận tóm tắt về bộ giải mã đã khảo sát.

1.3. Bộ giải mã 3 bít thành 8 đường điều khiển loại vi mạch: Hình D3-1b.

1.3.1. Nối mạch của sơ đồ D3-1b (IC4) với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201N
 - Nối lối vào A (bit thấp nhất) với công tắc logic LS6.
 - Nối lối vào B với công tắc logic LS7.
 - Nối lối vào C (bit cao nhất) với công tắc logic LS8.
 - Nối lối vào G1 (cho phép) với chốt TTL/ công tắc logic DS3.
 - Nối lối vào G2A (cho phép) với chốt TTL/ công tắc logic DS1.
 - Nối lối vào G2B (cho phép) với chốt TTL/ công tắc logic DS2.



Hình D3-1b: Bộ giải mã – Decoder dùng vi mạch chuyên dụng

Chú ý: Bộ giải mã cho ra đường điều khiển tác động ở mức thấp (0)

- Lối ra (Output): Nối với LED của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.
 - Nối lối ra Y0 với LED8.

- Nối lối ra Y1 với LED9.
- Nối lối ra Y2 với LED10.
- Nối lối ra Y3 với LED11.
- Nối lối ra Y4 với LED12.
- Nối lối ra Y5 với LED13.
- Nối lối ra Y6 với LED14.
- Nối lối ra Y7 với LED15.

1.3.2. Đặt các công tắc logic LS6÷LS8, và DS1÷DS3 tương ứng với các trạng thái ghi trong bảng D3-2.

Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt - là mức thấp (0). Ghi kết quả vào bảng D3-2.

Bảng D3-2

ĐIỀU KHIỂN			DỮ LIỆU			LỐI RA								
DS3	DS1	DS2	LS8	LS7	LS6	LED 15	LED 14	LED 13	LED 12	LED 11	LED 10	LED 9	LED 8	
G1	G2A	G2B	C	B	A	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0	
1	0	0	0	0	0									
1	0	0	0	0	1									
1	0	0	0	1	0									
1	0	0	0	1	1									
1	0	0	1	0	0									
1	0	0	1	0	1									
1	0	0	1	1	0									
1	0	0	1	1	1									
0	x	x	x	x	x									
x	1	x	x	x	x									
x	x	1	x	x	x									

* x: giá trị bất kỳ

Kết luận tóm tắt về bộ giải mã đã khảo sát.

1.4. Bộ giải mã 4 bit thành 7 đường điều khiển loại vi mạch: Hình D3-1c.

1.4.1. Nối mạch của sơ đồ D3-1c (IC5) với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201

- Nối lối vào A (bit thấp nhất) với công tắc logic LS1.

- Nối lối vào B với công tắc logic LS2.

- Nối lối vào C với công tắc logic LS3.

- Nối lối vào D (bit cao nhất) với công tắc logic LS4.

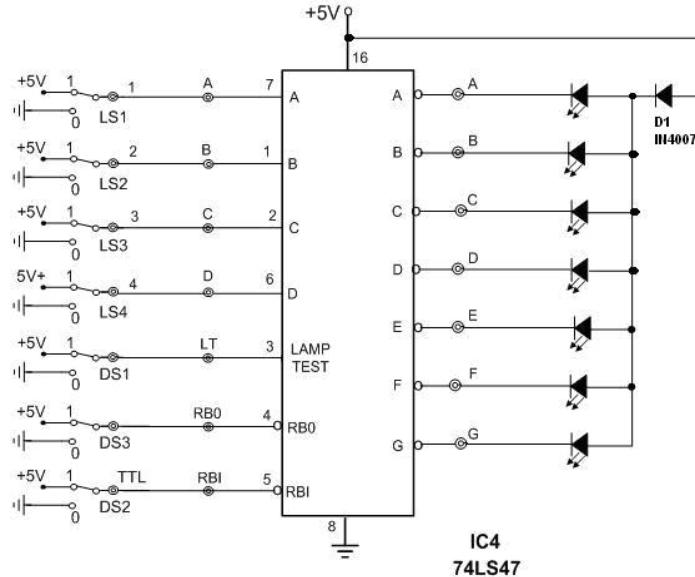
- Nối lối vào LTEST (kiểm tra đèn) với chốt TTL/ công tắc DS1.

- Nối lối vào RBI (lối vào điều khiển ngắn) với chốt TTL/ công tắc DS2.

- Nối lối vào RBO (lối ra điều khiển ngắn) với chốt TTL/ công tắc DS3.

- Lối ra (Output):

- Các lõi ra A-G của IC5 đã nối với các LED/a – LED/g tương ứng, bố trí theo dạng các đoạn (Segment) của số thập phân. Các LED được cấp nguồn theo các anode được nối qua diode D1/1N4007 lên nguồn +5V.



Hình D3.1c: Bộ giải mã BCD – 7 đoạn

Chú ý: Bộ giải mã cho ra đường điều khiển tác động ở mức thấp (0)

1.4.2. Đặt các công tắc logic LS1÷4 và DS1÷2 tương ứng với các trạng thái ghi trong bảng D3-3. Theo dõi trạng thái đèn LED/a – LED/g. Đèn LED sáng, chứng tỏ mức ra là thấp (0), đèn LED tắt - là mức cao (1). Ghi kết quả vào bảng D3-3.

Bảng D3-3

Đ. KHIỂN Control		LÕI VÀO Input				Ngắt lõi ra	LÕI RA Output							Số thập phân	
DS1	DS2	LS4	LS3	LS2	LS1		RBO	7 g	6 f	5 e	4 d	3 c	2 b	1 a	
LTEST	RBI	D	C	B	A										
1	1	0	0	0	0	1									
1	1	0	0	0	1	1									
1	1	0	0	1	0	1									
1	1	0	0	1	1	1									
1	1	0	1	0	0	0									
1	1	0	1	0	1	1									
1	1	0	1	1	0	0									
1	1	0	1	1	1	1									
1	1	1	0	0	0	1									
1	1	1	0	0	1	1									
1	0	1	0	0	1	1									
1	1	x	x	x	x	0									
1	1	0	0	0	0	0									
1	1	x	x	x	x	0									
0	1	x	x	x	x	1									

* x: giá trị bất kỳ

Kết luận tóm tắt về bộ giải mã đã khảo sát khi so sánh giá trị thập phân của mã vào với chỉ số chỉ thị hình thành trên bộ LED.

2. Bộ đếm 2 số hạng với chỉ thị LED 7 đoạn

Nhiệm vụ:

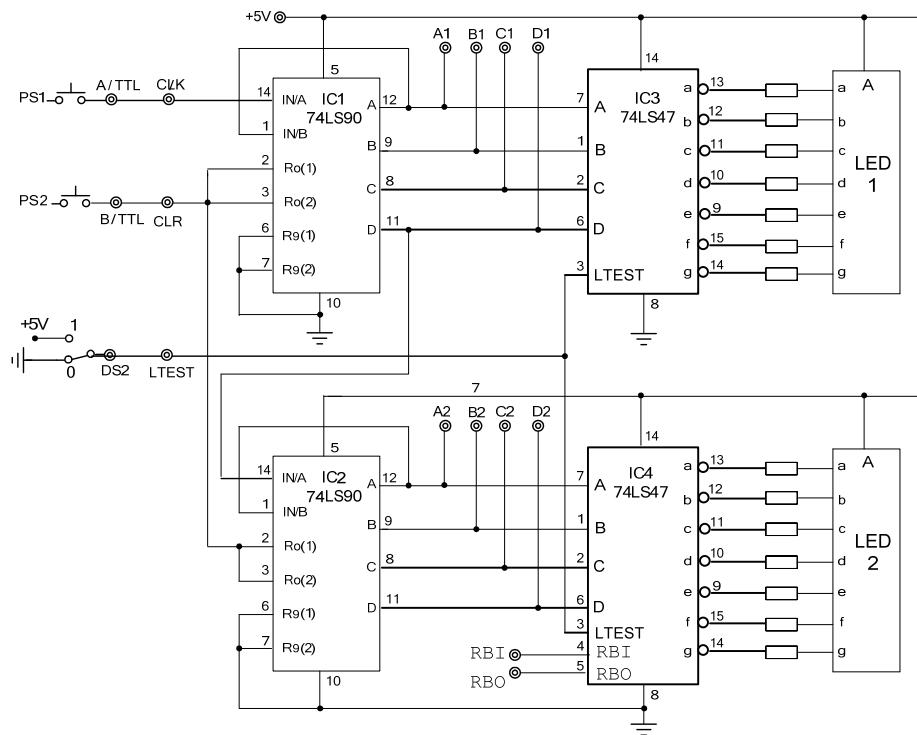
Tìm hiểu một ứng dụng của bộ giải mã để chỉ thị kết quả đếm thập phân.

Các bước thực hiện:

2.1. Cấp nguồn +5V cho mảng sơ đồ D3-2

2.2. Nối mạch của sơ đồ D3-2 với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201N.
 - Nối lối vào đếm CLK với công tắc xung PS1/ lối ra A/ TTL.
 - Nối lối vào xóa CLR với công tắc xung PS2/ lối ra B/ TTL.
 - Nối lối vào LAMP TEST với chốt TTL/ công tắc DS2.



Hình D3-2: Bộ đếm 2 số hạng với chỉ thị LED 7 đoạn

- Lối ra (Output): Nối với LED của bộ chỉ thị LOGIC INDICATORS của DTLAB-201N.

- Nối lối ra A1 với LED0.
- Nối lối ra B1 với LED1.
- Nối lối ra C1 với LED2.
- Nối lối ra D1 với LED3.

- Nối lõi ra A2 với LED4.
- Nối lõi ra B2 với LED5.
- Nối lõi ra C2 với LED6.
- Nối lõi ra D2 với LED7.

2.3. Công tắc DS2/ LTEST đặt ở 1.

Nhấn công tắc xung PS2/ CLR. Ghi trạng thái LED đơn và LED 7 đoạn vào bảng D3-4.

2.4. Nhấn công tắc xung PS1/ CLK để tác dụng tín hiệu bằng tay vào sơ đồ. Mỗi lần nhấn xong cần thực hiện các động tác sau:

- Quan sát trạng thái LED đơn của DTLAB-201N (sáng = 1, tắt = 0) và số chỉ thị trên LED 7 đoạn. Ghi kết quả vào bảng D3-4

Bảng D3-4

LỐI VÀO		LỐI RA – MÃ BCD									DỊCH MÃ $2 \rightarrow 10$	CHỈ SỐ LED 7 ĐOẠN	
CLR	CLK	D2	C2	B2	A2	D1	C1	B1	A1		×10	×1	
1	x												
0	↑												
0	↑												
0	↑												
0	↑												
0	↑												
0	↑												
0	↑												
0	↑												
0	↑												
0	↑												
0	↑												
0	↑												

2.5. Dựa vào bảng kết quả, dịch bảng mã cơ số 2 sang cơ số 10 cho đèn LED (ứng với trạng thái bộ đếm IC1-2). So sánh mã được dịch với số chỉ thị trên LED 7 đoạn.

2.6. Ngắt lõi vào bộ đếm CLK khỏi công tắc xung PS1/ TTL và nối với lõi ra 1Hz/ TTL của máy phát xung chuẩn DTLAB-201N.

Nhấn PS2/ CLR. Quan sát sự làm việc của sơ đồ.

2.7. Đặt các công tắc DS2/ LTEST lần lượt ở 0 và 1, quan sát hiệu ứng xảy ra.

3. Bộ mã hóa – Encoder

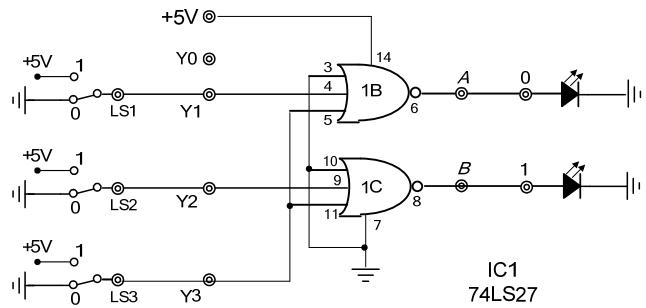
Nhiệm vụ

Tìm hiểu nguyên tắc biến đổi mã từ số lớn các đường thành mã có số đường nhỏ hơn.

Các bước thực hiện

3.1. Cấp nguồn +5V cho mảng sơ đồ D3-3.

3.2. Bộ mã hóa 4 đường thành 2 bit, dùng cổng logic: Hình D3-3a



Hình D3-3a: Bộ mã hóa (Encoder) dùng cỗng logic

Chú ý: Bộ giải mã cho ra đường điều khiển tác động ở mức cao (1)

3.2.1. Nối mạch của sơ đồ D3-3a (IC1) với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201N
 - Nối lối vào Y1 với công tắc logic LS1.
 - Nối lối vào Y2 với công tắc logic LS2.
 - Nối lối vào Y3 với công tắc logic LS3.
- Lối ra (Output): Nối với LED của bộ chỉ thị LOGIC INDICATORS của DTLAB-201N.
 - Nối lối ra A với LED0.
 - Nối lối ra B với LED1.

3.2.2. Đặt các công tắc logic LS1÷3 tương ứng với các trạng thái ghi trong bảng D3-5 Theo dõi trạng thái đèn LED. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt - là mức thấp (0). Ghi kết quả vào bảng D3-5.

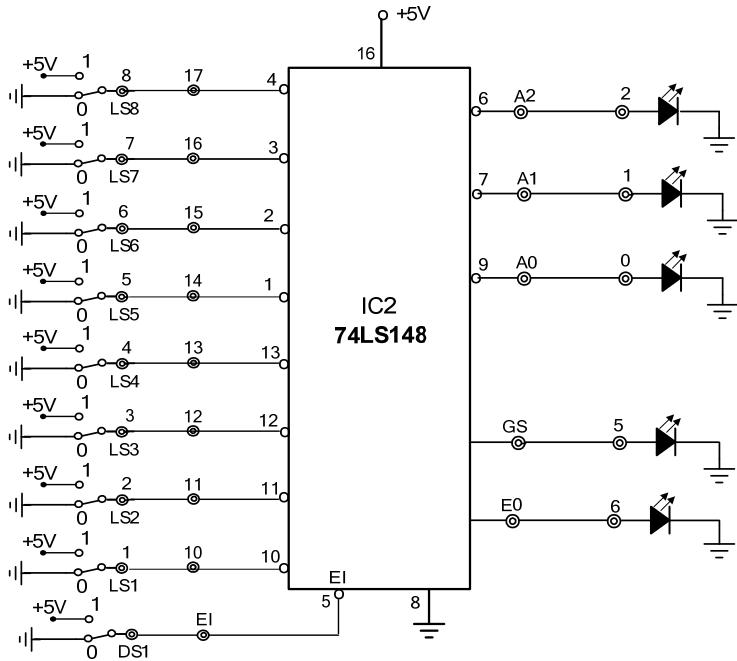
Bảng D3-5

LỐI VÀO – Input			LỐI RA – Output	
LS3 Y3	LS2 Y2	LS1 Y1	A	B
0	0	0		
0	0	1		
0	1	0		
1	0	0		

Kết luận tóm tắt về bộ mã hóa đã khảo sát.

3.3. Bộ mã hóa 8 đường điều khiển thành 3 bit loại vi mạch (Bộ mã hóa ưu tiên):

Hình D3-3b



Hình D3-3b: Bộ mã hóa 3 bit dùng vi mạch

Chú ý: Bộ mã hóa ưu tiên, tín hiệu ở lối vào và lối ra đều tích cực ở mức thấp. Mức ưu tiên giảm dần từ LS8→LS1.

3.3.1. Nối mạch của sơ đồ D3-3b (IC2) với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201N
 - Nối lối vào I0 với công tắc logic LS1.
 - Nối lối vào I1 với công tắc logic LS2.
 - Nối lối vào I2 với công tắc logic LS3.
 - Nối lối vào I3 với công tắc logic LS4.
 - Nối lối vào I4 với công tắc logic LS5.
 - Nối lối vào I5 với công tắc logic LS6.
 - Nối lối vào I6 với công tắc logic LS7.
 - Nối lối vào I7 với công tắc logic LS8.
 - Nối lối vào \overline{EI} (cho phép nối vào) với công tắc xung DS1.
 - Lối ra (Output): Nối với LED của bộ chỉ thị LOGIC INDICATORS của DTLAB-I.
 - Nối lối ra A0 với LED0.
 - Nối lối ra A1 với LED1.
 - Nối lối ra A2 với LED2.
 - Nối lối ra GS với LED5.
 - Nối lối ra EO với LED6.

3.3.2. Đặt các công tắc logic LS1-8 và DS1 tương ứng với các trạng thái ghi trong bảng D3-6. Theo dõi trạng thái đèn LED. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt - là mức thấp (0). Ghi kết quả vào bảng D3-6.

Bảng D3-6

DS1	LỐI VÀO Input								LỐI RA - Output				
	I7	I6	I5	I4	I3	I2	I1	I0	A ₂	A ₁	A ₀	GS	EO
EI													
1	x	x	x	x	x	x	x	x					
0	1	1	1	1	1	1	1	1					
0	1	1	1	1	1	1	1	0					
0	1	1	1	1	1	1	0	x					
0	1	1	1	1	1	0	x	x					
0	1	1	1	1	0	x	x	x	x				
0	1	1	0	x	x	x	x	x	x				
0	1	0	x	x	x	x	x	x					
0	0	x	x	x	x	x	x	x					

* x: giá trị bất kỳ

Kết luận tóm tắt về bộ mã hóa đã khảo sát. Nêu tính chất ưu tiên trong bộ mã hóa.

BÀI 4

CÁC SƠ ĐỒ LOGIC CƠ BẢN (2)

CÁC SƠ ĐỒ LOGIC TOÁN HỌC

Mục đích: Tìm hiểu về cộng, trừ nhị phân. Các phương pháp thiết kế mạch cộng, trừ nhị phân và sử dụng mạch cộng nhị phân trong cộng trừ thập phân

PHẦN 1: LÝ THUYẾT

4.1. Bộ cộng song song n bit

Giả sử có hai số nhị phân n bit A và B, trong đó:

$$A = A_{n-1} A_{n-2} \dots A_0$$

$$B = B_{n-1} B_{n-2} \dots B_0$$

Để xây dựng mạch thực hiện phép cộng hai số cần nắm vững nguyên tắc bộ cộng đầy đủ 1 bit, trên cơ sở đó xây dựng bộ cộng song song n bit. Cụ thể trong phần này sẽ giới thiệu phương pháp xây dựng bộ cộng song song 4 bit từ bộ cộng toàn phần (đầy đủ) 1 bit.

4.1.1. Bộ cộng 1 bit

1. Bộ cộng bán phần (Half Adder – HA)

Mạch cộng bán phần có 2 lối vào: A_i là chữ số cột thứ i của số A.

B_i là chữ số cột thứ i của số B.

Mạch có 2 đầu ra: S_i là kết quả phép cộng ở cột thứ i.

C_i là giá trị nhớ sang cột có trọng số cao hơn tiếp theo.

Nguyên tắc hoạt động của bộ cộng bán phần được diễn tả bởi bảng chân lý 4.1.

Từ bảng chân lý, suy ra biểu thức logic của HA:

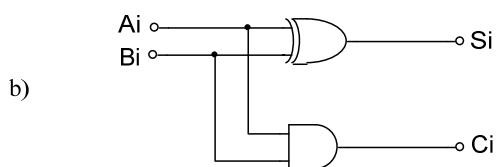
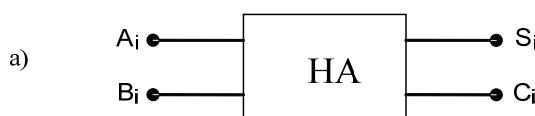
$$S_i = A_i \oplus B_i \quad (4-1)$$

$$C_i = A_i \cdot B_i \quad (4-2)$$

Sơ đồ khối và sơ đồ logic của HA được trình bày trên hình 4.1:

Bảng 4.1

A_i	B_i	S_i	C_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



Hình 4.1: a) Sơ đồ khối của HA, b) Sơ đồ logic

2. Bộ cộng đầy đủ (Bộ cộng toàn phần – Full Adder - FA)

Mạch có 3 đầu vào: A_i là chữ số cột thứ i của số A .

B_i là chữ số cột thứ i của số B.

C_{i-1} là giá trị nhớ từ cột có trong số nhỏ hơn liền kề chuyển đến

Mach có 2 đầu ra: S_i là kết quả phép cộng ở cột thứ i.

Còn là giá trị nhớ sang cột có trong số lớn hơn liền kề.

Bảng chân lý của FA được trình bày ở bảng 4.2.

Bảng 4.2

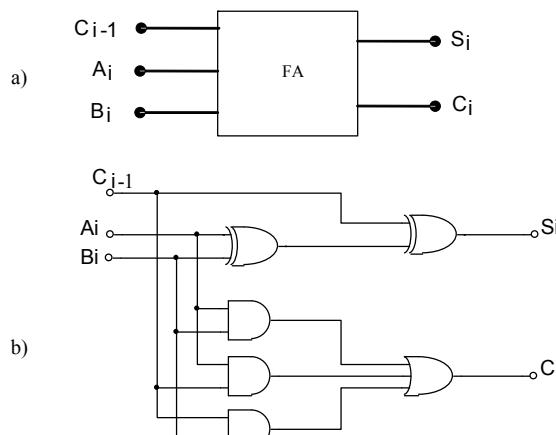
A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Từ bảng chân lý suy ra hàm logic của FA:

$$S_i = A_i \oplus B_i \oplus C_{i-1} \quad (4-3)$$

$$C_i = A_i \cdot B_i + A_i C_{i-1} + B_i C_{i-1} \quad (4-4)$$

Sơ đồ khối và mạch logic trình bày trên hình 4.2.



Hình 4.2: a) Sơ đồ khối của FA, b) Mạch logic

Từ bảng chân lý của FA dễ dàng suy ra biểu thức logic bằng cách lấy tổng chuẩn của các tích, tức là lấy tổng các Minterm mà hàm bằng 1.

$$\begin{aligned} S_i &= \overline{A}_i \cdot \overline{B}_i C_{i-1} + \overline{A}_i B_i \overline{C}_{i-1} + A_i \overline{B}_i \overline{C}_{i-1} + A_i B_i C_{i-1} \\ &= \overline{A}_i (\overline{B}_i C_{i-1} + B_i \overline{C}_{i-1}) + A_i (\overline{B}_i \overline{C}_{i-1} + B_i C_{i-1}) \\ &= A_i \oplus B_i \oplus C_{i-1} \end{aligned}$$

$$C_i = \overline{A}_i \cdot B_i C_{i-1} + A_i \overline{B}_i C_{i-1} + A_i B_i \overline{C}_{i-1} + A_i B_i C_{i-1}$$

Biểu thức logic của C_i , nếu cộng số hạng $A_i B_i C_{i-1}$ với các số hạng trước ta được:

$$\begin{aligned} C_i &= B_i C_{i-1} (\overline{A}_i + A_i) + A_i C_{i-1} (\overline{B}_i + B_i) + A_i B_i (\overline{C}_{i-1} + C_{i-1}) \\ &= A_i B_i + A_i C_{i-1} + B_i C_{i-1} \end{aligned}$$

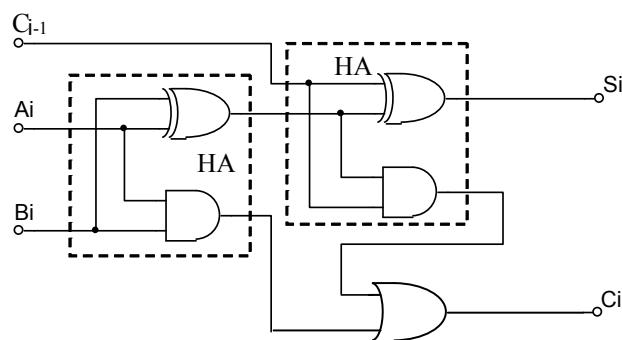
Nếu nhóm 2 số hạng ta có:

$$\begin{aligned} C_i &= (\overline{A}_i B_i C_{i-1} + A_i \overline{B}_i C_{i-1}) + (A_i B_i \overline{C}_{i-1} + A_i B_i C_{i-1}) \\ &= C_{i-1} (\overline{A}_i B_i + A_i \overline{B}_i) + A_i B_i \\ &= A_i B_i + C_i (A_i \oplus B_i) \end{aligned} \quad (4-5)$$

$$C_i = A_i B_i + C_{i-1} (A_i \oplus B_i)$$

Từ công thức (4.3) và (4.5) có thể xây dựng mạch FA từ hai mạch HA. Sơ đồ logic của FA từ hai HA được trình bày trên hình 4.3.

Nếu $C_{i-1} = 0$ thì FA trở thành HA.



Hình 4.3: Sơ đồ mạch FA

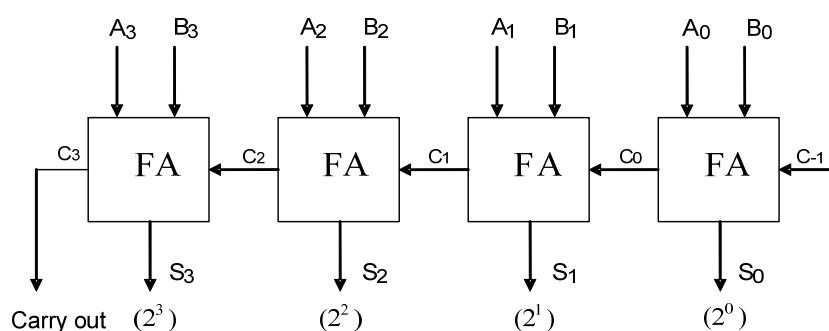
3. Bộ cộng song song 4 bit.

Giả sử ta có hai số nhị phân 4 bit A và B. Trong đó:

$$A = A_3 \cdot A_2 \cdot A_1 \cdot A_0$$

$$B = B_3 \cdot B_2 \cdot B_1 \cdot B_0$$

Với A₀, B₀ là cột có trọng số bé nhất của 2 số A và B (2^0). A₃, B₃ là cột có trọng số lớn nhất của 2 số A và B (2^3). Từ bộ cộng nhị phân 1 bit ta có thể đưa ra mạch của bộ cộng song song 4 bit thực hiện phép cộng hai số A và B như hình 4.4.



Hình 4.4: Bộ cộng song song 4 bit

Ví dụ: Có hai số A và B với A = 1111, B = 1001. Phép cộng hai số được thực hiện như sau:

$$\begin{array}{r}
 A = \quad 1 \quad 1 \quad 1 \quad 1 \\
 B = \quad 1 \quad 0 \quad 0 \quad 1 \\
 C = 1 \quad 1 \quad 1 \quad 1 \\
 = C_3 \quad C_2 \quad C_1 \quad C_0 \quad C_{-1} \\
 \hline
 \Sigma = 1 \quad 1 \quad 0 \quad 0 \quad 0
 \end{array}$$

Nhược điểm của bộ cộng loại này: Tín hiệu nhớ ở đầu ra (Carry Out) được tạo thành sau khi đi qua bốn bộ cộng FA₀, ..., FA₃. Nếu mỗi bộ cộng FA là hai mạch cộng bán phần thì Carry Out sẽ xuất hiện ở đầu ra sau một thời gian T = 8 lần thời gian quá độ với thời gian quá độ là thời gian trễ chuyển mạch của một tầng logic.

Do vậy thời gian trễ rất lớn, đặc biệt khi số bit của mỗi số hạng tăng lên đủ lớn. Để khắc phục nhược điểm đó người ta dùng bộ cộng nhớ nhanh hay bộ cộng nhớ nhìn trước (Fast carry hay Carry look Ahead).

4.1.2. Bộ cộng nhớ nhanh (Fast carry):

Trong bộ cộng song song n bit, số nhớ truyền liên tiếp từ tầng này sang tầng khác làm cho thời gian thực hiện phép cộng lớn, đặc biệt khi n lớn. Do vậy cần có biện pháp khắc phục nhược điểm. Một trong những phương pháp được áp dụng là phương pháp nhớ nhanh hay nhớ nhìn trước. Đối với bộ cộng đầy đủ (FA) một bit ta có:

$$\begin{aligned}
 C_i &= (A_i \oplus B_i)C_{i-1} + A_i B_i \\
 S_i &= A_i \oplus B_i \oplus C_{i-1}
 \end{aligned}$$

Đặt: $A_i \oplus B_i = P_i$ và $A_i \cdot B_i = G_i$

Ta có:

$$\begin{aligned}
 C_i &= P_i C_{i-1} + G_i \\
 S_i &= P_i \oplus C_{i-1}
 \end{aligned}$$

Đối với bộ cộng 4 bit:

$$\begin{aligned}
 C_0 &= P_0 C_{-1} + G_0 \\
 C_1 &= P_1 C_0 + G_1 \\
 C_2 &= P_2 C_1 + G_2 \\
 C_3 &= P_3 C_2 + G_3
 \end{aligned}$$

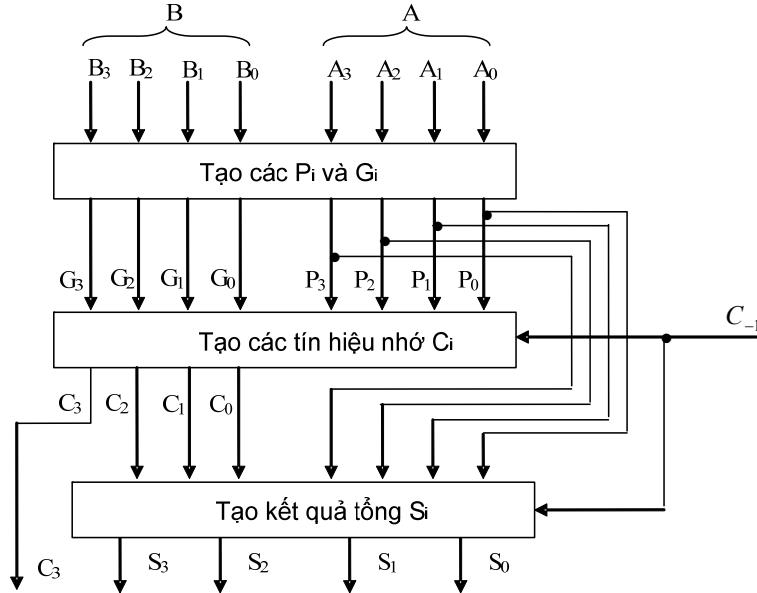
Thay thế C₀ vào C₁, C₁ vào C₂, C₂ vào C₃ ta được kết quả:

$$\left. \begin{aligned}
 C_1 &= P_1 P_0 C_{-1} + P_1 G_0 + G_1 \\
 C_2 &= P_2 P_1 P_0 C_{-1} + P_2 P_1 G_0 + P_2 G_1 + G_2 \\
 C_3 &= P_3 P_2 P_1 P_0 C_{-1} + P_3 P_2 P_1 G_0 + P_3 P_2 G_1 + P_3 G_2 + G_3
 \end{aligned} \right\} \quad (4-6)$$

Các chữ số của tổng có giá trị như sau:

$$\left. \begin{array}{l} S_0 = P_0 \oplus C_{-1} \\ S_1 = P_1 \oplus C_0 \\ S_2 = P_2 \oplus C_1 \\ S_3 = P_3 \oplus C_2 \end{array} \right\} \quad (4-7)$$

Dùng các phương trình (4.6) và (4.7) để xây dựng bộ cộng song song nhớ nhanh. Để dàng phân tích bộ cộng này gồm 3 khối chính trên hình 4.5.



Hình 4.5: Sơ đồ khái niệm bộ cộng song song 4 bit nhớ nhanh

Ba khối đó là:

- Khối tạo P_i và G_i .
- Khối tạo tín hiệu nhớ C_i .
- Khối tạo kết quả tổng S_i .

Sơ đồ chi tiết 3 khối này được trình bày trên hình 4.6.

4.2. Bộ trừ song song 2 số nhị phân n bit

4.2.1. Bộ trừ 1 bit

Bộ trừ đầy đủ (Bộ trừ toàn phần – Full Subtractor – FS) gồm có 3 đầu vào:

A là đầu vào số bị trừ.

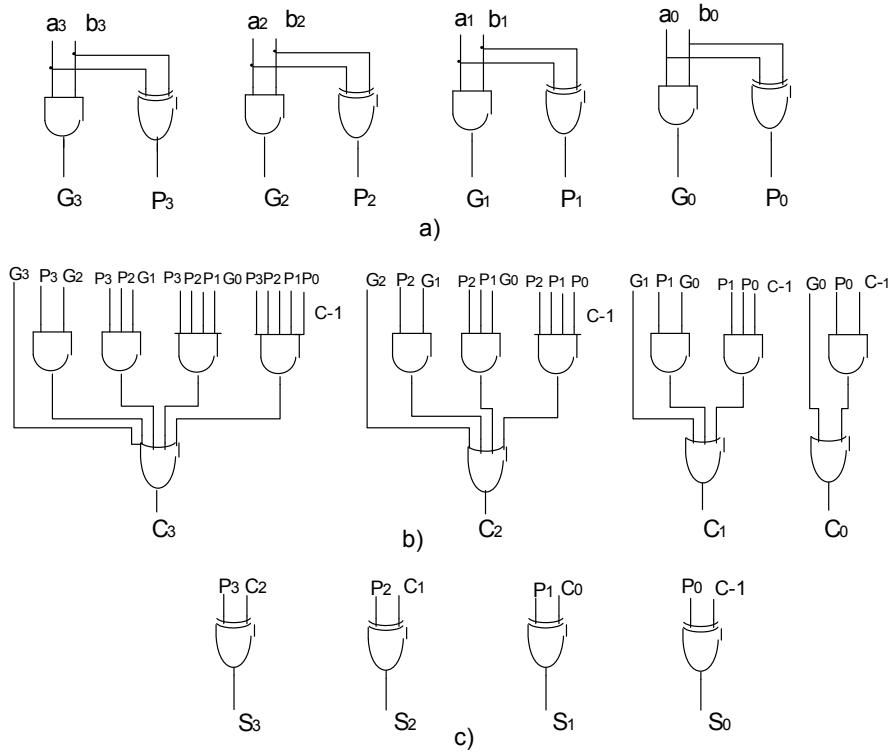
B là đầu vào số trừ

B_i là lối vào mượn (Borrow in) từ cột trước đưa tới.

Có 2 đầu ra:

D là đầu ra hiệu.

B_0 là đầu ra mượn (Borrow Out).



Hình 4.6: Sơ đồ bộ cộng nhớ nhanh: a) Sơ đồ loại khói tạo P_i và G_i ,

b) Sơ đồ logic khói tạo C_i , c) Sơ đồ logic khói tạo kết quả của bộ tổng S_i

Bảng 4.3 là bảng chân lý của bộ trừ đầy đủ.

Bảng 4.3

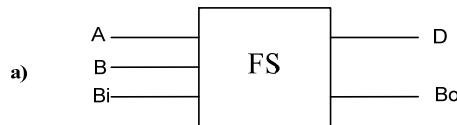
A	B	B_i	D	B_0
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

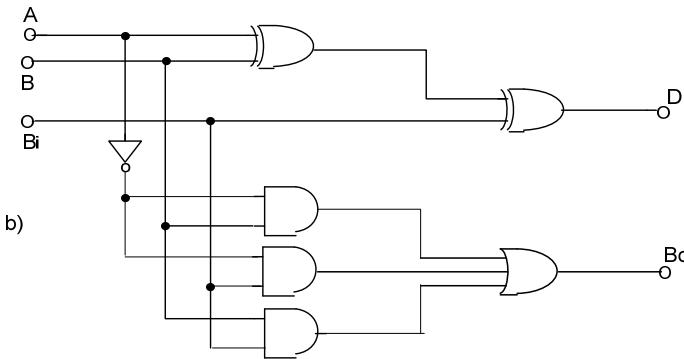
Hàm logic:

$$D = A \oplus B \oplus B_i \quad (4-8)$$

$$B_0 = \bar{A}B + \bar{A}B_i + BB_i$$

Sơ đồ khói và sơ đồ logic được trình bày trên hình 4.7.





Hình 4.7: Sơ đồ của FS: a) Sơ đồ khôi, b) Sơ đồ logic

Nếu $B_i = 0$ ta có mạch trù bán phần.

4.2.2. Bộ trù 2 số nhị phân n bit.

Trong máy tính người ta dùng các bộ cộng để thực hiện phép tính trù. Dưới đây ta khảo sát điều đó.

Theo (4.8) hàm logic của FS:

$$D = A \oplus B \oplus B_i$$

$$B_0 = \overline{A}B + \overline{A}B_i + BB_i$$

Ta biến đổi hàm B_0 :

$$\begin{aligned} \overline{B}_0 &= \overline{\overline{A}B + \overline{A}B_i + BB_i} = \overline{\overline{A}B} \cdot \overline{\overline{A}B_i} \cdot \overline{BB_i} \\ &= (A + \overline{B})(A + \overline{B}_i)(\overline{B} + \overline{B}_i) \\ &= (A + \overline{B})[\overline{B}_i + (A\overline{B})] \\ &= A\overline{B} + A\overline{B}_i + \overline{B}\cdot\overline{B}_i \\ \overline{B}_0 &= A\overline{B} + A\overline{B}_i + \overline{B}\cdot\overline{B}_i \end{aligned}$$

Còn giá trị của hiệu:

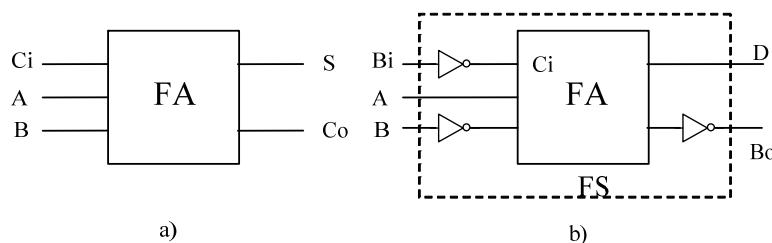
$$D = A \oplus B \oplus B_i = A \oplus \overline{B} \oplus \overline{B}_i$$

Như vậy hàm logic cho FS sẽ là:

$$\overline{B}_0 = A\overline{B} + A\overline{B}_i + \overline{B}\cdot\overline{B}_i$$

$$D = A \oplus B \oplus B_i = A \oplus \overline{B} \oplus \overline{B}_i$$

So sánh với hàm logic của FA, ta thấy có thể xây dựng mạch FS từ mạch FA một cách dễ dàng bằng cách mắc các cổng đảo vào các đầu B , B_i và B_0 như hình. 4.8.



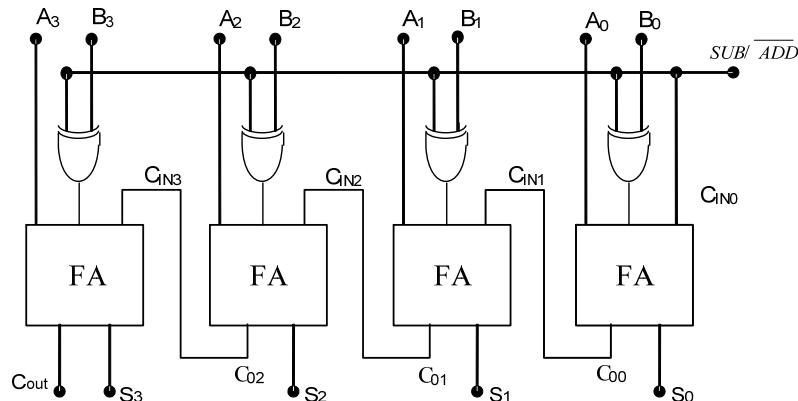
Hình 4.8: Sơ đồ chuyển mạch FA thành FS

Sơ đồ khối của mạch tổng song song và hiệu song song hai số nhị phân n bit gần nhau. Muốn dùng các mạch FA để thực hiện 2 phép tính tổng về hiệu, ta cần thêm một đầu điều khiển SUB/ADD như sơ đồ tổng hiệu 2 số nhị phân 4 bit hình 4.9.

- Khi $\text{SUB/ADD} = 0$ mạch thực hiện phép cộng, các giá trị $B_0 \dots B_3$ qua các công XOR không đổi và đưa vào FA để làm phép cộng $S = C_0 S_3 S_2 S_1 S_0$.

- Khi $\text{SUB/ADD} = 1$ mạch thực hiện phép trừ, các giá trị $B_0 B_1 B_2 B_3$ qua công XOR biến thành $\overline{B_0} \overline{B_1} \overline{B_2} \overline{B_3}$ (số bù 1). Đầu vào C_i được nối với đầu vào $\text{SUB/ADD} = 1$, tức là $C_i = 1$. Như vậy số bù một $\overline{B_0} \overline{B_1} \overline{B_2} \overline{B_3}$ được cộng với $C_i = 1$ trở thành số bù hai, nghĩa là mạch thực hiện $A + (-B)$. Vậy kết quả của phép trừ $D = \overline{B}_0 D_3 D_2 D_1 D_0$.

Trong kết quả B_0 là lối ra mượn, xác định dấu của D , $B_0 = 0$ là số dương, $B_0 = 1$ là số âm.



Hình 4.9: Sơ đồ mạch tổng hiệu 2 số nhị phân 4 bit

Trong thực tế có thể dùng mạch cộng 4 bit 74LS83 ghép nối vi mạch 74LS86 (có 4 công XOR) sẽ được một bộ tổng/ hiệu 2 số 4 bit.

4.3. Mã bù

Trong máy tính người ta không dùng mạch trừ, mà tìm cách biểu diễn con số dưới dạng mã bù để thay thế phép trừ bởi phép cộng với mã bù của nó.

Có hai loại mã bù dùng cho bộ đếm có số r là: Mã bù r và mã bù $r - 1$. Máy tính thường tính toán với bộ đếm có cơ số 2 và cơ số 10 cho nên có 4 loại mã bù cho nó, đó là mã bù 2, bù 1 cho bộ đếm cơ số 2, bù 10 và bù 9 cho bộ đếm cơ số 10.

Mã bù cho số nguyên N trong bộ đếm cơ số r gồm n chữ số được định nghĩa như sau:

4.3.1. Bù r

Số bù r của số nguyên N ký hiệu là N^* và được xác định như sau:

$$N^* = r^n - N$$

Nếu $N = 00\dots0 = 0$ thì $N^* = r^n - 0 = r^n$.

Ví dụ: - Hệ đếm cơ số 2: N^* của 101100_2 là $2^8 - 101100 = 10100$

- Hệ đếm cơ số 10: N^* của 1929_{10} là $10^4 - 1927 = 8073$

4.3.2. Bù r - 1

Bù $r - 1$ của số nguyên N ký hiệu là N^{**} , giá trị của N^{**} được xác định như sau:

$$N^{**} = r^n - N - 1.$$

Đối với hệ đếm cơ số 2, mã bù $r - 1$ chính là mã bù 1, giá trị của các bit mã bù bằng phủ định của giá trị của bit đó.

Đối với hệ đếm cơ số 10, mã bù $r - 1$ là mã bù 9.

Ví dụ:

- Hệ đếm cơ số 2: Bù 1 của 101100 là $N^{**} = 111111 - 101100 = 010011$
- Hệ đếm cơ số 10: Bù 9 của 52460 là $N^{**} = 99999 - 52460 = 47539$

Từ các định nghĩa trên ta có:

$$N^* = N^{**} + 1$$

4.4. Biểu diễn số nhị phân nguyên trong máy tính

Trong máy tính, một số nhị phân nguyên có thể được biểu diễn theo các cách sau:

- Dấu và phần giá trị.
- Số bù 2.
- Số bù 1.

Trong cả 3 cách biểu diễn đó, máy tính luôn luôn dùng một biến nhị phân để biểu diễn dấu cho số nhị phân nguyên đó. Cụ thể là “0” cho số dương và “1” cho số âm. Cột dấu luôn luôn đứng cạnh cột có trọng số lớn nhất của số đó về phía trái và ngăn cách với phần giá trị bởi một dấu phẩy.

4.4.1. Biểu diễn số nhị phân nguyên ở dạng dấu và phần giá trị

Nếu N là một số nhị phân nguyên thì N được biểu diễn như sau:

$$N = \begin{cases} 0, N & \text{khi } N \geq 0 \\ 1, |N| & \text{khi } N < 0 \end{cases}$$

Ví dụ: +10 được biểu diễn như sau: 0,1010

- 10 được biểu diễn như sau: 1,1010

4.4.2. Biểu diễn số nhị phân nguyên dạng mã bù 2

Nếu N là một số nhị phân nguyên, được biểu diễn ở dạng mã bù 2 như sau:

$$N = \begin{cases} 0, N & \text{khi } N \geq 0 \\ 1, N^* & \text{khi } N < 0 \end{cases}$$

Trong đó N^* là mã bù 2 của N .

4.4.3. Biểu diễn số nhị phân nguyên ở dạng mã bù 1

$$N = \begin{cases} 0, N & \text{khi } N \geq 0 \\ 1, N^{**} & \text{khi } N < 0 \end{cases}$$

Trong đó N** là mã bù 1 của N.

Ví dụ: Số 11 có mã bù 2 là = mã bù 1 = 0,1011

Số -11 có mã bù 1 là = 1,0100

Số -11 có mã bù 2 là = 1,0101

4.5. Cộng và trừ dùng mã bù 2

Trong máy tính, nếu sử dụng mã bù có thay thế phép trừ bằng phép cộng mã bù của các số đó.

Giả sử có 4 số +4, -4, +3, -3 và mã bù 2 của các số này là: 0,100; 1,100; 0,011; 1,101. Ta xét các tổng sau:

Tổng thứ nhất:

$$\begin{array}{r} +4 : 0,100 \\ +3 : 0,011 \\ \hline 7 : 0,111 \end{array}$$

Tổng nhận được chính là mã bù 2 của 7.

Tổng thứ 2:

$$\begin{array}{r} -4 : 1,100 \\ +3 : 0,011 \\ \hline -1 : 1,111 \end{array}$$

Tổng nhận được là mã bù 2 của -1.

Tổng thứ 3:

$$\begin{array}{r} +4 : 0,100 \\ -3 : 1,101 \\ \hline +1 : 10,001 \end{array}$$

Ở tổng này đã xuất hiện một giá trị nhớ từ cột dấu sang và nếu bỏ giá trị này thì tổng thu được chính là mã bù 2 của +1.

Tổng thứ 4:

$$\begin{array}{r} -4 : 1,100 \\ -3 : 1,101 \\ \hline -1 : 11,001 \end{array}$$

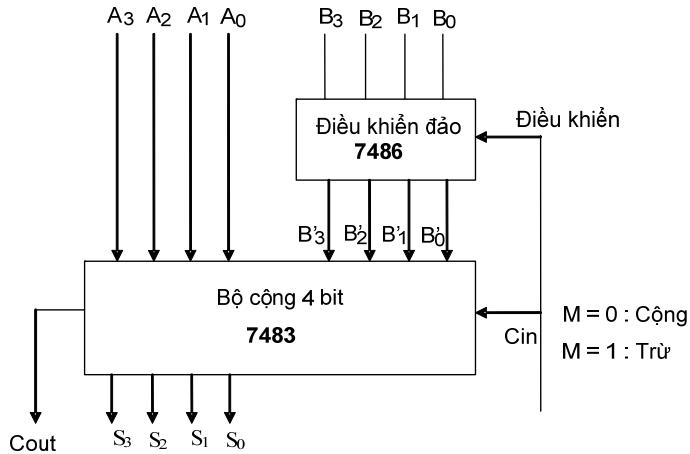
Ở tổng này cũng xuất hiện một giá trị nhớ từ cột dấu sang, nếu bỏ giá trị này, tổng thu được chính là bù 2 của -7.

Mạch thực hiện phép cộng 2 số ở dạng mã bù 2 dùng bộ cộng song song 4 bit nhị phân nhớ nhanh 7483 và bộ cộng modul 7486 như hình 4.10 thực hiện phép cộng 2 số 4 bit A và B với:

$$A = A_3 \cdot A_2 \cdot A_1 \cdot A_0$$

$$B = B_3 \cdot B_2 \cdot B_1 \cdot B_0$$

Trong đó A₃ và B₃ là bit dấu.



Hình 4.10: Mạch thực hiện cộng 2 số A, B ở dạng bù 2

Sơ đồ khối ở hình 4.10 hoạt động như sơ đồ logic hình 4.9.

4.6. Cộng và trừ dùng mã bù 1

Giả sử có 4 số 4, 3, -4, -3, mã bù 1 của chúng là: 0,100; 0,011; 1,011; 1,100.

Xét các tổng sau:

Tổng 1:

$$\begin{array}{r}
 +4 : 0,100 \\
 +3 : 0,011 \\
 \hline
 7 : 0,111
 \end{array}$$

Tổng là mã bù một của +7.

Tổng 2:

$$\begin{array}{r}
 -4 : 1,100 \\
 -3 : 1,101 \\
 \hline
 -1 : 10,111
 \end{array}$$

Ở tổng thu được, xuất hiện giá trị nhớ từ cột dấu sang. Nếu lấy giá trị nhớ này đưa về cộng vào cột có trọng số bé nhất của tổng ta được 1,000 chính là mã bù 1 của -7.

Tổng 3:

$$\begin{array}{r}
 +4 : 0,100 \\
 -3 : 1,101 \\
 \hline
 +1 : 10,000
 \end{array}$$

Cũng tương tự như trường hợp trên, nếu ta lấy giá trị nhớ cộng vào cột có trọng số bé nhất của tổng ta được: 0,001 chính là mã bù 1 của 1.

Tổng 4:

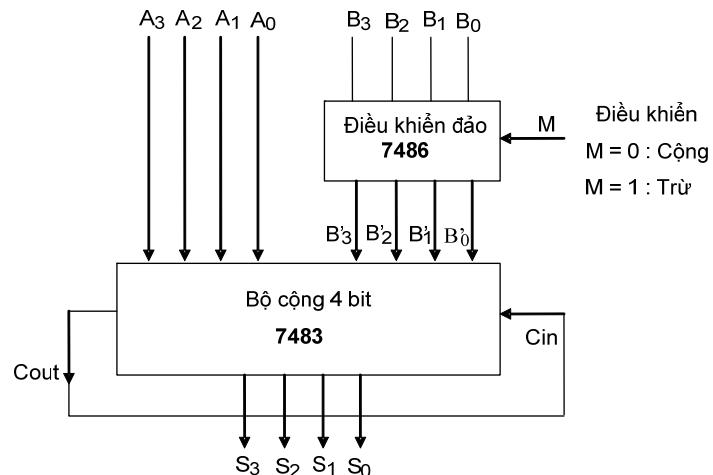
$$\begin{array}{r}
 -4 : 1,100 \\
 +3 : 0,011 \\
 \hline
 -1 : 1,110
 \end{array}$$

Tổng nhận được là mã bù 1 của -1.

Nhận xét:

- Tiến hành cộng các số ở dạng mã bù 1 bình thường kể cả bit dấu. Trong trường hợp xuất hiện tín hiệu nhớ từ cột dấu đưa sang của tổng thì tín hiệu đó được đưa về cộng với cột có trọng số bé nhất của tổng.

- Phép cộng trừ 2 số A, B ở dạng mã bù 1 trong đó A, B là các số 4 bit. Với bit có trọng số cao nhất là bit dấu, có thể thực hiện trên bộ cộng song song 4 bit nhớ nhanh 7483 như hình 4.11.



Hình 4.11: Cộng 2 số A, B ở dạng mã bù 1 nhờ mạch 7483 và 7486

4.7. Hiện tượng tràn

4.7.1. Định nghĩa và ví dụ

Tràn là hiện tượng kết quả phép tính vượt quá khả năng biểu diễn của mạch làm cho kết quả bị sai đi.

Ví dụ:

a)

$$\begin{array}{r}
 +1 : 0,001 \\
 +3 : 0,011 \\
 \hline
 +4 : 0,100
 \end{array}$$

Kết quả nhận được là đúng, không bị tràn.

b)

$$\begin{array}{r}
 +5 : 0,101 \\
 +6 : 0,110 \\
 \hline
 +11 : 1,011
 \end{array}$$

Kết quả nhận được là -3, sai, hiện tượng tràn.

$$\begin{array}{r}
 \text{c)} \\
 + \quad -5 : 1,011 \\
 + \quad -4 : 1,100 \\
 \hline
 -9 : 10,111
 \end{array}$$

Kết quả nhận được là +7, sai, hiện tượng tràn.

4.7.2. Nguyên nhân tràn và phương pháp xác định tràn

Từ các ví dụ trên, chúng ta có nhận xét về nguyên nhân gây tràn là phép cộng 2 số cùng dấu mà kết quả vượt quá khả năng biểu diễn của mạch.

Nó xảy ra khi 2 số đều dương mà kết quả lại âm, hoặc 2 số đều âm mà kết quả lại dương

...

Trong đó: A_n là bit dấu của số hạng A.

B_n là bit dấu của số hạng B.

S là dấu của kết quả.

Ta có phương trình tràn là:

$$\text{Tràn} = \overline{A}_n \overline{B}_n S + A_n B_n \overline{S}$$

4.8. Cộng số thập phân dùng bộ cộng nhị phân MSI

Các chữ số thập phân ở đây được biểu diễn bởi mã N BCD (8421).

1. Khi kết quả ≤ 9

Kết quả đúng không phải hiệu chỉnh.

Ví dụ:

$$\begin{array}{r}
 + \quad 4 : 0100 \\
 + \quad 5 : 0101 \\
 \hline
 9 : 1001
 \end{array}$$

2. Khi kết quả $9 < S \leq 15$ với S là tổng của các số N BCD đó.

Ví dụ:

$$\begin{array}{r}
 + \quad 7 : 0111 \\
 + \quad 7 : 0111 \\
 \hline
 14 : 1110
 \end{array}$$

Kết quả vượt quá giá trị của các số N BCD và không có nhớ sang cột tiếp theo. Vì vậy phải hiệu chỉnh lại kết quả đó.

Cách hiệu chỉnh là lấy kết quả của phép cộng trừ đi 10 thập phân là 1010, tức là lấy kết quả cộng với 0110 (mã bù 2 của 1010) được kết quả đúng và có nhớ.

Ví dụ: Kết quả cộng trên là 1110 ta có:

$$\begin{array}{r}
 + \quad 1110 \\
 + \quad 0110 \\
 \hline
 10100
 \end{array}$$

Kết quả là 4 và có nhớ sang cột tiếp theo.

3. Khi kết quả $S: 15 < S \leq 19$.

Kết quả nhận được sai và có nhớ sang cột tiếp theo do vậy phải hiệu chỉnh kết quả.

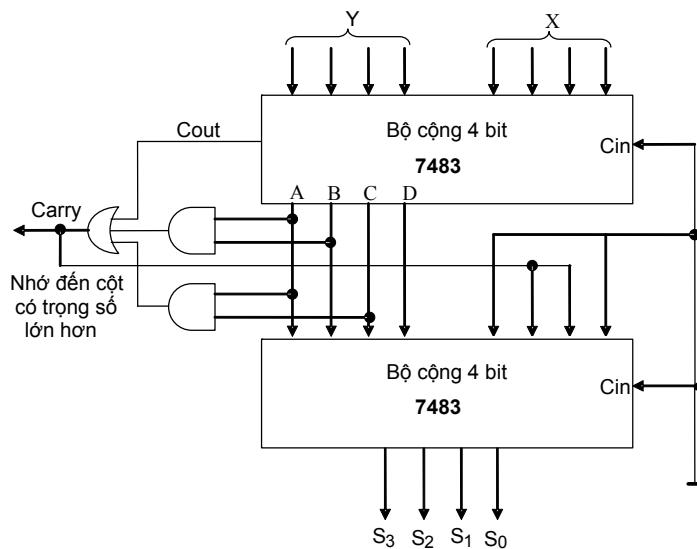
Khi đó tín hiệu nhớ:

$$\text{Carry} = C_{\text{out}} + AB + AC$$

Mạch tạo nhớ dùng mạch NAND có dạng:

$$\text{Carry} = \overline{\overline{C}_{\text{out}}} \cdot \overline{\overline{AB}} \cdot \overline{\overline{AC}}$$

Mạch thực hiện phép cộng 2 số N BCD: X và Y có tín hiệu nhớ, đồng thời hiệu chỉnh kết quả trình bày trên hình 4.12.



Hình 4.12. Mạch cộng 2 số N BCD có tạo nhớ và hiệu chỉnh

4.9. Dùng số bù cho phép tính thập phân

Phép trừ số thập phân cũng được thay thế bởi phép cộng với số bù của nó. Với số thập phân có hai loại mã bù thường được dùng là:

Bù 10:

N là số thập phân có n cột chữ số có nghĩa. Mã bù 10 của nó là N^* với:

$$N^* = 10^n - N \quad (4.15)$$

Ví dụ: $N = 475 \Rightarrow N^* = 10^3 - 475 = 525$.

Bù 9:

Với N là số thập phân có n cột chữ số có nghĩa. Mã bù 9 của N là N^{**} . Với $N = 475 \Rightarrow N^{**} = 10^3 - N^* - 1 = 524$

Cách tìm mã bù 9 của N:

$$N^{**} = N_n^{**} N_{n-1}^{**} \dots N_1^{**}$$

Trong đó $N_i^{**} = 9 - N_i$, N_i chữ số thứ i của N.

Ví dụ phép cộng, trừ dùng mã bù 9 và bù 10:

a/ Bù 10:

Một số nguyên N được biểu diễn theo mã bù 10 như sau.

$$N = \begin{cases} N & N \geq 0 \\ N^* & N < 0 \end{cases}$$

Ví dụ 1: Mã bù 10 của 48 là 48.

Mã bù 10 của - 27 là 72.

Ta cộng 2 số : Cộng đại số Cộng số bù 2

$$\begin{array}{r} +48 \\ + -27 \\ \hline 21 \end{array} \quad \begin{array}{r} 48 \\ + 73 \\ \hline 121 \end{array}$$

Ta nhận thấy rằng tổng nhận được có xuất hiện giá trị nhớ sang cột tiếp theo đó chính là B_0 , do đó $B_0 = 0$. Như vậy tổng bằng 21 kết quả đúng.

Ví dụ 2: Bù 10

$$\begin{array}{r} -48 \\ + 27 \\ \hline -21 \end{array} \quad \begin{array}{r} 52 \\ + 27 \\ \hline 79 \end{array}$$

Số nhớ bằng 0 đảo bằng 1. 179 là bù 10 của - 21. Kết quả - 21 là đúng.

b/ Cộng 2 số được biểu diễn ở mã bù 9

Một số nguyên N được biểu diễn ở mã bù 9 như sau :

$$N = \begin{cases} N & N \geq 0 \\ N^{**} & N < 0 \end{cases}$$

Ví dụ 1: Bù 9

$$\begin{array}{r} +48 \\ + -27 \\ \hline 21 \end{array} \quad \begin{array}{r} 48 \\ + 72 \\ \hline 120 \end{array}$$

Tổng nhận được có xuất hiện số nhớ từ cột có trọng số cao nhất sang. Nếu bây giờ đưa số nhớ về cộng với cột có trọng số nhỏ nhất ta được 21. Kết quả đúng.

Người ta mã hoá dấu cho các số ở dạng bù 9 như sau :

Dấu + : 0000

Ví dụ : + 92 được mã hoá bù 9 : 0.92 là 0000. 1001 0010

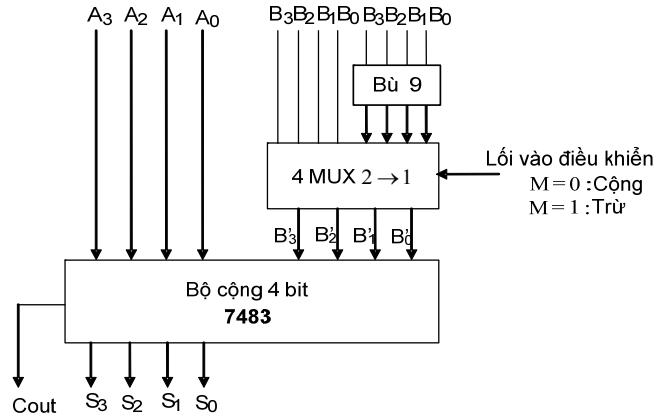
Dấu - : 1001

Ví dụ : - 92 được mã hoá là : 9.92 là 1001.1001 0010

4.10. Cộng trừ số thập phân

1. Dùng mã bù 9

Mạch thực hiện phép cộng hoặc trừ số thập phân sử dụng mã bù 9 dùng mạch cộng FA (7483) được minh họa như hình 4.13.



Hình 4.13. Mạch cộng trừ số thập phân dùng mã bù 9

Trong đó M là đầu vào điều khiển để chọn phép tính.

M = 1 phép trừ ; M = 0 phép cộng ; M = 1 tín hiệu điều khiển sẽ chọn và đưa tín hiệu ra ở khối hợp kênh 4 Mux 2 → 1 là B_3' , B_2' , B_1' , B_0' là dạng mã bù 9 của B_3 , B_2 , B_1 , B_0 .

Bộ cộng FA7483 là bộ cộng song song 4 bit nhớ nhanh.

Các giá trị của B_3' , B_2' , B_1' , B_0' được xác định theo bảng 4.4.

Sử dụng bảng Karnaugh ta dễ dàng đạt được:

$$\begin{aligned} B_3' &= \overline{B}_3 \overline{B}_2 \overline{B}_1 \\ B_2' &= B_1 \overline{B}_2 + \overline{B}_1 B_2 = B_1 \oplus B_2 \\ B_1' &= B_1 \\ B_0' &= \overline{B}_0 \end{aligned}$$

Bảng 4.4: Bảng chuyển đổi giữa mã BCD và mã bù 9 của nó

Số thập phân	BCD				Bù 9			
	B ₃	B ₂	B ₁	B ₀	B ₃ '	B ₂ '	B ₁ '	B ₀ '
0	0	0	0	0	1	0	0	1
1	0	0	0	1	1	0	0	0
2	0	0	1	0	0	1	1	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	0	0
6	0	1	1	0	0	0	1	1
7	0	1	1	1	0	0	1	0
8	1	0	0	0	0	0	0	1
9	1	0	0	1	0	0	0	0

2. Dùng mã bù 10

Đối với mã bù 10 chúng ta có thể thực hiện phép tính cộng trừ một cách tương tự. Nhưng khi phân tích hàm đại số, phức tạp hơn nhiều, dẫn đến sơ đồ phức tạp hơn. Chúng ta có thể sử dụng mã dư 3 để xây dựng bộ cộng trừ các số thập phân. Lúc đó sơ đồ thực hiện đơn giản và dễ thiết kế hơn nhiều so với việc sử dụng mã bù 10.

PHẦN 2: THỰC NGHIỆM

1. Bộ cộng sử dụng công logic

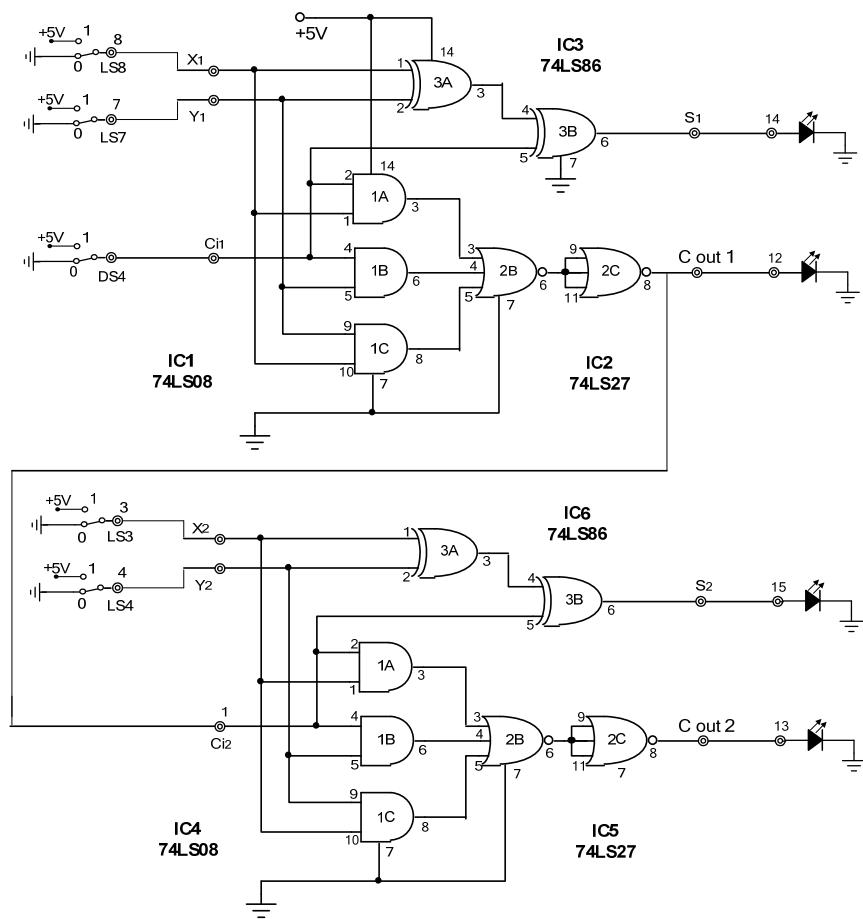
Nhiệm vụ:

Tìm hiểu cấu trúc bộ cộng các đại lượng logic và làm quen với đại số logic.

Các bước thực hiện:

1.1. Cấp nguồn +5V cho mảng sơ đồ D4-1.

1.2. Bộ cộng 1 bit: Hình D4-1.



Hình D4-1: Bộ cộng sử dụng công logic

Sơ đồ thực hiện thuật toán : $S_1 = X_1 + Y_1 + C_i (= 0)$

$Cout$ = số nhớ (+) xuất hiện sau phép toán.

1.2.1. Nối mạch của sơ đồ D4-1 (sử dụng phần trên IC1 - IC3) với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA SWITCHES của DTLAB-201N.
 - Nối lối vào X_1 với công tắc logic LS8.
 - Nối lối vào Y_1 với công tắc logic LS7.

- Nối lõi vào Ci1 với chốt TTL/ công tắc DS4.
- Lõi ra (Output): Nối với LED của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.
 - Nối lõi ra S1 với LED14.
 - Nối lõi ra Cout1 với LED12.

1.2.2. Đặt các công tắc logic LS7- LS8 và DS1 tương ứng với các trạng thái ghi trong bảng D4-1.

Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt - là mức thấp (0). Ghi kết quả vào bảng D4-1.

Bảng D4-1

LỐI VÀO (Input)		LỐI RA (output)		
DS4 Ci1	LS8 X1	LS7 Y1	Tổng S1	Số nhớ “+” Co1
0	0	0		
0	1	0		
0	0	1		
0	1	1		
1	0	0		
1	1	0		
1	0	1		
1	1	1		

1.2.3. Trên cơ sở kết quả đo, viết biểu thức tổng đại số logic đơn giản

$$S = 0 + 0 = \quad Co =$$

$$S = 0 + 1 = \quad Co =$$

$$S = 1 + 0 = \quad Co =$$

$$S = 1 + 1 = \quad Co =$$

Từ các giá trị thu được, tính phép cộng:

$$\begin{array}{r} 1 & 1 \\ + & 1 0 \\ \hline \end{array}$$

$$Co = ? , \quad S = ?$$

3. Bộ cộng 2 bit thực hiện phép cộng:

$$Co_2 \quad Co_1 \quad Ci_1 = 0$$

$$\begin{array}{r} X_2 \quad X_1 \\ + \quad Y_2 \quad Y_1 \\ \hline \end{array}$$

$$Co_2 \quad S_2 \quad S_1$$

3.1. Giữ nguyên sơ đồ nối mạch cho IC1-IC3. Nối mạch của phần dưới (IC4-IC6) sơ đồ hình D4-1 với DTLAB-201N để tạo bộ cộng 2 bit có nhớ:

- Lõi vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201N.
- Nối lõi vào X2 với công tắc logic LS3.

- Nối lõi vào Y2 với công tắc logic LS4.
- Nối Ci2 với Cout1.
- Lõi ra (Output): Nối với LED của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.
- Nối lõi ra S2 với LED15.
- Nối lõi ra Co2 với LED13.

3.2. Đặt các công tắc logic LS7-8, 3-4 tương ứng với các trạng thái ghi trong bảng D4-2.

Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), Đèn LED tắt mức ra là thấp (0). Ghi kết quả vào bảng D4-2.

Bảng D4-2

LÕI VÀO - INPUT					LÕI RA - OUTPUT			
DS4 Ci1	LS3 X2	LS4 Y2	LS8 X1	LS7 Y1	Co1	S1	S2	Co2
0	0	0	0	0				
0	0	1	0	1				
0	1	0	1	0				
0	1	1	1	1				
0	1	0	1	1				
1	0	0	0	0				
1	0	1	0	1				
1	1	0	1	0				
1	1	1	1	1				
1	1	0	1	1				

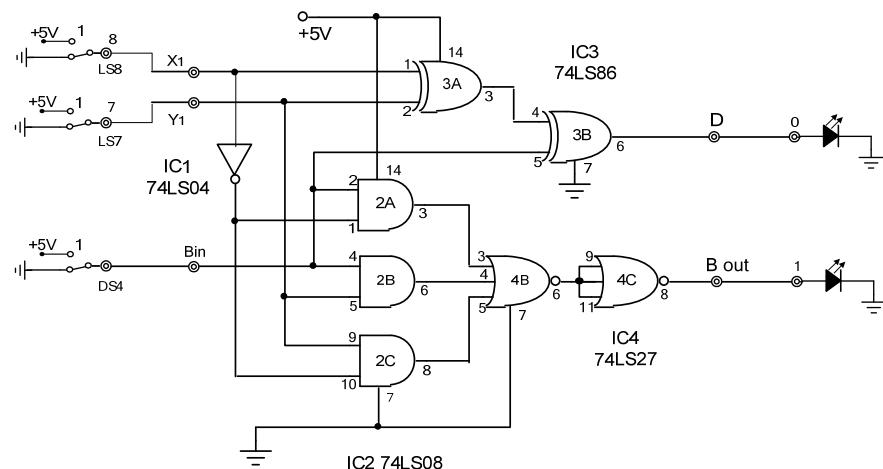
2. Bộ trừ sử dụng công logic

Nhiệm vụ:

Tìm hiểu cấu trúc bộ trừ các đại lượng logic và làm quen với đại số logic.

Các bước thực hiện:

1. Cấp nguồn +5V cho mảng sơ đồ D4-2.



Hình D4-2: Bộ trừ sử dụng công logic

2. Bộ trừ 1 bit: Hình D4-2.

2.1. Nối mạch của sơ đồ D4-2 (sử dụng phần trên IC1 - IC3) với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA SWITCHES của DTLAB-201N.
 - Nối lối vào X1 với công tắc logic LS1.
 - Nối lối vào Y1 với công tắc logic LS2.
 - Nối lối vào BIN với chốt TTL/ công tắc DS4.
- Lối ra (Output): Nối với LED của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.
 - Nối lối ra D với LED0.
 - Nối lối ra Bo với LED1.

2.2. Đặt các công tắc logic LS1- LS2 tương ứng với các trạng thái ghi trong bảng D4-3. Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt - là mức thấp (0). Ghi kết quả vào bảng D4-3.

Bảng D4-3

LỐI VÀO		Input		LỐI RA - output	
DS4 Bin 1	LS1 X1	LS2 Y1	Hiệu D	Số nhớ “+” Bout	
0	0	0			
0	1	0			
0	0	1			
0	1	1			
1	0	0			
1	1	0			
1	0	1			
1	1	1			

2.3. Trên cơ sở kết quả đo, viết biểu thức trừ đại số logic đơn giản.

$$D = 0 - 0 = \text{Bo} =$$

$$D = 0 - 1 = \text{Bo} =$$

$$D = 1 - 0 = \text{Bo} =$$

$$D = 1 - 1 = \text{Bo} =$$

Từ các giá trị thu được, tính phép trừ:

$$\begin{array}{r} 1\ 1 \\ - 1\ 0 \\ \hline \end{array}$$

$$D = ? \quad \text{Bo} = ?$$

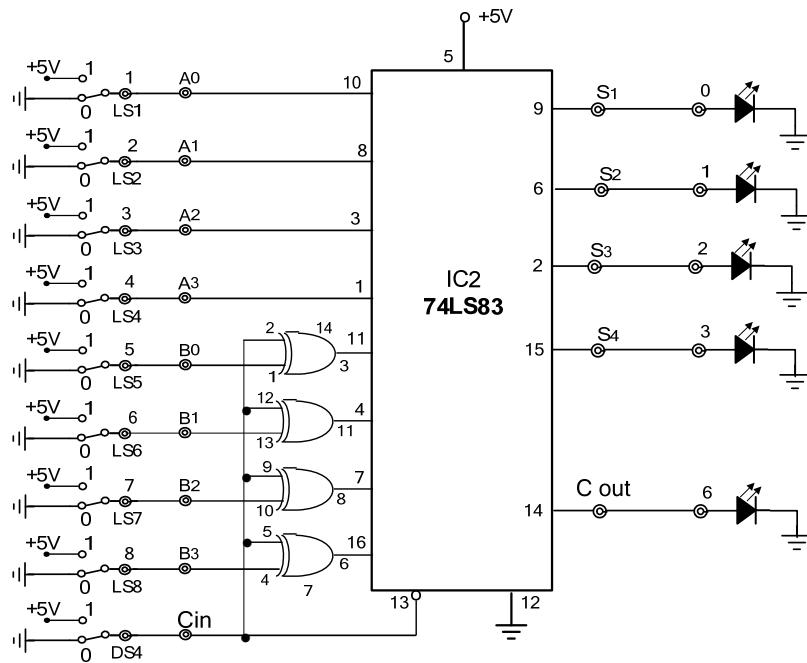
2.4. So sánh sơ đồ nguyên lý hình D4-2 với D4-1, bộ trừ thực chất là bộ cộng X1 với giá trị mã bù của Y1 (biến đổi giá trị của Y1: 0 → 1 và ngược lại 1 → 0 rồi cộng thêm 1). Hãy làm thử phép tính trừ nêu trên theo nguyên tắc này và so sánh kết quả thu được với giá trị đã tính.

3. Bộ cộng và trừ loại vi mạch

Tìm hiểu cấu trúc bộ lấy tổng đại số logic sử dụng vi mạch chuyên dụng.

Các bước thực hiện:

1. Cáp nguồn +5V cho mảng sơ đồ D4-3.



Hình D4-3: Bộ lấy tổng đại số 4 bit

2. Nối mạch của sơ đồ D4-3 với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA SWITCHES của DTLAB-201N.
 - Nối lối vào A0 với công tắc logic LS1.
 - Nối lối vào A1 với công tắc logic LS2.
 - Nối lối vào A2 với công tắc logic LS3.
 - Nối lối vào A3 với công tắc logic LS4.
 - Nối lối vào B0 với công tắc logic LS5.
 - Nối lối vào B1 với công tắc logic LS6.
 - Nối lối vào B2 với công tắc logic LS7.
 - Nối lối vào B3 với công tắc logic LS8.
 - Nối lối vào Cin với công tắc logic DS4.
- Lối ra (Output): Nối với LED của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.
 - Nối lối ra S0 với LED0.
 - Nối lối ra S1 với LED1.
 - Nối lối ra S2 với LED2.
 - Nối lối ra S3 với LED3.

- Nối lõi ra C4 với LED6.

3. Phép cộng 4 bit:

Đặt các công tắc logic LS1 ÷ LS8 và DS4 tương ứng với các trạng thái ghi trong bảng D4-4. Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt – mức ra là thấp (0). Ghi kết quả vào bảng D4-4.

Bảng D4-4

DS4 Cin	LỐI VÀO - Input				LỐI RA - Output				Số thập phân $A + B = S$					
	LS4 A3	LS3 A2	LS2 A1	LS1 A0	LS8 B3	LS7 B2	LS6 B1	LS5 B0		S3	S2	S1	S0	
0	1	0	1	0	1	0	1	0						
0	1	0	1	0	0	0	1	1						
0	1	1	1	1	0	1	1	0						
0	1	1	1	1	1	1	1	1						

3. Phép trừ 4 bit: Đặt các công tắc logic LS1 ÷ LS8 và DS4 tương ứng với các trạng thái ghi trong bảng D4-5. Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt – mức ra là thấp (0). Ghi kết quả vào bảng D4-5.

Bảng D4-5

DS4 Cin	LỐI VÀO - Input				LỐI RA - Output				Số thập phân $A - B = D$					
	LS4 A3	LS3 A2	LS2 A1	LS1 A0	LS8 B3	LS7 B2	LS6 B1	LS5 B0	$\bar{B}4$	D3	D2	D1	D0	
1	1	0	1	0	1	0	1	0						
1	1	0	1	0	0	0	1	1						
1	1	1	1	1	0	1	1	0						
1	1	1	1	1	1	1	1	1						
1	0	1	0	1	1	0	1	0						

So sánh kết quả thí nghiệm với tính toán theo cơ số 2 và cơ số 10.

BÀI 5

CÁC SƠ ĐỒ LOGIC CƠ BẢN (3)

CÁC BỘ PHÂN KÊNH VÀ HỢP KÊNH

Mục đích: Nghiên cứu chi tiết các sơ đồ logic của các bộ hợp kênh và phân kênh. Các ứng dụng của các mạch đó.

PHẦN 1: LÝ THUYẾT

5.1. Bộ hợp kênh (Multiplexer - MUX)

Bộ hợp kênh còn gọi là bộ đòn kênh, cũng được gọi là bộ chọn dữ liệu (Data Selector). Bộ hợp kênh thực hiện dưới dạng một mạng các cổng NORAND (hay ORAND). Chức năng logic cơ bản của bộ hợp kênh là dưới sự điều khiển của tín hiệu chọn (n đầu vào điều khiển) thực hiện chọn ra kênh nào đó (trong số 2^n kênh đầu vào) để nối thông tín hiệu đầu vào được chọn đến đầu ra.

Để người dùng không bị nhầm lẫn trong việc xác định địa chỉ kênh, các nhà sản xuất vi mạch đã dùng các chỉ số kênh 0, 1, 2, ... trùng với giá trị thập phân của tổ hợp nhị phân tương ứng của các lối vào điều khiển.

Hình 5.1 trình bày sơ đồ khối và sơ đồ logic của bộ hợp kênh 4 đầu vào và 1 đầu ra dữ liệu.

Trong hình 5.1b có $n = 2$ đầu vào điều khiển; D_3, D_2, D_1, D_0 là $2^n = 4$ đầu vào dữ liệu được chọn; Y là đầu ra và \bar{G} là đầu vào chọn chip (cho phép bộ hợp kên làm việc).

a) Sử dụng khai, b) Sử dụng logic

Trong mạch A, B, \overline{G} không lấy trực tiếp để điều khiển mà đều lấy qua các cổng NOT. Các cổng này đều có trở kháng lối vào lớn và trở kháng lối ra nhỏ, do đó cách mắc như vậy nhằm mục đích tăng khả năng tải của tín hiệu điều khiển.

Từ sơ đồ logic hình 5.1b ta viết hàm logic đầu ra:

$$Y = G.\overline{B}.\overline{A}D_0 + G.\overline{B}.AD_1 + G.B.\overline{A}D_2 + G.BAD_3 \quad (5.1)$$

$$= G(\overline{B}.\overline{A}D_0 + \overline{B}.AD_1 + B.\overline{A}D_2 + BAD_3)$$

Khi $\bar{G} = 1$ thì Y = 0 bộ hợp kênh bị cấm, nó không làm việc.

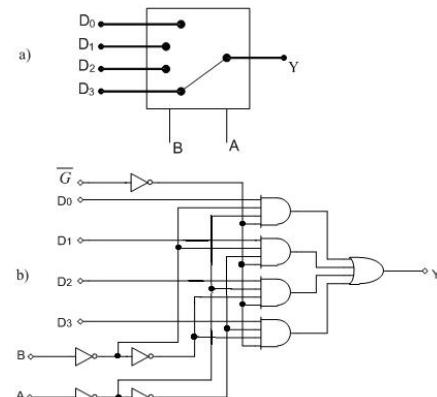
Khi $\bar{G} = 0$ thì $Y = \bar{B}_1 \bar{A} D_0 + \bar{B}_2 A D_1 + B_3 \bar{A} D_2 + B A D_3$

Kênh nào được chọn phụ thuộc vào tín hiệu chọn (tín hiệu đầu vào điều khiển)

Nếu $BA = 00$ thì $Y = D_0$

Nếu $BA \equiv 01$ thì $Y \equiv D_1$

Nếu $BA = 10$ thì $Y = D_2$



Hình 5.1. Bộ hợp kênh:

a) Sơ đồ khối, b) Sơ đồ logic

Nếu $BA = 11$ thì $Y = D_3$.

Bảng 5.1: Bảng chức năng của bộ hợp kên

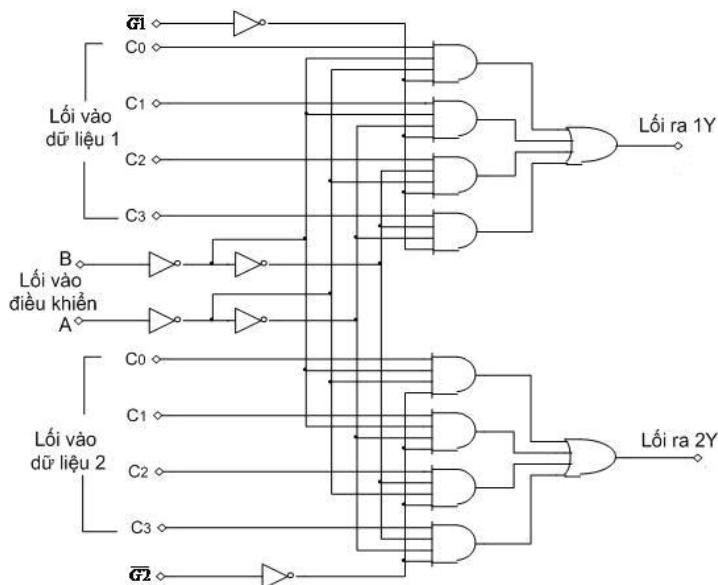
B	A	D ₃	D ₂	D ₁	D ₀	\bar{G}	Y
X	X	X	X	X	X	H	L
L	L	X	X	X	L	L	L
L	L	X	X	X	H	L	H
L	H	X	X	L	X	L	L
L	H	X	X	H	X	L	H
H	L	X	L	X	X	L	L
H	L	X	H	X	X	L	H
H	H	L	X	X	X	L	L
H	H	H	X	X	X	L	H

Có thể rút gọn bảng 5.1 thành dạng đơn giản như bảng 5.2.

Bảng 5.2. Bảng chức năng rút gọn của bộ hợp kên

B	A	\bar{G}	Y
X	X	H	L
L	L	L	D ₀
L	H	L	D ₁
H	L	L	D ₂
H	H	L	D ₃

Ở đây: X là tín hiệu đưa tới các lối vào ứng với giá trị bất kỳ có thể L hoặc H. Trong thực tế người ta chế tạo các bộ hợp kên có 4, 8 hoặc 16 đầu vào dữ liệu. Hình 5.2 trình bày sơ đồ logic của vi mạch 74LS153. Trong vi mạch gồm 2 bộ hợp kên có 4 đường vào dữ liệu, kí hiệu là C₀, C₁, C₂, C₃ và một đường ra Y. Cả hai bộ hợp kên đều có chung 2 lối vào điều khiển A, B, mỗi bộ hợp kên đều có đầu vào cho phép \bar{G} riêng. Mạch thuộc họ logic TTL, chân 16 là nguồn nuôi V_{CC}: + 5V, chân 8 là đất (GND): 0V.



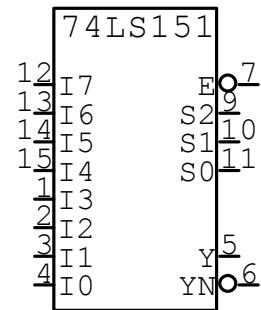
Hình 5.2. Sơ đồ logic của bộ hợp kên (4:1)

Vì mạch 74150 có ký hiệu logic trên hình 5.3 là bộ hợp kênh có 16 đường vào dữ liệu và 4 đường vào điều khiển chọn kênh A, B, C, D và một lối vào cho phép \bar{G} . Lối ra dữ liệu ký hiệu là W.

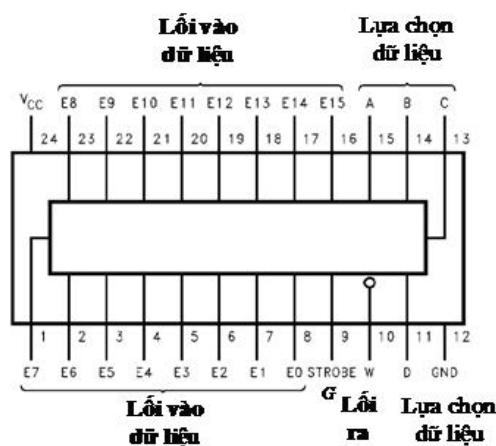
IC 74151 là bộ hợp kênh 8 đường có hai lối ra Y và \bar{Y} là đảo của Y.

Mạch có 8 đường vào dữ liệu D_0, D_1, \dots, D_7 ; 3 lối vào điều khiển A, B, C. Ký hiệu của bộ hợp kênh 74151 được trình bày trên hình 5.4.

Bảng chức năng của bộ hợp kênh này trình bày trên bảng 5.3.



Hình 5.4: Ký hiệu logic của bộ hợp kênh 8 đường: 74151



Hình 5.3. Ký hiệu logic của bộ hợp kênh

Bảng 5.3. Bảng chức năng của bộ hợp kênh 74151

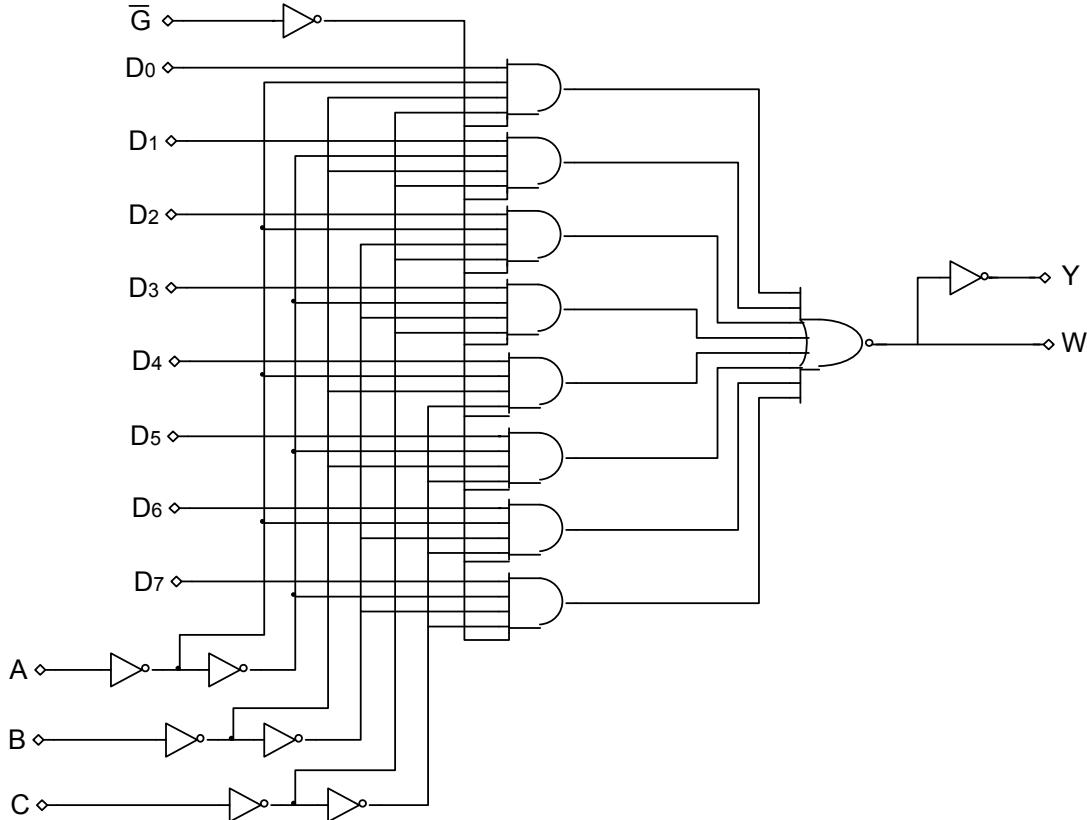
Lối vào điều khiển			Cho phép	Lối ra	Lối ra
C	B	A	\bar{G}	Y	$W = \bar{Y}$
L	L	L	L	D_0	\bar{D}_0
L	L	H	L	D_1	\bar{D}_1
L	H	L	L	D_2	\bar{D}_2
L	H	H	L	D_3	\bar{D}_3
H	L	L	L	D_4	\bar{D}_4
H	L	H	L	D_5	\bar{D}_5
H	H	L	L	D_6	\bar{D}_6
H	H	H	L	D_7	\bar{D}_7
X	X	X	H	L	H

Từ bảng chức năng ta suy ra bảng chân lý với cách chọn mức thấp L là 0, mức cao H là 1 và có thể suy ra biểu thức logic sau:

$$Y = G(\bar{A} \cdot \bar{B} \bar{C} D_0 + A \cdot \bar{B} \bar{C} D_1 + \bar{A} \cdot \bar{B} \bar{C} D_2 + A \cdot \bar{B} \bar{C} D_3 + \bar{A} \cdot \bar{B} C D_4 + A \bar{B} C D_5 + \bar{A} B C D_6 + A B C D_7)$$

$$W = \bar{Y}$$
(5-2)

Từ biểu thức logic 5.2 có sơ đồ logic của bộ hợp kênh trên hình 5.5.



Hình 5.5: Sơ đồ logic của bộ hợp kênh 8 đường 74151

5.2. Bộ phân kênh (Demultiplexer: DMUX)

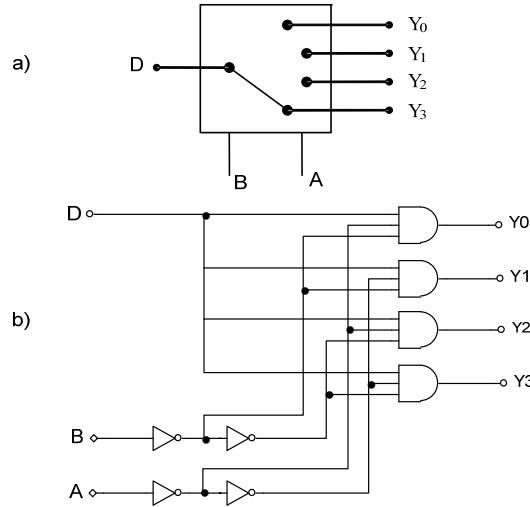
Bộ phân kênh là một mạch logic tổ hợp có một đường vào và nhiều đường ra dữ liệu. Khác với bộ hợp kênh, bộ phân kênh làm chức năng chọn, truyền dữ liệu từ một đường vào dữ liệu đến các đường ra riêng biệt. Cũng giống bộ hợp kênh, bộ phân kênh cũng có các đường vào điều khiển (n đường) chọn lối ra (2^n đầu ra).

Lối vào được nối với lối ra nào là tùy theo tổ hợp giá trị của các lối vào điều khiển.

Sơ đồ khái mô tả chức năng của bộ phân kênh một lối vào, 4 lối ra được trình bày trên hình 5.6a.

Từ sơ đồ khái hình 5.6a ta thấy bộ phân kênh này có hai lối vào điều khiển là A, B một lối vào dữ liệu D và 4 lối ra dữ liệu được ký hiệu là Y₀, Y₁, Y₂, Y₃.

Ta có thể lập bảng chân lý biểu diễn sự hoạt động của bộ phân kênh trên như bảng 5.4



Hình 5.6: a) Sơ đồ khối b) Sơ đồ logic của bộ phân kênh 1 lối vào và 4 lối ra dữ liệu

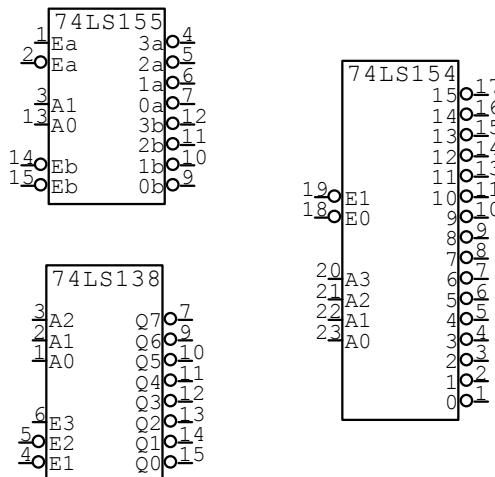
Bảng 5.4. Bảng chân lý của bộ phân kênh một đường vào và 4 đường ra dữ liệu.

B	A	Y ₀	Y ₁	Y ₂	Y ₃
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

Từ bảng chân lý 5.4 ta có các biểu thức logic của bộ phân kênh như sau:

$$\left. \begin{array}{l} Y_0 = \bar{A}\bar{B}D \\ Y_1 = A\bar{B}D \\ Y_2 = \bar{A}BD \\ Y_3 = ABD \end{array} \right\} \quad (5-3)$$

Từ biểu thức logic ta có thể xây dựng sơ đồ logic của bộ phân kênh như hình 5.6b. Hình 5.7 là các ký hiệu của các vi mạch phân kênh thường gặp trong thực tế.



Hình 5.7: Ký hiệu logic của các bộ phân kênh

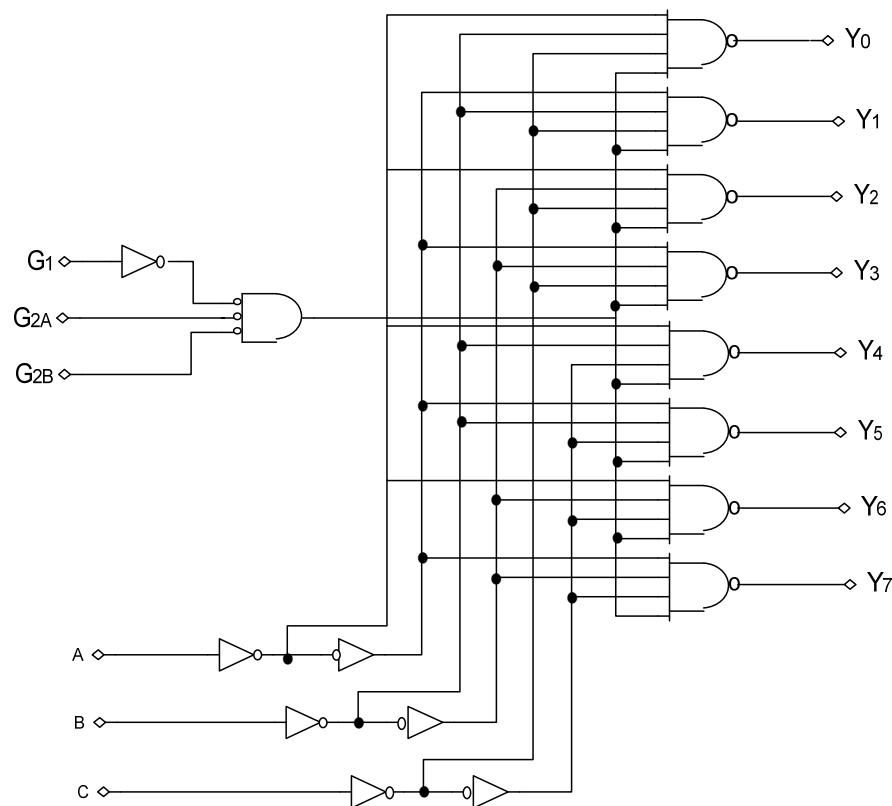
IC 74LS155 gồm 2 bộ phân kênh một lối vào, 4 lối ra dữ liệu. Hai lối vào điều khiển chọn kênh A, B được dùng chung cho cả hai bộ phân kênh.

IC 74LS154 là bộ phân kênh một đường vào, 16 đường ra dữ liệu.

IC 74LS138 là bộ phân kênh một đường vào, 8 đường ra dữ liệu.

Hình 5.8 trình bày sơ đồ logic của bộ phân kênh 74LS138.

Mạch có thể dùng như bộ phân kênh một đường vào, 8 đường ra dữ liệu Y_0, Y_1, \dots, Y_7 . Khi dùng IC 74LS138 làm bộ phân kênh thì các lối vào cho phép G_1, G_{2A}, G_{2B} dùng làm lối vào dữ liệu.



Hình 5.8: Sơ đồ logic của mạch giải mã, phân kênh 74LS138

PHẦN 2: THỰC NGHIỆM

1. Bộ chuyển mạch hợp kênh và phân kênh (Multiplexer & Demultiplexer)

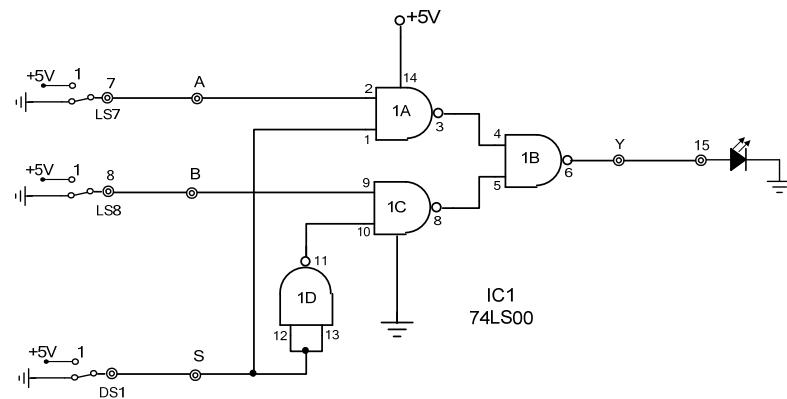
Nhiệm vụ:

Tìm hiểu việc nối kênh từ phía nhiều đường sang phía ít đường (hợp kênh) theo địa chỉ chọn lựa.

Các bước thực hiện:

1.1. Cấp nguồn +5V cho mảng sơ đồ D5-1.

1.2. Bộ hợp kênh 1 bit (2:1) dùng công logic: Hình D5.1a



Hình D5.1a: Bộ hợp kênh 1 bit (2:1) dùng công logic

1.2.1. Nối mạch của sơ đồ D5-1a (IC1) với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201N
 - Nối lối vào A với công tắc logic LS7.
 - Nối lối vào B với công tắc logic LS8.
 - Nối lối vào S (chọn kênh) với chốt TTL/ công tắc logic DS1.
- Lối ra (Output): Nối với LED của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.
 - Nối lối ra Y với LED15.

1.2.2. Đặt các công tắc logic LS7 ÷ LS8 và DS1 tương ứng với các trạng thái ghi trong bảng D5-1.

Bảng D5-1

LỐI VÀO - Input			LỐI RA - Output	
LS7 A	LS8 B	DS1 S	Trạng thái Y	Ký hiệu theo lối vào (A/B)
1	0	0		
1	0	1		
0	1	0		
0	1	1		
1	1	0		
1	1	1		

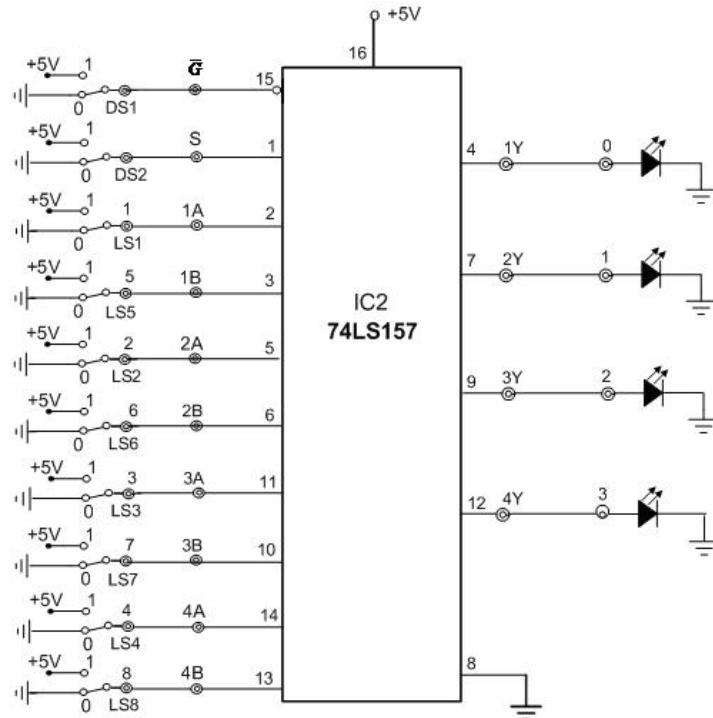
Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt mức ra là thấp (0). Ghi kết quả vào bảng D5-1, trong đó cột trạng thái ghi 0 hoặc 1 theo chỉ thị của LED tương ứng.

Căn cứ nguyên lý hoạt động của sơ đồ, ghi mã kênh vào A hoặc B vào cột ký hiệu theo lối vào. Kiểm tra sự trùng hợp giá trị trạng thái theo các hàng tương ứng của cột.

1.3. Bộ hợp kênh 4 bit (2:1) dùng vi mạch chuyên dụng: Hình D5.1b.

1.3.1. Nối mạch của sơ đồ D5-1b (IC2) với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201N
 - Nối lối vào 1A với công tắc logic LS1.
 - Nối lối vào 2A với công tắc logic LS2.
 - Nối lối vào 3A với công tắc logic LS3.
 - Nối lối vào 4A với công tắc logic LS4.
 - Nối lối vào 1B với công tắc logic LS5.
 - Nối lối vào 2B với công tắc logic LS6.
 - Nối lối vào 3B với công tắc logic LS7.
 - Nối lối vào 4B với công tắc logic LS8.
 - Nối lối vào \bar{G} với chốt TTL/ công tắc logic DS1
 - Nối lối vào S (chọn kênh) với chốt TTL/ công tắc logic DS2.



Hình D5-1b: Bộ hợp kênh 4 bit (2:1) sử dụng vi mạch

- Lối ra (Output): Nối với LED của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.

- Nối lối ra 1Y với LED0.
- Nối lối ra 2Y với LED1.
- Nối lối ra 3Y với LED2.
- Nối lối ra 4Y với LED3.

1.3.2. Đặt các công tắc logic LS7 ÷ LS8, DS1 và DS2 tương ứng với các trạng thái ghi trong bảng D5-2.

Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), Đèn LED tắt mức ra là thấp (0). Ghi kết quả vào bảng D5-2, trong đó cột trạng thái ghi 0 hoặc 1 theo chỉ thị của LED tương ứng.

Bảng D5-2

LỐI VÀO - Input						LỐI RA - Output				Trạng thái	Ký hiệu theo lối vào A/B		
\bar{G}	S	1A	2A	3A	4A	1B	2B	3B	4B				
1	x	x	x	x	x	x	x	x	x				
0	0	1	1	1	1	0	0	0	0				
0	1	0	0	0	0	1	1	1	1				

*x: giá trị bất kỳ

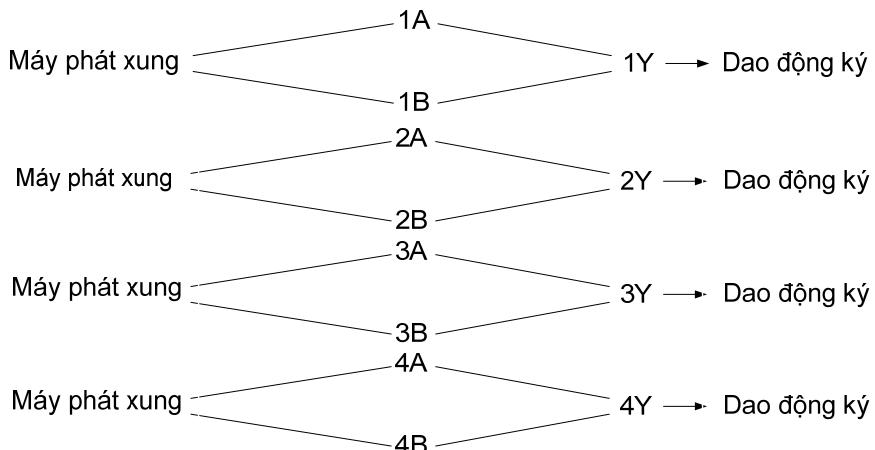
1.3.3. Đặt máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201 ở chế độ phát với tần số 10 KHz. Sử dụng lối ra TTL của máy phát xung cho thí nghiệm.

1.3.4. Đặt thang đo thế lối vào của dao động ký ở 2V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm.

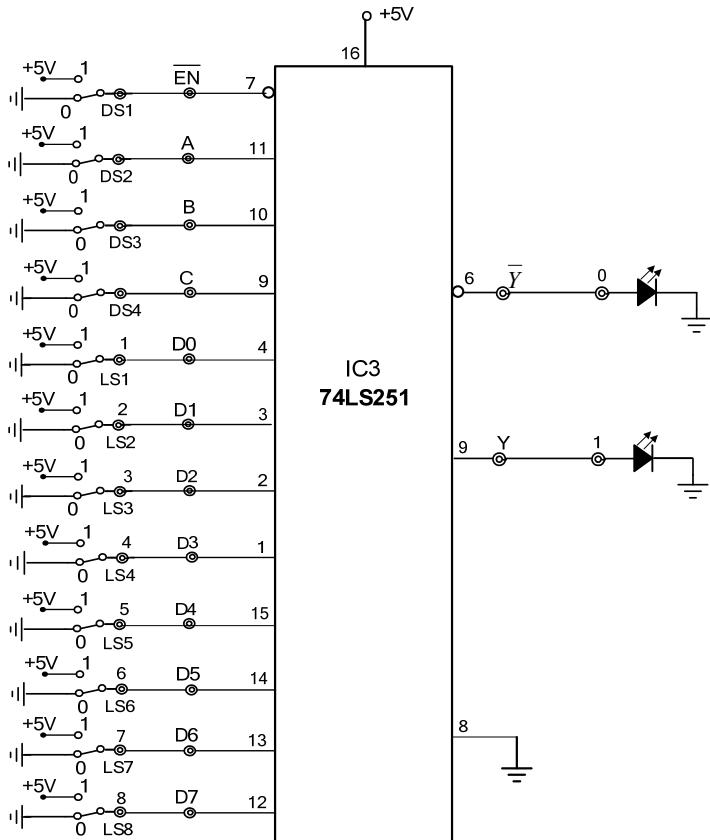
Chỉnh cho cả 2 tia nằm giữa khoảng phản trên và phản dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để tia dịch theo chiều X và Y về vị trí dễ quan sát.

1.3.5. Sử dụng dao động ký và máy phát để dò kênh. Nối máy phát xung lần lượt cho từng cặp lối vào A, B và nối kênh 1 dao động ký với lối ra tương ứng theo sơ đồ:



Xác định xem lõi ra Y có xung khi máy phát đang nối với kênh nào (A hay B), tương ứng với giá trị S, ghi kết quả vào cột lõi ra ký hiệu theo lõi vào (A hoặc B).

1.4. Bộ hợp kênh (8:1) dùng vi mạch chuyên dụng: Hình D5.1c



Hình D5-1c: Bộ hợp kênh (8: 1) sử dụng vi mạch chuyên dụng

1.4.1. Nối mạch của sơ đồ D5-1c (IC3) với các mạch của DTLAB-201N như sau:

- Lõi vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201N
 - Nối lõi vào \overline{EN} với chốt DS1.
 - Nối lõi vào A với chốt TTL/ DS2.
 - Nối lõi vào B với chốt TTL/ DS3.
 - Nối lõi vào C với chốt TTL/ DS4

1.4.2. Đặt máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201 ở chế độ phát với tần số 10 KHz. Sử dụng lõi ra TTL của máy phát xung cho thí nghiệm.

1.4.3. Đặt thang đo thế lõi vào của dao động ký ở 2V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm.

Chỉnh cho cả 2 tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để tia dịch theo chiều X và Y về vị trí dễ quan sát.

Nối kênh 2 dao động ký với lõi ra Y, còn kênh 1 nối với lõi vào D0 ÷ D7. Thực hiện tương tự như 1.3.5.

1.4.4. Đặt các công tắc logic DS1÷DS4 theo bảng D5-3, LS1 = 1, các LS2÷ 8 = 0. Tại mỗi lần đặt, ghi trạng thái lối ra Y theo đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), Đèn LED tắt mức ra là thấp (0).

Bảng D5-3

EN	A	B	C	LS1 - D0	Y
1	x	x	x	1	
0	0	0	0	1	
0	0	0	1	1	
0	0	1	0	1	
0	0	1	1	1	
0	1	0	0	1	
0	1	0	1	1	
0	1	1	0	1	
0	1	1	1	1	

* x : giá trị bất kỳ.

1.4.5. Làm tương tự như bước 1.4.4, khi lần lượt đặt từng công tắc logic LS2÷LS8 = 1, các công tắc còn lại = 0.

2. Bộ chuyên mạch phân kênh (Demultiplexer)

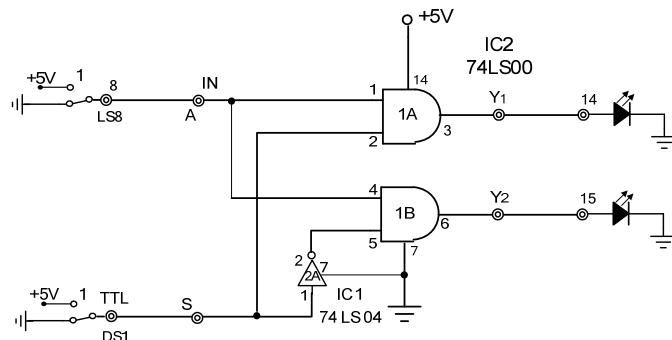
Nhiệm vụ:

Tìm hiểu việc nối kênh từ phía ít đường sang phía nhiều đường (phân kênh) theo địa chỉ chọn lựa.

Các bước thực hiện:

2.1. Cấp nguồn +5V cho mảng sơ đồ D5-2a.

2.2. Bộ phân kênh 1 bit (1:2) dùng cổng logic: Hình D5.2a



Hình D5-2a: Bộ phân kênh (1 : 2) dùng cổng logic

2.2.1. Nối mạch của sơ đồ D5-2a (IC1) với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201N
- Nối lối vào A với công tắc logic LS8.
- Nối lối vào S (chọn kênh) với chốt TTL/ công tắc logic DS1.

- Lối ra (Output): Nối với LED của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.

- Nối lối ra Y1 với LED14.
- Nối lối ra Y2 với LED15.

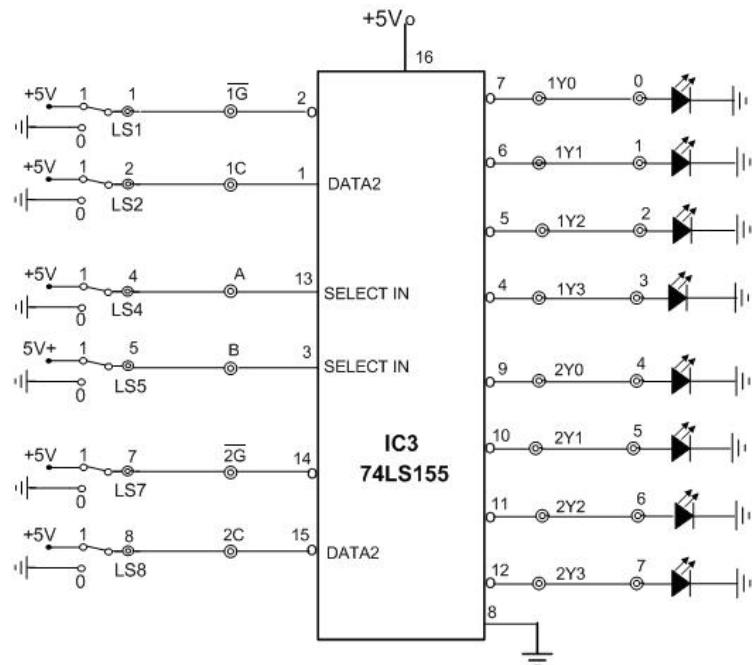
2.2.2. Đặt các công tắc logic LS8 và DS1 tương ứng với các trạng thái ghi trong bảng D5-4. Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt mức ra là thấp (0). Ghi kết quả vào bảng D5-4, trong đó cột trạng thái ghi 0 hoặc 1 theo chỉ thị của LED tương ứng.

Căn cứ nguyên lý hoạt động của sơ đồ, ghi tên mã lối vào A cho kênh Y1 hoặc Y2 vào cột kí hiệu theo lối vào. Kiểm tra sự trùng hợp giá trị trạng thái theo các hàng tương ứng của cột.

Bảng D5-4

LỐI VÀO - Input		LỐI RA - Output			
LS8 A	DS1 S	Trạng thái Y ₁	Ký hiệu Y ₁	Trạng thái Y ₂	Ký hiệu Y ₂
1	1				
1	0				

2.3. Bộ phân kênh (2 : 4) dùng vi mạch chuyên dụng: Hình D5.2b



Hình D5-2b: Bộ phân kênh (2 : 4) sử dụng vi mạch

2.3.1. Nối mạch của sơ đồ D5-2b (IC3) với các mạch của DTLAB-201N như sau:

- Lối vào (Input): nối với bộ công tắc DATA & SWITCHES của DTLAB-201N
- Nối lối vào $\overline{1G}$ với công tắc logic LS1.

- Nối lõi vào 1C với công tắc logic LS2.
- Nối lõi vào A với công tắc logic LS4.
- Nối lõi vào B với công tắc logic LS5.
- Nối lõi vào $\overline{2G}$ với công tắc logic LS7.
- Nối lõi vào 2C với công tắc logic LS8.
- Nối các lõi ra 1Y0 ÷ 1Y3, 2Y0 ÷ 2Y3 tương ứng với LED0 ÷ LED7.

2.3.2. Đặt các công tắc logic LS1÷LS8, theo bảng D5-5. Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), Đèn LED tắt mức ra là thấp (0). Ghi kết quả vào bảng D5-5, trong đó cột trạng thái ghi 0 hoặc 1 theo chỉ thị của LED tương ứng.

Bảng D5-5

B	A	$\overline{1G}$	1C	1Y0	1Y1	1Y2	1Y3
x	x	1	x				
0	0	0	1				
0	1	0	1				
1	0	0	1				
1	1	0	1				
x	x	x	0				

B	A	$\overline{2G}$	2C	2Y0	2Y1	2Y2	2Y3
x	x	1	x				
0	0	0	0				
0	1	0	0				
1	0	0	0				
1	1	0	0				
x	x	x	1				

* x: giá trị bất kỳ

3. Bộ chuyển mạch tương tự 8-1 với điều khiển theo mã nhị phân

Nhiệm vụ:

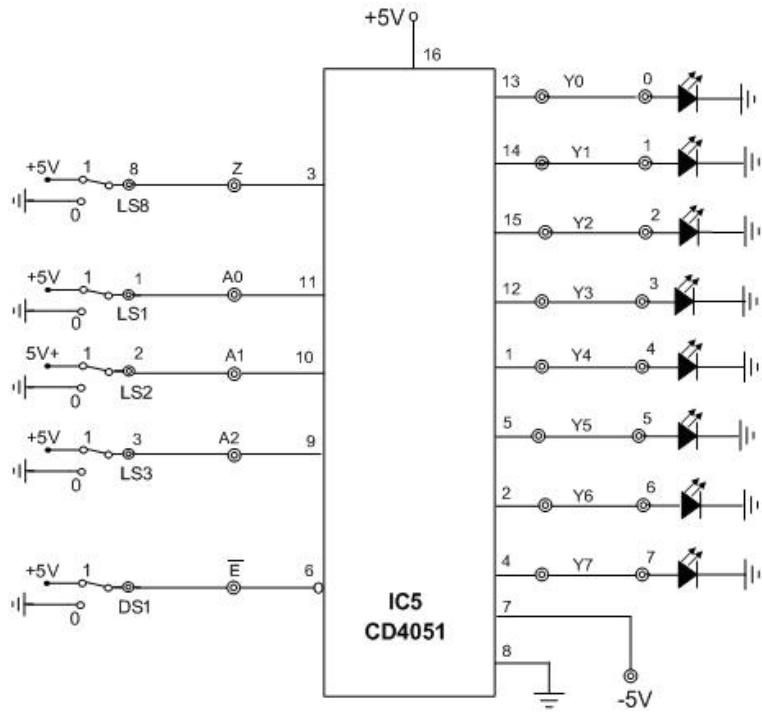
Tìm hiểu bộ chuyển mạch truyền giá trị tương tự sử dụng với điều khiển số.

Các bước thực hiện:

3.1. Cáp nguồn $\pm 5V$ cho mảng sơ đồ D5-3

3.2 Nối các lõi vào IC5 hình D5-3 với bộ công tắc DATA & SWITCHES của DTLAB-201N.

- A0 nối với LS1.
- A1 nối với LS2.
- A2 nối với LS3.
- \overline{E} (cho phép) nối với DS1.



Hình 5.3: Chuyển mạch tương tự 8:1

- Z (đầu chung) nối với LS8.
- Lối ra (Output): Nối với LED của bộ chỉ thị logic (LOGIC INDICATORS) của DTLAB-201N.
 - Nối lối ra Y0 với LED0.
 - Nối lối ra Y1 với LED1.
 - Nối lối ra Y2 với LED2.
 - Nối lối ra Y3 với LED3.
 - Nối lối ra Y4 với LED4.
 - Nối lối ra Y5 với LED5.
 - Nối lối ra Y6 với LED6.
 - Nối lối ra Y7 với LED7.

3.3. Đặt các công tắc logic câu hình bảng D5-6. Thay đổi Z (LS8) ở 2 giá trị 0 và 1. Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), Đèn LED tắt mức ra là thấp (0). Ghi kết quả vào bảng D5-6, trong đó cột trạng thái ghi 0 hoặc 1 theo chỉ thị của LED tương ứng.

Bảng D5-6

DS1 \bar{E}	LS3 A2	LS2 A1	LS1 A0	LS8 Z	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
1	x	x	x									
0	0	0	0									
0	0	0	1									
0	0	1	0									
0	0	1	1									
0	1	0	0									
0	1	0	1									
0	1	1	0									
0	1	1	1									

3.4. Đổi chỗ lối vào và lối ra của IC5 hình D5-3. Khảo sát IC5 làm nhiệm vụ hợp kênh.

BÀI 6

SƠ ĐỒ TRIGGER VÀ BỘ GHI

Mục đích: Khảo sát các loại trigger, các mạch ứng dụng của chúng.

PHẦN 1: LÝ THUYẾT

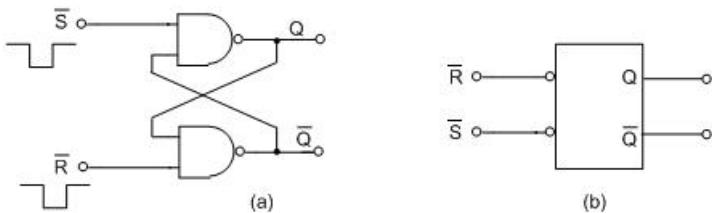
6.1. Một số cấu trúc thường gặp của trigger

Trigger trong tiếng anh còn gọi là Flip – Flop viết tắt là FF. Nó là một phần tử nhớ có hai trạng thái cân bằng ổn định tương ứng với hai mức logic 1 và 0. Khi ta tác dụng một tín hiệu tới lối vào có cực tính và biên độ thích hợp, trigger có thể chuyển về một trong hai trạng thái cân bằng, và giữ nguyên trạng thái đó chừng nào chưa có tín hiệu tác dụng làm thay đổi trạng thái của nó. Trạng thái tiếp theo của trigger không những phụ thuộc vào tín hiệu lối vào mà còn phụ thuộc vào trạng thái hiện tại của nó. Như vậy nó có tính chất nhớ và nó được sử dụng làm các phần tử nhớ. Trigger được tạo thành từ các phần tử logic cơ bản. Sau đây chúng ta khảo sát một số trigger điển hình.

6.1.1. Trigger RS cơ bản

1. Cấu trúc mạch và kí hiệu

Hình 6.1 trình bày sơ đồ logic và kí hiệu logic của Trigger RS cơ bản.



Hình 6.1: Sơ đồ Trigger RS cơ bản (a); Kí hiệu logic (b)

Mạch điện gồm hai cổng NAND ghép nối chéo. \bar{R} , \bar{S} là các tín hiệu đầu vào, dấu gạch ngang trên kí tự, biểu thị tín hiệu tích cực ở mức thấp (một khuyên tròn trên kí hiệu logic biểu thị điều đó). Q và \bar{Q} biểu thị trạng thái của trigger đồng thời cũng biểu thị đầu ra.

2. Nguyên tắc hoạt động

Khi không có tín hiệu, tức là $\bar{R} = \bar{S} = 1$, mạch có hai trạng thái ổn định $Q = 0$ và $\bar{Q} = 1$ hoặc $Q = 1$ và $\bar{Q} = 0$. Đầu ra của cổng này được nối trực tiếp với đầu vào của cổng kia, mạch có hồi tiếp dương, do đó mạch hoàn toàn duy trì trạng thái hiện có.

Giả sử trigger có trạng thái $Q = 0$ và $\bar{Q} = 1$, ta đưa một xung âm vào đầu \bar{S} mạch chuyển nhanh sang trạng thái $Q = 1$, $\bar{Q} = 0$, và tự động duy trì ở trạng thái này. Vì thế xung âm đầu vào gọi là xung kích.

Giả sử trigger có trạng thái $Q = 1$, $\bar{Q} = 0$, ta đưa một xung âm vào đầu \bar{R} mạch chuyển nhanh sang trạng thái $Q = 0$, $\bar{Q} = 1$.

Vì tín hiệu ở đầu vào \bar{S} có thể và chỉ có thể thiết lập trigger ở trạng thái $Q = 1$, tín hiệu ở đầu vào \bar{R} có thể và chỉ có thể xóa trigger vì trạng thái $Q = 0$, nên thường gọi \bar{S} là đầu vào đặt (Set) và đầu ra \bar{R} là đầu vào xóa (Reset).

Mạch không cho phép đồng thời đưa tín hiệu vào cả \bar{R} và \bar{S} , tức là trạng thái $\bar{R} = \bar{S} = 0$ bị cấm. Vì nếu $\bar{R} = \bar{S} = 0$ thì Q, Q' đồng thời bằng 1, không phải là trạng thái ổn định của trigger RS, và không thể xác định trạng thái trước của nó.

Bảng 6.1 là bảng chân lí của trigger RS, kí hiệu Q^n là trạng thái trước khi tiếp thu tín hiệu.

Bảng 6.1: Bảng chân lí của FF – RS

Q^n	\bar{R}	\bar{S}	Q^{n+1}
0	0	0	x
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	X
1	0	1	0
1	1	0	1
1	1	1	1

Trong bảng chân lí hai trạng thái $Q^n \bar{R} \bar{S} = 000, 100$ bị cấm tương ứng đánh dấu chéo (x) ở cột Q^{n+1} , trong khi tối thiểu hóa có thể tùy chọn giá trị 0 hoặc 1 nhằm mục đích biểu thức logic tối giản hơn.

Chúng ta có thể xem Q^n, \bar{R}, \bar{S} là biến của hàm logic Q^{n+1} . Căn cứ vào bảng Karnaugh hình 6.2 ta có:

$$Q^{n+1} = S + \bar{R} Q^n \quad (6-1)$$

$\bar{R} = \bar{S} = 0$ là trạng thái cấm.

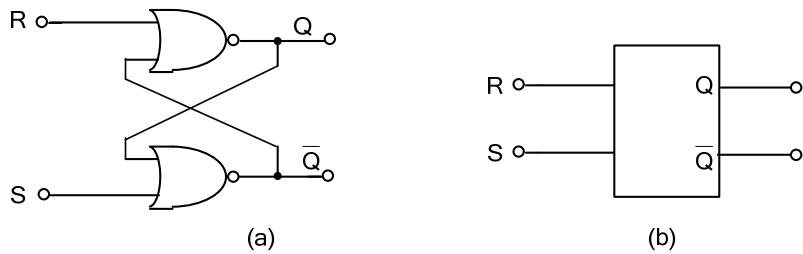
Hình 6.2 trình bày bảng Karnaugh của Q^{n+1}

		\bar{R}	\bar{S}	
		00	01	11
Q^n	0	X	0	0
	1	X	0	1

Hình 6.2: Bảng Karnaugh của Q^{n+1}

3. Trigger RS cơ bản dùng cổng NOR

Hình 6.3 trình bày sơ đồ, kí hiệu logic của FF – RS dùng cổng NOR



Hình 6.3: Trigger RS cơ bản dùng cổng NOR

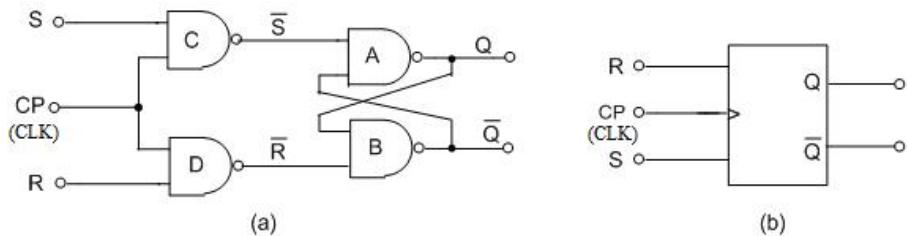
So sánh với Trigger dùng cổng NAND, Trigger dùng cổng NOR có khác biệt: Các đầu vào R, S ở mức cao biểu thị có tín hiệu, ở mức thấp biểu thị không có tín hiệu. Khi $R = S = 1$ thì Q, \bar{Q} đồng thời bằng 0, đó là trạng thái cấm.

Đặc điểm của Trigger cơ bản:

- **Ưu điểm:** Mạch đơn giản, có thể nhớ 1 bit, là cơ sở để cấu trúc các Trigger hoàn hảo hơn.
- **Nhược điểm:** Tín hiệu trực tiếp điều khiển trạng thái đầu ra, ứng dụng bị hạn chế, tín hiệu vào ràng buộc lẫn nhau, không ở trạng thái cấm.

6.1.2. Trigger RS đồng bộ

1. Cấu trúc và nguyên lý hoạt động



Hình 6.4: Trigger RS đồng bộ. Sơ đồ logic (a); Kí hiệu logic (b)

Để khắc phục nhược điểm của loại trigger RS cơ bản là trực tiếp điều khiển, người ta thêm vào 2 cổng điều khiển và một tín hiệu điều khiển, đó chính là trigger RS đồng bộ được trình bày ở hình 6.4.

Các cổng A, B làm thành trigger cơ bản, các cổng C, D là cổng điều khiển, CP là tín hiệu điều khiển, thường dùng xung đồng hồ clk (clock), trong kí hiệu logic đầu CP có dấu $>$, tín hiệu này tích cực với sườn dương của xung.

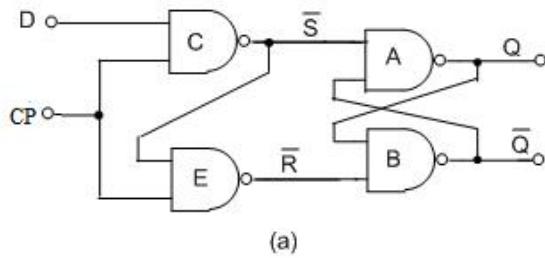
Nguyên lý hoạt động:

Khi $CP = 0$ các cổng C, D bị ngắt, trigger RS cơ bản không tiếp thu tín hiệu vào, mạch được duy trì trạng thái cũ. Khi $CP = 1$ các cổng C, D thông, mạch sẵn sàng tiếp thu tín hiệu vào R, S.

Nguyên lý hoạt động trigger RS đồng bộ cũng giống như trigger RS cơ bản, chăng qua chúng chỉ khác là chỉ tiếp nhận tín hiệu đầu vào R, S khi $CP = 1$. Vì lí do đó nên gọi là trigger RS đồng bộ.

2. Mạch chốt D (trigger D)

Hình 6.5 là sơ đồ logic mạch chốt D, tạo nên từ trigger RS đồng bộ, nhằm giải quyết vấn đề ràng buộc lẫn nhau của tín hiệu đầu vào R, S.



Hình 6.5: Sơ đồ mạch chốt

Đầu ra cổng C được nối với đầu vào cổng A, E. Khi $CP = 0$ cổng C, E ngắt, nên trigger duy trì trạng thái cũ.

Khi $CP = 1$, nếu $D = 0$, thì $\bar{S} = 1$, $\bar{R} = 0$, trigger ở trạng thái 0, $Q = 0$, $\bar{Q} = 1$.

Khi $CP = 1$, nếu $D = 1$, thì $\bar{S} = 0$, $\bar{R} = 1$, trigger ở trạng thái 1, $Q = 1$, $\bar{Q} = 0$. Như vậy $CP = 1$, D ở mức nào thì Q ở mức đó. Phương trình đặc trưng của mạch chốt trigger D là:

$$Q^{n+1} = D, \text{ điều kiện } CP = 1 \quad (6.2)$$

3. Đặc điểm của Trigger RS đồng bộ

- Ưu điểm: Điều khiển chọn mở mạch, trigger chỉ tiếp thu tín hiệu vào khi $CP = 1$.

- Nhược điểm: Trong thời gian $CP = 1$, tín hiệu vào vẫn trực tiếp điều khiển trạng thái đầu ra của trigger.

6.1.3 Trigger RS Master Slave (chủ tớ)

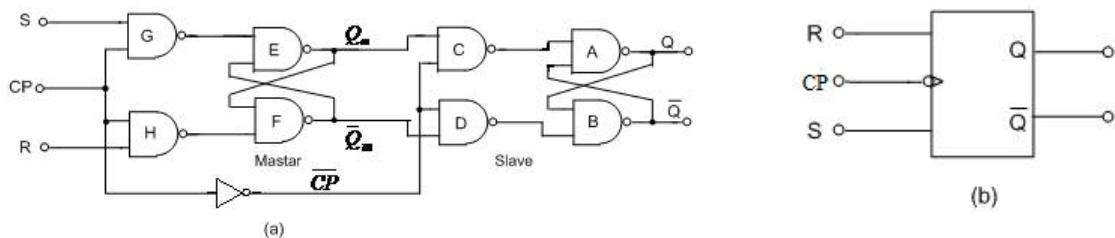
Mạch này giải quyết triệt để vấn đề trực tiếp điều khiển, đó là nhược điểm của các loại trigger trên.

1. Cấu trúc mạch và nguyên lý hoạt động.

Hình 6.6 là sơ đồ của trigger RS master Slave gồm 2 trigger RS cơ bản ghép liên tiếp với nhau, một là trigger RS Master (trigger chủ), một là trigger RS Slave (trigger tớ), xung đồng hồ cung cấp cho chúng là đảo nhau (qua mạch đảo).

Nguyên lý hoạt động:

a) Khi $CP = 0$ cổng G, H ngắt nên FF Master ngắt, $\bar{CP} = 1$ cổng C, D thông, nó tiếp thu tín hiệu đầu ra Master do đó $Q = Q^m$, $\bar{Q} = \bar{Q}_m$



Hình 6.6: Trigger RS master Slave. Sơ đồ logic (a); Kí hiệu logic (b)

b) Sau đợt biến sườn dương CP

$CP = 1$, trigger Master thông qua các cổng G, H tiếp nhận tín hiệu đầu vào, do đó

$$Q_m^{n+1} = S + \bar{R}.Q_m^n$$

Với điều kiện S, R không đồng thời bằng không.

Khi CP = 1 thì $\overline{CP} = 0$, trigger Slave ngắt đầu ra Q và \overline{Q} vẫn duy trì trạng thái cũ.

c) Khi có sùn âm của CP

CP đột biến xuống 0, Trigger Master ngắt, khi đó \overline{CP} đột biến lên 1, Trigger Slave tiếp nhận tín hiệu đã được trigger Master ghi nhớ từ thời gian CP = 1, nghĩa là trigger Slave chuyển đổi trạng thái theo biểu thức logic:

$$Q^{n+1} = S + \overline{R}Q^n \quad (6-3)$$

Với điều kiện đã xuất hiện sùn âm của xung đồng hồ CP.

Như vậy trigger Master Slave đã giải quyết triệt để vấn đề trực tiếp điều khiển. Trạng thái đầu ra không chịu ảnh hưởng trực tiếp của các đầu vào R, S. Đầu vào CP trong kí hiệu logic (hình 6.6b) có dấu $-o|>$ biểu thị tính tích cực của tín hiệu CP là sùn âm của nó.

2. Đặc điểm cơ bản

- Ưu điểm: Cấu trúc điều khiển Master Slave đã giải quyết vấn đề trực tiếp điều khiển, trong khi CP = 1 tiếp thu tín hiệu, sùn âm của CP kích thích chuyển trạng thái đầu ra.

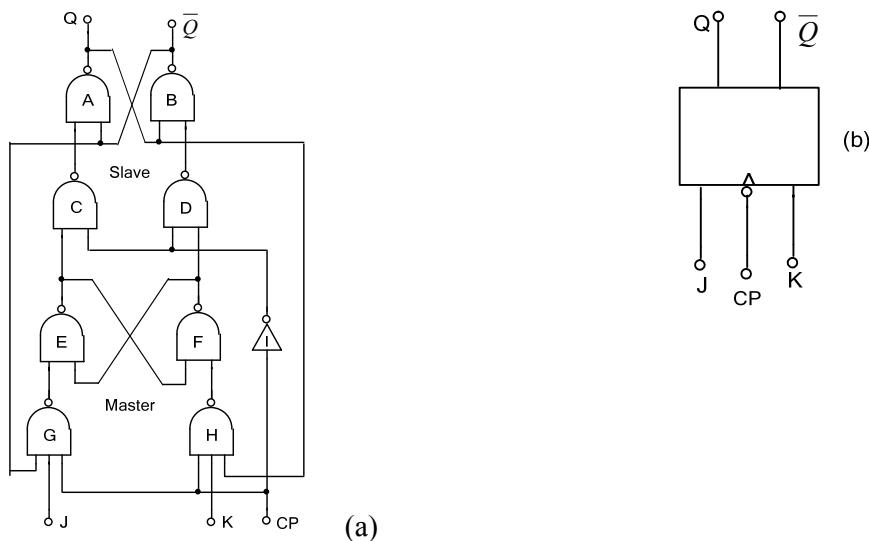
- Nhược điểm: Vẫn còn ràng buộc giữa R và S khi CP = 1.

6.1.4. Trigger JK Master Slave

1. Cấu trúc mạch và nguyên lý hoạt động

Loại trigger RS master Slave được trình bày trên hình 6.6 vẫn còn sự ràng buộc của R và S. Khi R = S = 1, các cổng G và H đều ở mức thấp, dẫn đến trạng thái cầm $Q_m = 1$ và $\overline{Q}_m = 1$.

Ta chú ý một điểm sau: Khi CP = 1, trigger Master Slave, Q và \overline{Q} không đổi trạng thái và là đảo của nhau. Do đó chỉ cần đếm mức các đầu ra Q và \overline{Q} đưa đến đầu vào của G và H thì có thể khắc phục được tình trạng cả Q_m và \overline{Q}_m đều bằng 1.



Hình 6.7: Trigger JK Master Slave. Sơ đồ logic (a); Kí hiệu logic (b)

Để giải quyết vấn đề trên người ta cải tiến trigger RS master Slave theo sơ đồ được trình bày trên hình 6.7, và không dùng tên lối vào RS mà gọi là J, K Trigger JK Master Slave và gọi tắt là trigger JK.

Theo trình bày trên về sự cải tiến của trigger JK, ta thấy nguyên tắc hoạt động giống như trigger RS Master Slave, chỉ khác sự tương đương sau của tín hiệu đầu vào:

$$S = J \overline{Q}^n \quad (6-4)$$

$$R = K.Q^n \quad (6-5)$$

Áp dụng công thức (6-3) ta có:

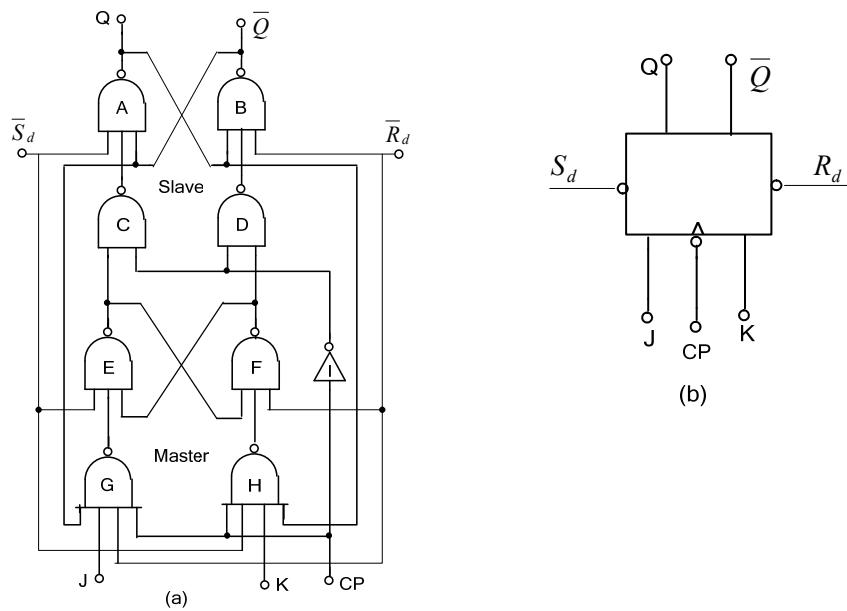
$$Q^{n+1} = S + \bar{R}Q^n = J\bar{Q}^n + K\bar{Q}^n Q^n = J\bar{Q}^n + (\bar{K} + \bar{Q}^n)Q^n$$

$$Q^{n+1} = J \overline{Q^n} + \overline{K} Q^n \quad (6-6)$$

Với điều kiện đã xuất hiện sùm âm của CP, công thức (6-6) là phương trình đặc trưng của trigger JK.

2. Tác dụng của các đầu vào không đồng bộ \bar{R}_d và \bar{S}_d

Trong thực tế trigger JK còn có thêm 2 đầu vào \bar{R}_d và \bar{S}_d như hình 6.8.



Hình 6.8: Trigger JK master Slave. Sơ đồ logic (a); Kí hiệu logic (b)

Hai lối vào J,K chỉ tác động khi có xung đồng hồ CP, do đó gọi là các lối vào đồng bộ. Còn \bar{R}_d và \bar{S}_d , tác động trực tiếp tới lối ra của mạch Q và \bar{Q} không cần có xung đồng hồ CP, do đó gọi là các lối vào không đồng bộ.

$\bar{R}_d = 0$ thì $Q = 0$, do đó gọi là lối vào xóa (Reset).

$\bar{S}_d = 0$ thì $Q = 1$, do đó gọi là lỗi vào đặt (Set).

\bar{R}_d và \bar{S}_d không đồng thời bằng không. Sau khi xóa hoặc đặt $\bar{R}_d = \bar{S}_d = 1$ trigger JK hoạt động bình thường dưới tác dụng của các lõi vào J, K và CP.

Nhược điểm của sơ đồ trên là CP = 1 thì trigger Master chỉ chuyển trạng thái một lần, giảm khả năng chống nhiễu. Chẳng hạn khi CP = 1 mà J, K đổi trạng thái nhiều lần thì cũng chỉ có một lần chuyển mà thôi. Thời điểm một lần chuyển có thể rơi vào sùn dương, giữa xung, hay sùn âm của xung đồng hồ CP. Nếu như không biết chính xác qui luật của tín hiệu J, K thì không thể xác định của trạng thái tiếp theo của trigger.

6.1.5. Trigger JK kích bằng sườn xung

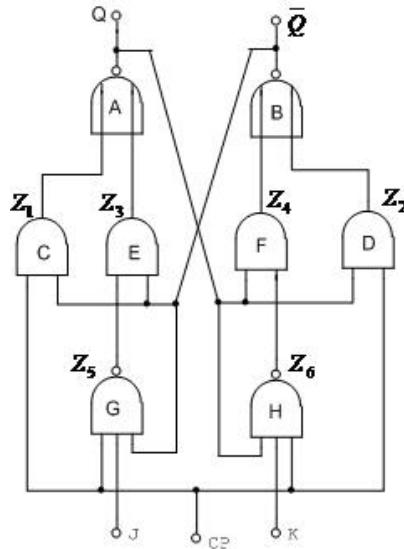
1. Cấu trúc mạch và nguyên lý hoạt động

Mạch được trình bày trên hình 6.9.

Mạch khắc phục được nhược điểm: Khả năng chống nhiễu không cao của Trigger JK master Slave.

Khi $CP = 0$, $CP = 1$ hay sùron dương, tín hiệu J, K đều không tác dụng. Chỉ trong thời gian sùron âm mạch mới chuyển trạng thái theo phương trình sau:

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$



Hình 6.9: Trigger JK kích bằng sườn xung

2. Nguyên tắc hoạt động

- a) Khi $CP = 0$ các cổng G, H bị khóa J, K không tác dụng, trigger vẫn duy trì trạng thái cũ.
 b) Khi $CP = 1$ các cổng C, D, G, H thông nhung:

$$Z_1 = \overline{Q^n}$$

$$Z_2 = Q^n$$

$$Z_3 = Z_5 \overline{O^n} = \overline{\overline{J} \overline{O^n}} \cdot \overline{O^n} = \overline{J} \overline{O^n}$$

$$Z_4 = Z_6 O^n = \overline{K.O^n}.O^n = \overline{K}.O^n$$

$$O^{n+1} = \overline{Z_1 + Z_2} = \overline{\overline{O^n} + \overline{J} \overline{O^n}} = O^n$$

$$\overline{O^{n+1}} = \overline{Z_2 + Z_4} = \overline{O^n + \overline{K}_0 O^n} = \overline{O^n}$$

Trigger vẫn duy trì trạng thái cũ. J. K đều không tác dụng.

- c) Khoảng thời gian sùn dương của CP, do tác dụng trễ của các cổng NAND G và H mà các cổng C, D thông trước, do đó:

$$Z_1 = \overline{O^n} ; Z_2 = O^n$$

tiếp sau mới có:

$$Z_3 = \overline{J} \cdot \overline{O^n} ; Z_4 = \overline{K} \cdot O^n$$

Vì vậy

$$Q^{n+1} = \overline{Z_1 + Z_3} = \overline{\overline{Q^n} + \overline{J} \cdot \overline{Q^n}} = Q^n$$

$$\overline{Q^{n+1}} = \overline{Z_2 + Z_4} = \overline{\overline{Q^n} + \overline{K} \cdot \overline{Q^n}} = \overline{Q^n}$$

J, K cũng không tác dụng.

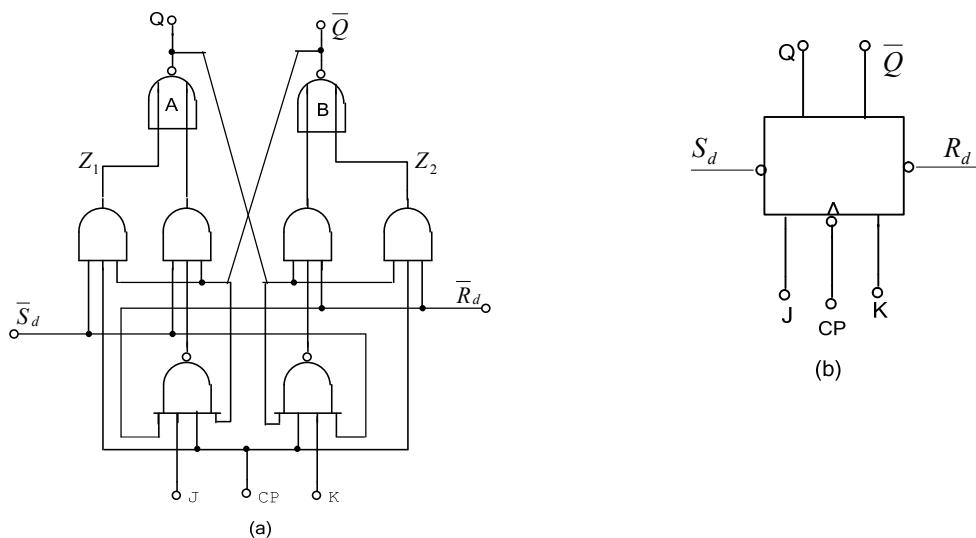
d) Tính huống mạch trong sườn âm của CP. Do tác dụng trễ của các công NAND. G và H mà C, D ngắt trước do đó: $Z_1 = Z_2 = 0$ mà đầu ra các công NAND duy trì $Z_5 = \overline{J} \cdot \overline{Q^n}$; $Z_6 = \overline{K} \cdot \overline{Q^n}$ trong khoảng thời gian trễ của công t_{pd} nữa. Để dàng thấy rằng tổng t_{pd} đó các công NOR A và B, các công AND E và F cấu trúc như một trigger RS cơ bản với:

$$\overline{S} = Z_5 = \overline{J \cdot \overline{Q^n}} ; \overline{R} = Z_6 = \overline{K \cdot \overline{Q^n}}$$

Căn cứ vào phương trình đặc trưng của trigger RS cơ bản ta có:

$$Q^{n+1} = S + \overline{R} \cdot Q^n = J \cdot \overline{Q^n} + K \cdot \overline{Q^n} \cdot Q^n = J \cdot \overline{Q^n} + \overline{K} \cdot Q^n.$$

Vậy loại mạch này không những có những ưu điểm như trigger JK master Slave, mà có đặc điểm kích thích bằng sườn âm của xung đồng hồ CP mà không còn nhược điểm một lần chuyển.



Hình 6.10: Trigger JK kích bằng sườn xung có các lối vào không đồng bộ. Sơ đồ logic (a); Kí hiệu logic (b)

Hình 6.10 trình bày trigger JK kích thích bằng sườn âm của CP, có thêm 2 lối vào không đồng bộ R_d và S_d .

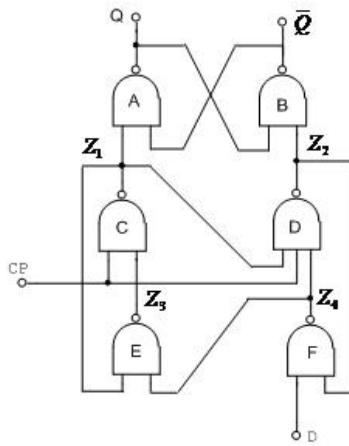
Ưu điểm: Kích bằng sườn âm của xung đồng hồ CP, đây là loại trigger tính năng ưu việt, chống nhiễu tốt và sử dụng linh hoạt.

6.1.6. Trigger D (mạch chốt D)

Trigger D đã khảo sát trên còn nhược điểm là điều khiển trực tiếp. Đây là loại mạch cải tiến khắc phục nhược điểm trên.

1. Cấu trúc mạch điện và nguyên lý hoạt động

Hình 6.11 trình bày sơ đồ của Trigger D.



Hình 6.11: Trigger D

Mạch có thêm hai cổng E và F vào mạch chốt D hình 6.5.

2. Nguyên lý hoạt động

a) Khi $CP = 0$

Các cổng C, D bị khóa $Z_1 = Z_2 = 1$. Trigger RS cơ bản bao gồm các cổng A và B duy trì trạng thái cũ.

- Nếu $D = 1$ thì:

$$Z_4 = \overline{D \cdot Z_2} = \overline{1 \cdot 1} = 0$$

$$Z_3 = \overline{Z_1 \cdot Z_4} = \overline{1 \cdot 0} = 1$$

CP trong vai trò tín hiệu đầu vào đối với cổng C thông, D ngắt.

- Nếu $D = 0$ thì:

$$Z_4 = 1 ; Z_3 = 0$$

CP trong vai trò tín hiệu đầu vào đối với cổng C ngắt, D thông.

b) Thời gian sườn dương của CP

Nếu $D = 1$ thì $Z_4 = 0$ do đó cổng D ngắt, CP chỉ có thể thông qua cổng C mở. Vậy $Z_1 = \overline{Z_3 \cdot CP} = \overline{1 \cdot 1} = 0$; $Z_2 = 0$ dẫn đến ba tác động sau:

- Thứ nhất: Kích trigger thiết lập chế độ 1, ($Q = 1$, $\bar{Q} = 0$).
- Hai là: Ngắt cổng D, ngăn Z_2 chuyển sang mức thấp, nghĩa là ngăn cả tín hiệu kích trigger chuyển về trạng thái 0, ($Q = 0$, $\bar{Q} = 1$).
- Ba là: Z_1 đưa đến đầu vào cổng E bảo đảm $Z_3 = 1$, duy trì $Z_1 = 0$, suốt thời gian $CP = 1$, tức là duy trì tín hiệu đặt trigger ở trạng thái 1.

Nếu $D = 0$ thì $Z_4 = 1$ do đó $Z_3 = 0$ cổng C bị ngắt, CP chỉ có thể thông qua cổng D mở. Vậy $Z_2 = \overline{Z_1 \cdot Z_4 \cdot CP} = \overline{1 \cdot 1 \cdot 1} = 0$; $Z_2 = 0$ dẫn đến hai tác động sau:

- Xóa trigger về 0 ($Q = 0$, $\bar{Q} = 1$).

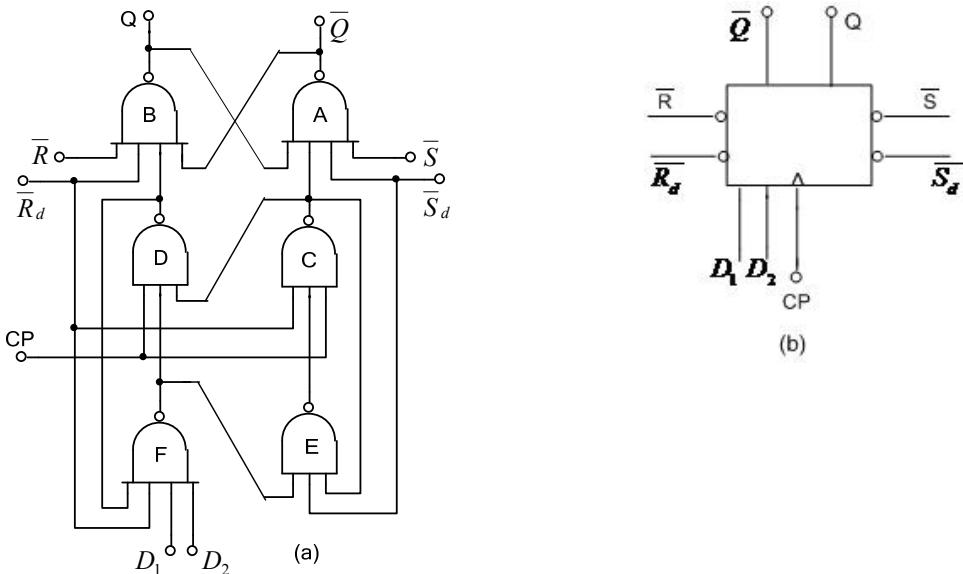
- Làm cho công F bị ngắt, bảo đảm $Z_4 = 1$, do đó duy trì $Z_2 = 0$, tức là duy trì trạng thái 0 của trigger. $Z_4 = 1$ còn duy trì $Z_3 = 0$, ngăn cản sự tạo tín hiệu $Z_1 = 0$, kích trigger chuyển về trạng thái 1 ($Q = 1$, $\bar{Q} = 0$).

Tóm lại: $Q^{n+1} = D$ với điều kiện xuất hiện sườn dương của CP.

Hơn nữa, khi đã có tác dụng duy trì nguyên trạng và ngăn cản sự chuyển đổi trạng thái khác trong suốt quá trình $CP = 1$ thì tín hiệu D không còn tác dụng đến mạnh nữa.

Vì vậy, mạch chuyển trạng thái do sườn dương của CP.

Trigger D có thêm các lõi vào không đồng bộ được trình bày trên hình 6.12.



Hình 6.12: Trigger D trong vỏ IC. Sơ đồ logic (a); Kí hiệu logic (b)

6.2. Phân loại trigger và chuyển đổi giữa các loại trigger

Căn cứ vào sự khác biệt chức năng logic dưới tác dụng điều khiển của CP, người ta phân trigger thành 5 loại: RS, D, T, T', JK, các loại này có thể chuyển đổi lẫn nhau theo các phương pháp xác định.

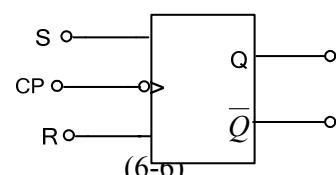
6.2.1. Phân loại trigger theo chức năng

1. Trigger RS gồm 2 lõi vào R và S, 2 lõi ra Q và \bar{Q} .

Kí hiệu logic được trình bày trên hình 6.13.

Phương trình đặc trưng biểu thị chức năng logic:

$$\begin{cases} Q^{n+1} = S + \bar{R}.Q^n \\ R.S = 0 \end{cases}$$



Hình 6.13: Kí hiệu logic của trigger RS

với điều kiện đã xuất hiện sườn âm của CP. Bảng chân lý của trigger RS được trình bày trên bảng 6-2.

Bảng 6-2

Q^n	R	S	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	x
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	x

Dấu x ở cột Q^{n+1} biểu thị trạng thái cấm.

Bảng 6-3 tín hiệu đầu vào kích của của trigger RS, có phần bên trái kê ra các yêu cầu chuyển trạng thái của trigger, bên phải kê các điều kiện tín hiệu đầu vào kích cần bảo đảm để đạt đến các yêu cầu tương ứng.

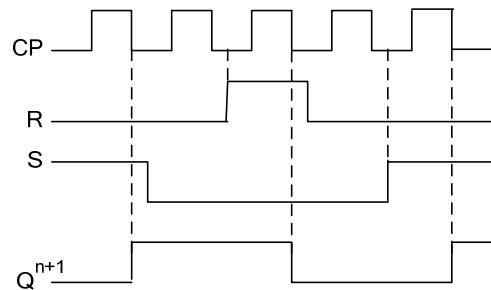
Ví dụ: yêu cầu $Q^n \rightarrow Q^{n+1}$ kiểu duy trì 0 → 0 thì điều kiện cần là S = 0 (không cần phụ thuộc vào R, R = x), nếu yêu cầu chuyển từ 0 → 1 thì điều kiện cần lại là R = 0, S = 1.

Bảng 6-3: Bảng đầu vào kích của trigger RS

Q^n	\rightarrow	Q^{n+1}	R	S
0		0	x	0
0		1	0	1
1		0	1	0
1		1	0	x

Quan hệ logic của bảng 6-2 và bảng 6-3 đều có chung một điều kiện là xuất hiện sườn âm của CP, nếu điều kiện này không thỏa mãn trigger vẫn duy trì trạng thái cũ.

Đồ thị thời gian dạng xung được trình bày trên hình 6.14.



Hình 6.14: Đồ thị thời gian dạng xung của trigger RS

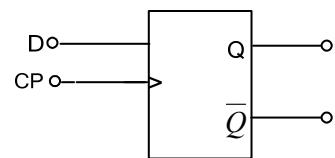
2. Trigger D

Trigger D có kí hiệu logic được trình bày trên hình 6.15 có 1 lối vào D và 2 lối ra Q và \bar{Q} .

Phương trình đặc trưng của trigger D:

$$Q^{n+1} = D \quad (6-8)$$

với điều kiện đã xuất hiện sườn dương CP



Hình 6.15. Kí hiệu logic
của trigger D

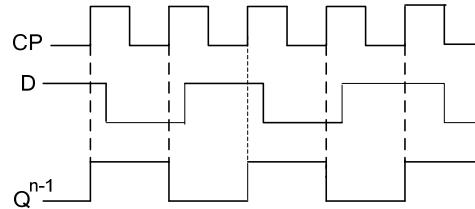
Bảng 6-4: Bảng chân lí của trigger D

Q^n	D	Q^{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

Bảng 6-5: Bảng đầu vào kích của trigger D

$Q^n \rightarrow$	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

Cả bảng chân lí và bảng kích của trigger D đều có chung điều kiện là đã xuất hiện sườn dương của xung đồng hồ CP, nếu điều kiện này không thỏa mãn, trigger giữ nguyên trạng thái cũ. Đồ thị thời gian của dạng xung của trigger D được trình bày trên hình 6.16.



Hình 6.16: Dạng xung của Trigger D

3. Trigger T (Toggle – lật)

Trigger T là mạch điện có chức năng duy trì và chuyển đổi trạng thái tùy thuộc vào tín hiệu đầu vào T trong điều kiện định thời của CP, kí hiệu logic được trình bày trên hình 6.16.



Hình 6.16: Kí hiệu logic của Trigger T

Nếu cho $J = K = T$ ta được Trigger T từ Trigger JK. Phương trình đặc trưng

$$\begin{aligned} Q^{n+1} &= J\bar{Q}^n + \bar{K}Q^n = T\bar{Q}^n + \bar{T}Q^n \\ Q^{n+1} &= T \oplus Q^n \end{aligned} \quad (6-9)$$

với điều kiện xuất hiện sườn âm CP.

Bảng 6-6: Bảng chân lí của Trigger T

Q^n	T	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

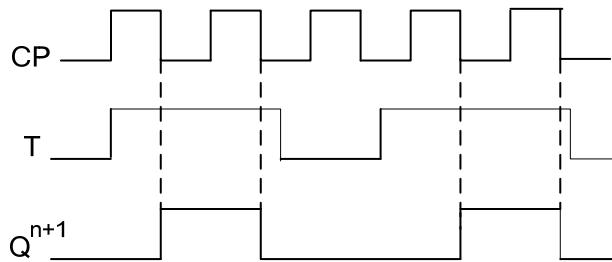
$T = 0$ dù có sườn âm của CP thì $Q^{n+1} = Q^n$ vào duy trì trạng thái cũ.

$T = 1$ có sườn âm của CP thì $Q^{n+1} = \overline{Q^n}$

Bảng đầu vào kích 6-6 và đồ thị thời gian dạng sóng hình 6.18 của Trigger T.

Bảng 6-6: Bảng đầu vào kích của Trigger T

Q^n	Q^{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0



Hình 6.18: Đồ thị thời gian dạng sóng của Trigger T

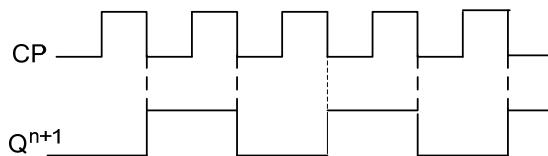
4. Trigger T'

Trigger T' là mạch điện chỉ có chức năng chuyển đổi trạng thái trong điều kiện định thời của CP. Trigger T' là Trigger T mà T=1. Phương trình đặc trưng:

$$Q^{n+1} = T \oplus Q^n = 1 \oplus Q^n = \overline{Q^n} \quad (6-10)$$

với điều kiện xuất hiện sườn âm của CP.

Đồ thị thời gian dạng sóng của Trigger T' được trình bày trên hình 6.19.



Hình 6.18: Đồ thị thời gian dạng sóng của Trigger T'

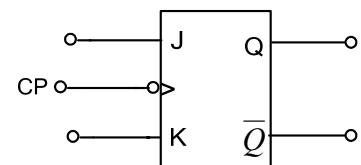
5. Trigger JK

Trigger JK là mạch điện có chức năng thiết lập trạng thái 0, trạng thái 1, chuyển đổi trạng thái, duy trì trạng thái cǎn cứ vào tín hiệu đầu vào JK và xung đồng hồ CP. Phương trình đặc trưng:

$$Q^{n+1} = J \cdot \overline{Q^n} + \overline{K} Q^n \quad (6-11)$$

với điều kiện đã xuất hiện sườn âm của CP.

Kí hiệu logic của trigger JK được trình bày trên hình 6.20.



Hình 6.20: Kí hiệu logic của Trigger JK

Bảng chân lí 6-8, bảng đầu vào kích 6-9 và đồ thị thời gian dạng sóng của Trigger JK.
6.21.

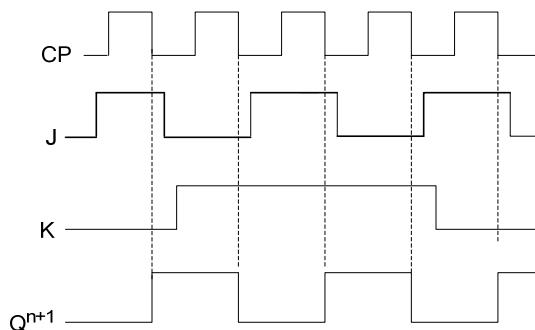
Bảng 6-8

Q^n	J	K	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Bảng 6-9

$Q^n \Rightarrow Q^{n+1}$	J	K
0 0	0	0
0 1	1	x
1 0	x	1
1 1	x	0

Dạng sóng của trigger JK



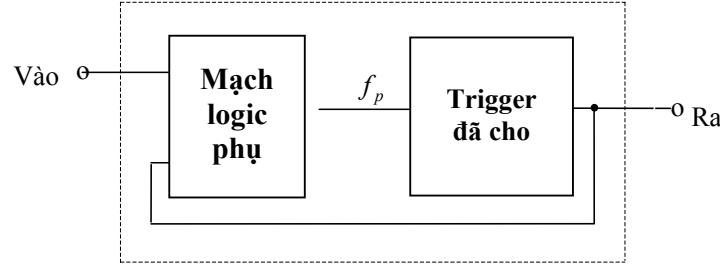
Hình 6.21: Dạng sóng của trigger JK

6.2.2. Chuyển đổi giữa các loại trigger

Trong thiết bị số có thể cần nhiều loại trigger khác nhau. Tuy nhiên các IC trong công nghiệp lại thường chỉ sản xuất một số loại nhất định phổ biến là trigger D, JK. Mặt khác trong một IC thường có 2 đến 4 trigger cùng loại, có thể gây ra sự dư thừa loại này nhưng lại thiếu loại khác. Do đó việc chuyển đổi giữa các loại trigger là cần thiết. Ta tìm phương pháp để chuyển đổi giữa các loại trigger.

1. Nguyên tắc chung

Chuyển đổi giữa các loại trigger là việc biến chức năng của một trigger đã cho thành một trigger khác loại. Để thực hiện được công việc này bắt buộc phải bổ sung thêm một mạch liên hợp phụ. Sơ đồ khôi thê hiện một trigger đã chuyển đổi được trình bày trên hình 6.22.



Hình 6.22: Sơ đồ khối chuyển đổi trigger

Từ sơ đồ hình 6.22 có thể suy ra cách chuyển đổi là tìm quan hệ hàm ra của mạch kích thích phụ f_p cũng chính là hàm kích thích của trigger đã cho với đầu ra của nó và kích thích vào.

Việc chuyển đổi giữa các loại trigger có thể thực hiện theo một trong hai phương pháp sau:

- Dùng phương trình đặc trưng của trigger đã cho, kết hợp với phép biến đổi logic cần thiết để đưa nó về phương trình đặc trưng của trigger cần tìm. Trên cơ sở phương trình đặc trưng, viết ra hàm kích thích và vẽ sơ đồ tương ứng của trigger. Phương pháp này tương đối nhanh, nhưng cần kỹ năng biến đổi hàm logic.

- Dùng bảng kích thích của trigger đã cho và trigger cần tìm để xác định hàm kích thích sau đó vẽ sơ đồ logic của trigger cần tìm.

2. Chuyển đổi giữa các loại trigger

a) Chuyển đổi từ trigger RS sang JK, D, T, T'.

Chuyển đổi từ trigger RS sang JK. Để chuyển đổi cần tìm mối quan hệ

$$S = f_1(Q, J, K)$$

$$S = f_2(Q, J, K)$$

Điều này có thể thực hiện bằng hai cách:

+ Dùng phương trình đặc trưng

Phương trình đặc trưng của trigger RS có dạng:

$$\begin{cases} Q^{n+1} = S + \bar{R} \cdot Q^n \\ R \cdot S = 0 \end{cases} \quad (6-12)$$

còn phương trình đặc trưng của trigger JK có dạng:

$$Q^{n+1} = J \cdot \overline{Q^n} + \bar{K} \cdot Q^n \quad (6-13)$$

So sánh (6.12) và (6.13) ta rút ra:

$$S = J \cdot \overline{Q^n}$$

$$R = K$$

Tuy nhiên, điều kiện ràng buộc $R \cdot S = 0$ nên khi $J = K = 1$; $Q^n = 0$ thì

$$\begin{cases} R = K = 1 \\ S = J \cdot \overline{Q^n} = 1 \end{cases}$$

sẽ không thỏa mãn điều kiện $R.S = 0$.

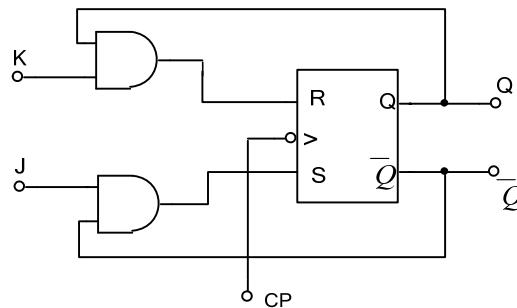
Ta có thể biến đổi lại:

$$\begin{aligned} Q^{n+1} &= J \cdot \overline{Q^n} + \overline{K} \cdot Q^n \\ Q^{n+1} &= J \cdot \overline{Q^n} + \overline{K} \cdot Q^n \cdot Q^n \end{aligned} \quad (6-14)$$

So sánh (6-12) và (6-14) ta rút ra hàm kích:

$$\begin{cases} S = J \cdot \overline{Q^n} \\ R = K \cdot Q^n \end{cases} \quad (6-15)$$

Hình 6.23 là mạch điện chuyển đổi từ RS → JK (thỏa mãn điều kiện $R.S = 0$).



Hình 6.23: Mạch điện chuyển đổi từ RS sang JK

+ Dùng bảng kích thích.

Từ bảng hàm kích thích (6-3), (6-9). Nếu xem Q , J , K là biến và S , R là hàm ta có hai bảng Karnaugh như hình 6.24

		JK			
		00	01	11	10
Q^n	0	0	0	1	1
	1	x	0	0	x

a) Đổi với S

		JK			
		00	01	11	10
Q^n	0	x	x	0	0
	1	0	1	1	0

a) Đổi với R

Hình 6.24: Bảng Karnaugh xác định sự phụ thuộc của S, R vào Q, J, K

Từ bảng Karnaugh ta có kết quả giống công thức (6-15).

$$\begin{cases} S = J \cdot \overline{Q^n} \\ R = K \cdot Q^n \end{cases}$$

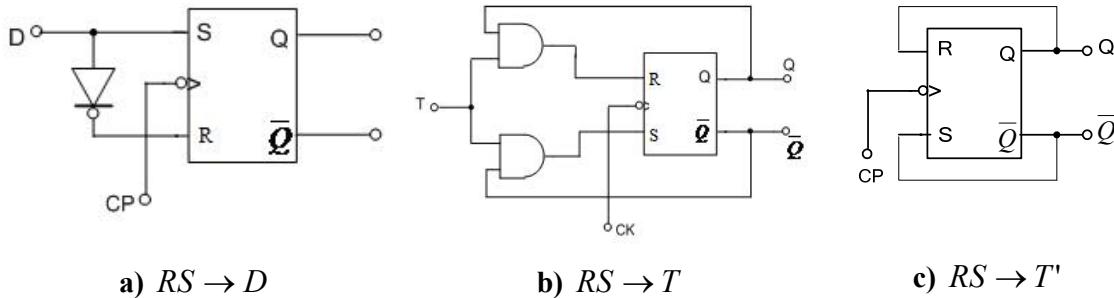
Tương tự ta có hàm logic chuyển đổi:

$$RS \rightarrow D \begin{cases} R = \overline{D} \\ S = D \end{cases} \quad (6-16)$$

$$RS \rightarrow T \begin{cases} R = T \cdot Q^n \\ S = T \cdot \overline{Q}^n \end{cases} \quad (6-16)$$

$$RS \rightarrow T' \begin{cases} R = Q^n \\ S = \overline{Q}^n \end{cases} \quad (6-18)$$

Mạch chuyển đổi được trình bày trên hình (6.25)



Hình 6.25: Mạch chuyển đổi từ trigger RS trở thành a) D ; b) T ; c) T'

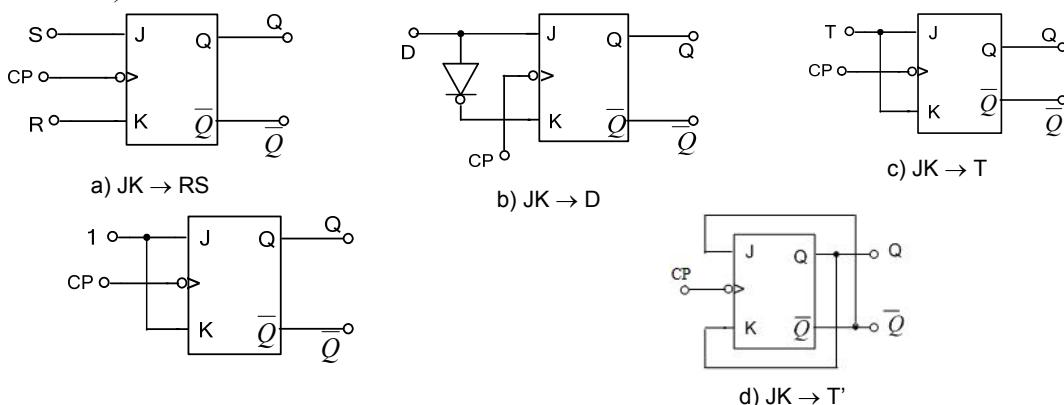
b) Chuyển đổi từ trigger JK sang RS, D, T, T' bằng phương pháp tương tự như phần trước ta thu được các biểu thức và sơ đồ cần tìm:

- Từ trigger JK sang RS.

Biểu thức:

$$\begin{cases} J = S \\ K = R \end{cases} \quad (6-19)$$

Sơ đồ 6.26a)



Hình 6.26: Chuyển đổi từ trigger JK sang a) RS ; b) D ; c) T ; d) T'

- Từ JK sang D

Biểu thức:

$$\begin{cases} J = D \\ K = \overline{D} \end{cases} \quad (6-20)$$

Sơ đồ hình 6.26b).

- Từ JK sang T

Biểu thức:

$$\left. \begin{array}{l} J = T \\ K = T \end{array} \right\} \quad (6.21)$$

Sơ đồ hình 6.26c).

- Từ JK sang T'

Biểu thức:

$$\left. \begin{array}{l} J = T = 1 \\ K = T = 1 \end{array} \right\} \quad (6.22)$$

Hoặc

$$\left. \begin{array}{l} J = \overline{Q^n} \\ K = Q^n \end{array} \right\}$$

Sơ đồ hình 6.26d).

c) Chuyển từ D sang các loại

- Từ D sang RS

Cân bằng hai phương trình đặc trưng. Ta có biểu thức:

$$D = S + \overline{R}Q^n \quad (6.23)$$

Sơ đồ hình 6.27a)

- Từ D sang JK

Biểu thức:

$$D = J\overline{Q^n} + \overline{K} \cdot Q^n \quad (6.24)$$

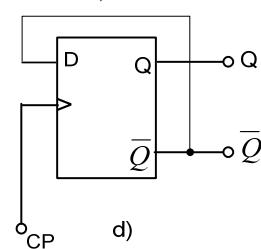
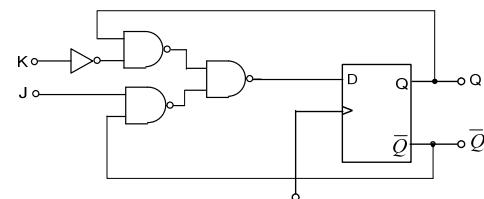
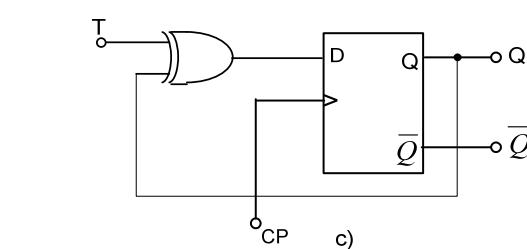
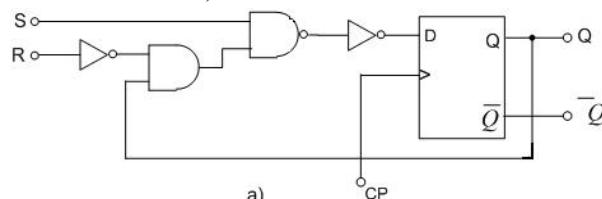
Sơ đồ hình 6.27b)

- Từ D sang T

Biểu thức:

$$D = T \oplus Q^n \quad (6.25)$$

Sơ đồ hình 6.27c)



Hình 6.27: Mạch điện biến đổi từ D sang a) RS ; b) JK ; c) T ; d) T'

- Từ D sang T'

Biểu thức:

$$D = T \oplus Q^n$$

$$T = 1 \rightarrow D = \overline{Q^n} \quad (6-26)$$

Sơ đồ hình 6.27d)

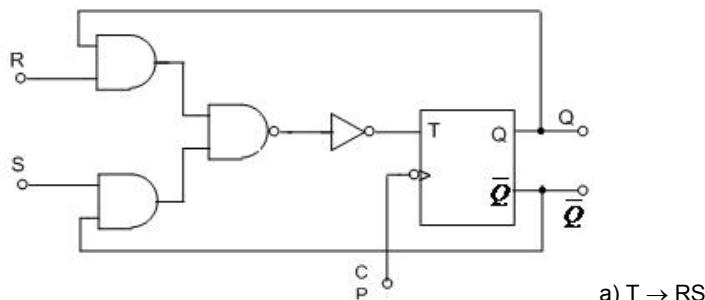
- d) Chuyển từ T sang RS, JK, D

- Từ T sang RS

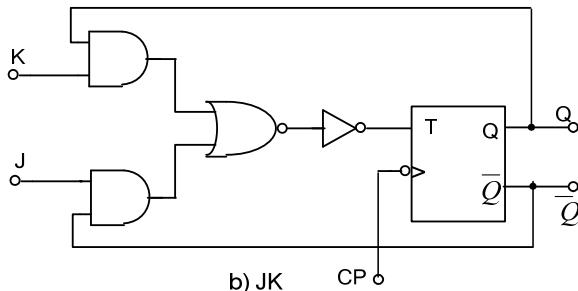
Biểu thức:

$$T = S \cdot \overline{Q^n} + R \cdot Q^n \quad (6-26)$$

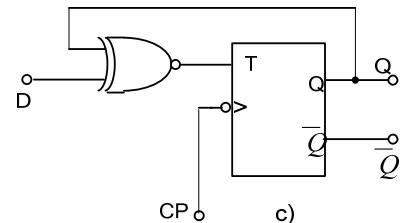
Sơ đồ hình 6.28a)



a) T → RS



b) JK CP



c) T → D

Hình 6.28: Mạch điện chuyển từ T sang a) RS ; b) JK ; c) D

- Từ J sang JK

Biểu thức:

$$T = J \overline{Q^n} + \overline{K} \cdot Q^n \quad (6-28)$$

Sơ đồ hình 6.28a) chỉ cần thay R = K và S = J.

- Từ T sang D

Biểu thức:

$$T = D \oplus Q^n$$

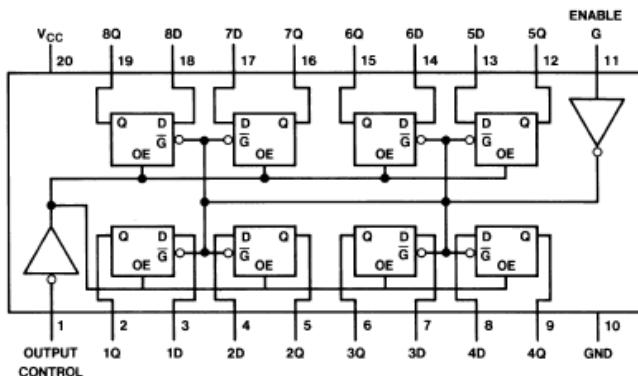
mạch điện hình 6.28c)

6.3. Thanh chốt dữ liệu (Latch)

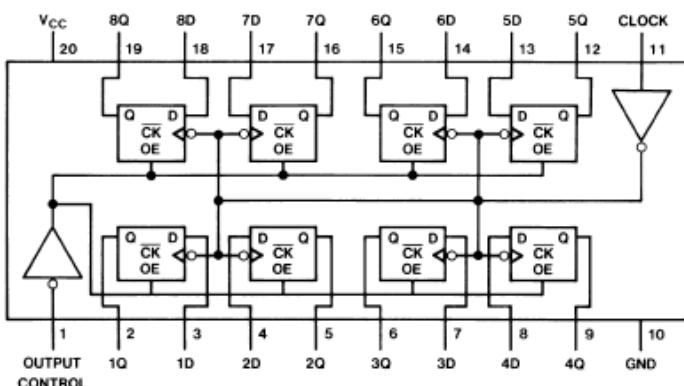
Trong phần này chúng ta khảo sát 2IC ; DM 64LS363 ; DM 64LS364. Đó là mạch chốt kiểu D 3 trạng thái và các mạch lật theo sùm.

Hình 6.29 trình bày sơ đồ chân của DM 64LS363 và DM 64LS364. Bảng chức năng được trình bày ở bảng 6-10, hình 6.30 sơ đồ logic của chúng.

DM 74LS373



a)
DM 74LS374



b)

Hình 6.29: a) Sơ đồ chân DM 64LS364; b) Sơ đồ chân DM 64LS363

Bảng 6-10: Bảng chức năng

Điều khiển lối ra	Cho phép G	D	Lối ra	Điều khiển lối ra	Xung nhịp G	D	Lối ra
L	H	H	H	L	↑	H	H
L	H	L	L	L	↑	L	L
L	L	X	Q ₀	L	L	X	Q ₀
H	X	X	Z	H	X	X	Z

Các thanh ghi 8 bit này, có đặc điểm là có lối ra 3 trạng thái được thiết kế cho các tải điện dung lớn hoặc là tải điện trở thấp.

Trạng thái trở kháng cao và việc điều khiển mức logic cao cho phép các thanh ghi này có khả năng được nối trực tiếp với các đường BUS trong các hệ thống được tổ chức theo BUS, mà không cần phải qua các bộ phôi ghép hoặc các thành phần trợ giúp, chúng thường được

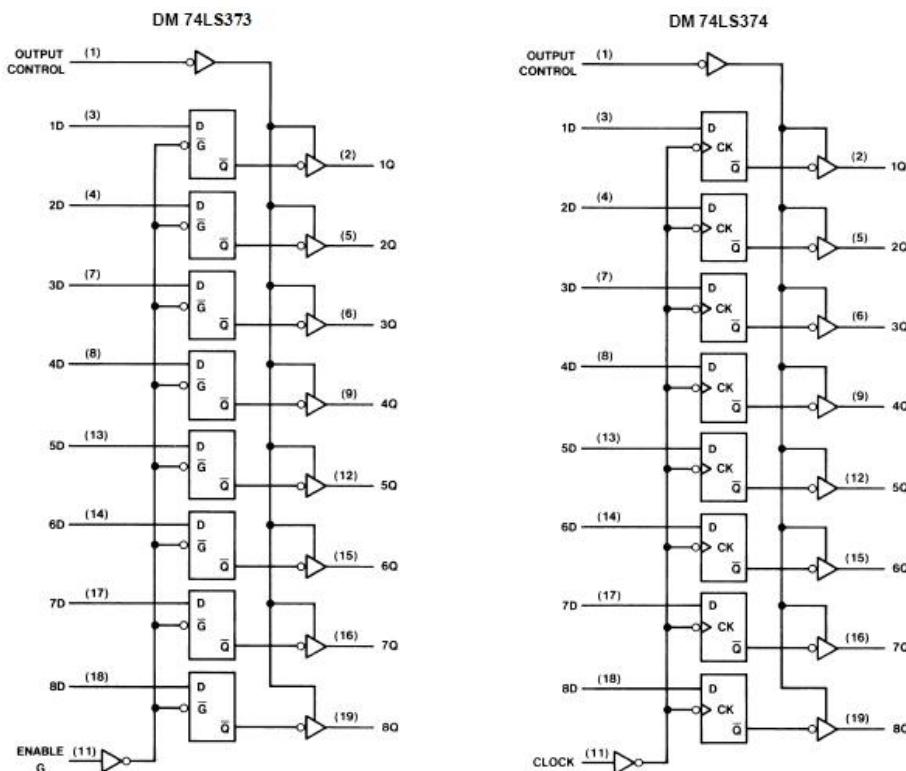
dùng làm các thanh ghi đệm, trong các cổng vào ra, các bộ điều khiển BUS 2 chiều và các thanh ghi thao tác.

Tóm bộ chốt của DM 64LS363 là các bộ chốt theo mức, điều này có nghĩa là khi tín hiệu G ở mức cao H thì các lối ra Q = D (D là lối vào số liệu). Khi G ở mức thấp L thì các lối ra sẽ bị chốt theo mức tín hiệu đã có.

Tóm bộ lật của DM 64LS364 là các bộ lật theo kiểu D được khởi phát theo sườn dương của xung đồng hồ, các lối ra Q được đặt theo mức của các lối vào D.

Lối vào điều khiển bộ đếm lối ra có thể được dùng để đặt 8 lối ra hoặc ở trạng thái bình thường (các mức logic cao hoặc thấp) hoặc ở trạng thái trở kháng cao. Trong trạng thái trở kháng cao các lối ra là không tải và không thể điều khiển các đường BUS.

Việc điều khiển lối ra là không ảnh hưởng đến hoạt động bên trong của các mạch chốt hoặc mạch lật. Tức là số liệu cũ vẫn được duy trì hoặc số liệu mới vẫn có thể được đưa vào, ngay cả khi lối ra bị tách khỏi.



Hình 6.30: Sơ đồ logic DM 64LS363, DM 64LS364

6.4. Bộ ghi dịch (Shift Register)

Bộ ghi dịch còn gọi là thanh ghi dịch là phần tử không thể thiếu được trong CPU, trong các hệ vi xử lí. Nó có khả năng ghi (nhớ) số liệu và dịch thông tin (sang phải hoặc sang trái).

Bộ ghi dịch được cấu tạo từ một dãy phân tử nhớ được mắc liên tiếp với nhau và một số các cổng logic cơ bản hỗ trợ. Muốn ghi và truyền một từ nhị phân n bit cần n phân tử nhớ (n trigger). Trong các bộ ghi dịch thường dùng các trigger đồng bộ như trigger RST, JK, D.

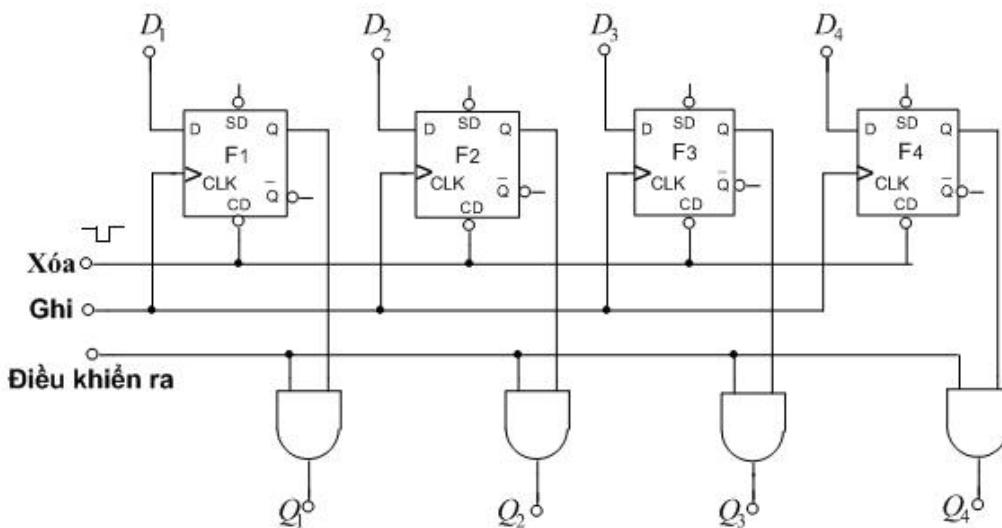
Thông thường người ta hay dùng trigger D hoặc các trigger khác nhưng mắc theo kiểu trigger D để tạo thành các bộ ghi.

Căn cứ vào phương thức hoạt động và cấu tạo, người ta chia bộ ghi dịch thành nhiều loại khác nhau như sau:

- Dựa vào hình thức dịch có bộ ghi dịch trái, phải, hai hướng, dịch vòng.
- Theo cách đưa tín hiệu vào và lấy tín hiệu ra có: Bộ ghi dịch vào nối tiếp, ra nối tiếp hoặc ra song song, bộ ghi dịch vào song song ra nối tiếp hoặc ra song song. Nếu kết hợp một số chức năng trên ta có bộ ghi dịch đa năng.

6.4.1. Bộ ghi song song

Sơ đồ bộ ghi song song được trình bày trên hình 6.31.



Hình 6.31: Sơ đồ logic bộ ghi song song 4 bit

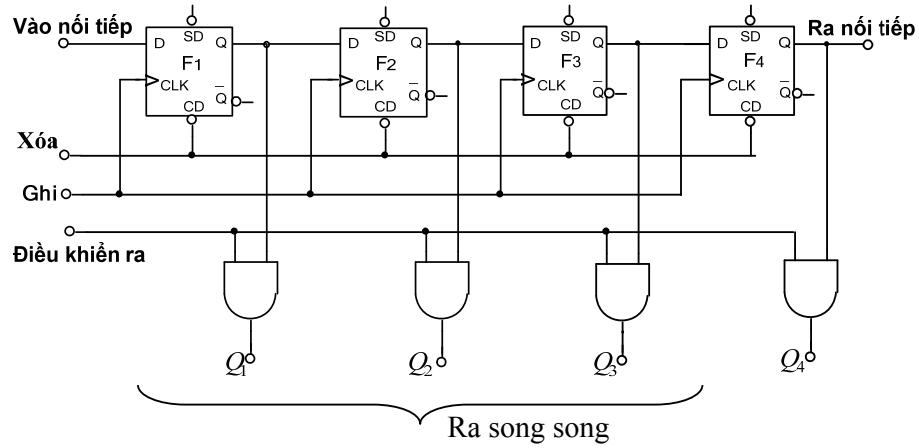
Trong sơ đồ dùng 4 trigger D và một mạch điều khiển ra dùng cổng AND 2 lối vào.

Hoạt động của sơ đồ như sau:

Đầu tiên dùng xung xóa $CD = 0$ để lối ra $Q_1, Q_2, Q_3, Q_4 = 0\ 0\ 0\ 0$. Các số liệu cần ghi đưa vào D_1, D_2, D_3, D_4 . Khi có một xung điều khiển ghi đưa tới lối vào CLK, dữ liệu được nạp vào bộ nhớ song song và cho lối ra song song $Q_1\ Q_2\ Q_3\ Q_4 = D_1\ D_2\ D_3\ D_4$. Mỗi lối ra Q được đưa tới 1 lối vào của các cổng AND. Muốn cho dữ liệu tới các lối ra, lối vào “điều khiển ra” phải bằng 1.

6.4.2. Bộ ghi dịch nối tiếp

Bộ ghi dịch nối tiếp có thể dịch phải, dịch trái và cho ra song song hoặc ra nối tiếp. Hình 6.32 giới thiệu sơ đồ bộ ghi dịch vào nối tiếp dịch phải ra song song và ra nối tiếp.



Hình 6.32: Bộ ghi nối tiếp dịch phải

Đây là sơ đồ chỉ có lối vào nối tiếp, còn lối ra có cả ra song song và ra nối tiếp. Hoạt động của mạch được giải thích bằng bảng 6.11.

Bảng 6.11

CLK	Q₁	Q₂	Q₃	Q₄
0	0	0	0	0
1	D ₄	0	0	0
2	D ₃	D ₄	0	0
3	D ₂	D ₃	D ₄	0
4	D ₁	D ₂	D ₃	D ₄

Giả sử muốn nhập số liệu D₁, D₂, D₃, D₄, đây là mạch ghi dịch phải, do đó phải bit D₄ trước. Sau 4 xung nhịp thì cả 4 bit số liệu được nạp xong.

Cách lấy số liệu ra:

- Ra song song: Sau 4 xung nhịp nạp xong số liệu, ở 4 lối ra Q:

Q₁ Q₂ Q₃ Q₄ = D₁ D₂ D₃ D₄; muốn lấy ra song song thì cho “điều khiển ra” = 1.

- Ra nối tiếp: Lấy ra ở Q₄ (trigger cuối cùng).

Sau 4 xung nhịp đã nạp xong xong, D₄ xuất hiện ở lối ra nối tiếp,

1 xung nhịp nữa D₃ được đưa ra Q₄

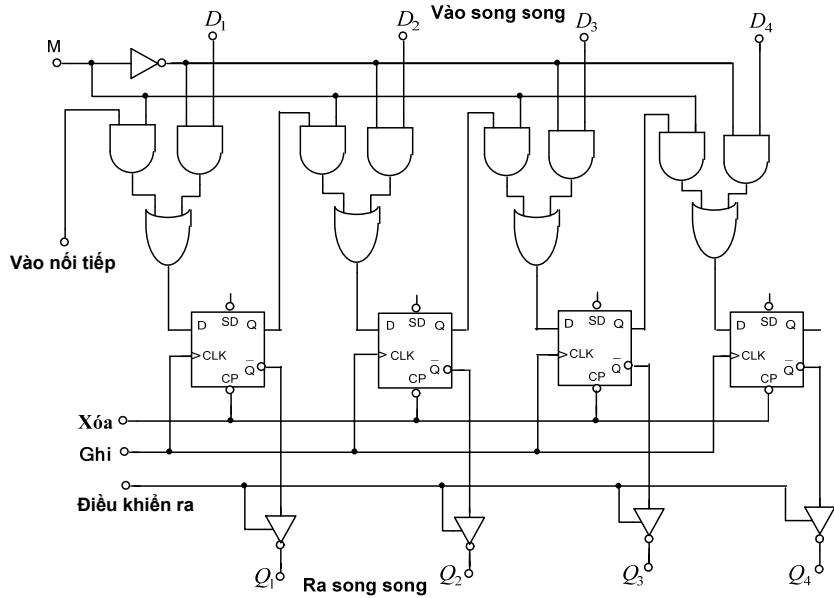
1 xung nhịp tiếp theo D₂ được đưa ra Q₄

1 xung nhịp tiếp theo D₁ được đưa ra Q₄

Như vậy muốn ghi nối tiếp 4 bit cần 4 xung nhịp CLK thì số liệu ghi xong và cho ra ở lối ra song song. Còn để lấy số liệu ra nối tiếp cần thêm 3 xung nhịp nữa.

6.4.3 Bộ ghi nối tiếp dịch phải và ghi song song.

Sơ đồ được trình bày trên hình 6.33



Hình 3.33: Bộ ghi nối tiếp dịch phải và song song

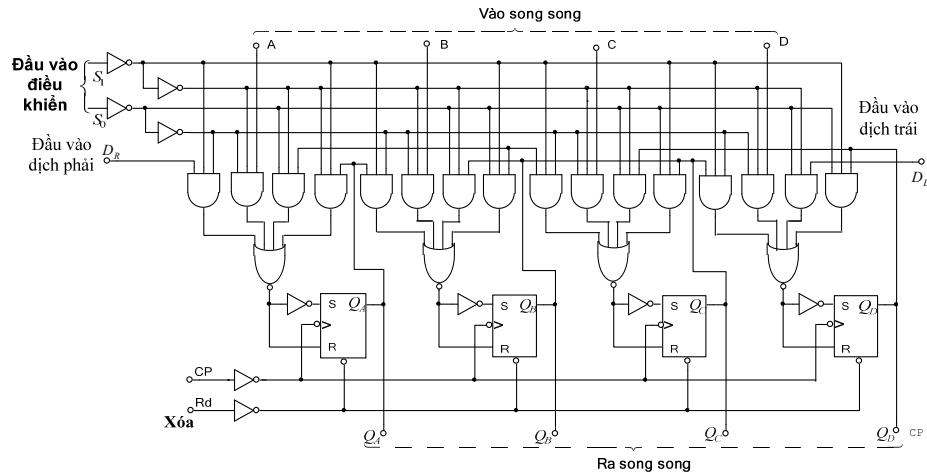
Sơ đồ có thêm lõi vào M (lõi vào điều khiển).

- $M = 1$ bộ ghi hoạt động vào nối tiếp, dịch phải.
- $M = 0$ bộ ghi hoạt động vào song song, không dịch phải. Số liệu được đưa vào D_1 D_2 D_3 D_4 chỉ cần một xung nhịp CLK là số liệu đã được ghi xong, cho “điều khiển ra” = 1 thì số liệu được đưa ra song song.

Sau một xung nhịp đã ghi xong số liệu, để lấy ra nối tiếp cho $M = 1$, sau 3 xung nhịp tiếp theo số liệu lần lượt đưa ra ở Q_4 .

6.4.4. Bộ ghi dịch đa năng (64LS194)

Sơ đồ logic của bộ ghi dịch được trình bày ở hình 6.34.



Hình 3.34: Bộ ghi dịch đa năng

Đây là bộ ghi dịch 4 bit 2 hướng, mạch điện dùng phần tử nhớ là trigger RS Master Slave mắc thành trigger D, có 2 đầu điều khiển S_0, S_1 , 4 đầu vào dữ liệu song song ABCD,

đầu vào dữ liệu nối tiếp dịch phải D_R , đầu vào dữ liệu nối tiếp dịch trái D_L , một đầu vào xóa R_d , một đầu vào xung đồng hồ CP , 4 đầu ra $Q_A Q_B Q_C Q_D$.

4 mạch NOR AND làm thành bộ chọn lựa 4 đường thông, các tín hiệu S_0, S_1 điều khiển sự chọn lựa.

Phản tử nhớ trigger D có phương trình đặc trưng: $Q^{n+1} = D$.

- Khi $S_0, S_1 = 0 0$ thì sơ đồ logic ta có:

$$\begin{aligned} Q_A^{n+1} &= \overline{\overline{Q}_A^n} = Q_A^n ; Q_B^{n+1} = \overline{\overline{Q}_B^n} = Q_B^n ; \\ Q_C^{n+1} &= \overline{\overline{Q}_C^n} = Q_C^n ; Q_D^{n+1} = \overline{\overline{Q}_D^n} = Q_D^n \end{aligned} \quad (6-29)$$

Xung đồng hồ xuất hiện thì bộ nhớ giữ nguyên trạng thái.

- Khi $S_0, S_1 = 0 1$ thì sơ đồ logic ta có:

$$\begin{aligned} Q_D^{n+1} &= \overline{\overline{Q}_L^n} = D_L ; Q_C^{n+1} = \overline{\overline{Q}_D^n} = Q_D^n ; \\ Q_B^{n+1} &= \overline{\overline{Q}_C^n} = Q_C^n ; Q_A^{n+1} = \overline{\overline{Q}_B^n} = Q_B^n \end{aligned} \quad (6-30)$$

Với tác dụng của xung đồng hồ, bộ nhớ công tác ở chế độ dịch trái, tín hiệu vào nối tiếp.

- Khi $S_0, S_1 = 1 1$ thì sơ đồ logic ta có:

$$\begin{aligned} Q_D^{n+1} &= \overline{\overline{D}} = D ; Q_C^{n+1} = \overline{\overline{C}} = C ; \\ Q_B^{n+1} &= \overline{\overline{B}} = B ; Q_A^{n+1} = \overline{\overline{A}} = A \end{aligned} \quad (6-31)$$

Khi xuất hiện xung đồng hồ, bộ nhớ tiếp nhận tín hiệu song song.

- Khi $S_0, S_1 = 1 0$ thì sơ đồ logic ta có:

$$\begin{aligned} Q_A^{n+1} &= \overline{\overline{Q}_R^n} = D_R ; Q_B^{n+1} = \overline{\overline{Q}_A^n} = Q_A^n ; \\ Q_C^{n+1} &= \overline{\overline{Q}_B^n} = Q_B^n ; Q_D^{n+1} = \overline{\overline{Q}_B^n} = Q_B^n \end{aligned} \quad (6-32)$$

Với tác dụng của xung đồng hồ, bộ nhớ hoạt động ở chế độ dịch phải, tín hiệu vào nối tiếp.

Nếu đầu vào xóa R_d có xung dương, thì bộ nhớ bị xóa về 0.

Bảng 6.12 tóm tắt chức năng bộ ghi dịch đã giới thiệu như trên.

Bảng 6.12

Chức năng	R_d	S_0	S_1	CP
Xóa về 0	H	x	x	x
Giữ nguyên trạng thái	L	L	L	↑
Dịch trái	L	L	H	↑
Vào dữ liệu song song	L	H	H	↑
Dịch phải	L	H	L	↑

6.4.5. Một số vi mạch ghi dịch

- 54/ 64195
54/ 64L 195
54/ 64LS 195A

Là vi mạch ghi dịch 4 bit, vào song song hoặc nối tiếp, ra song song, có đầu vào xóa.

- 54/ 64L 99

Giống như trên, không có đầu vào xóa

- 54/ 64 91A
54/ 64L 91
54/ 64LS 91

8 bít vào ra nối tiếp

- 54/ 64 96
54/ 64L 96
54/ 64LS 96

5 bit vào song song hoặc nối tiếp, ra song song, có đầu vào xóa.

- 54/ 64 164
54/ 64L 164
54/ 64LS 164

8 bit vào nối tiếp, ra song song, có đầu vào xóa.

- 54/ 64 199

8 bit vào song song hoặc nối tiếp, ra song song, có đầu vào xóa.

PHẦN 2: THỰC NGHIỆM

1. Sơ đồ Trigger

Nhiệm vụ:

Tìm hiểu các yếu tố nhớ bán dẫn cơ bản có hai trạng thái bền, sử dụng rộng rãi trong các thiết bị logic

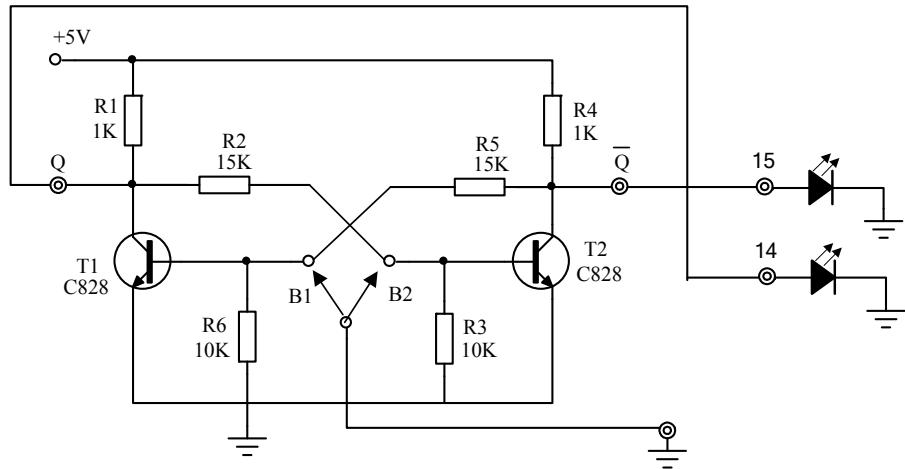
Các bước thực hiện:

1.1. Cáp nguồn +5V cho mảng sơ đồ D6-1

1.2. Sơ đồ Trigger trên transistor: hình D6-1a

1.2.1. Nối ra Q, \bar{Q} với LED 14, LED 15 của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính.

1.2.2. Chập đât lần lượt điểm B1 và B2. Căn cứ trạng thái LED (LED sáng, Q = 1, LED tắt Q = 0). Ghi trạng thái Q, \bar{Q} vào bảng D6-1. Đo các giá trị thê tại Q, \bar{Q} , B1, B2 sau mỗi lần chập đât và ghi kết quả vào bảng D6-1.



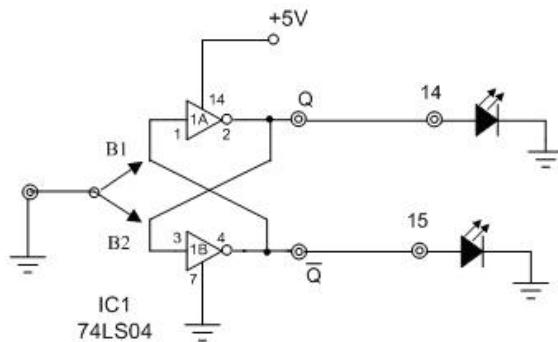
Hình D6-1a: Yếu tố hai trạng thái bền – Trigger trên transistor

Bảng D6-1

	Q	V(Q)	\bar{Q}	V(\bar{Q})	V(B1)	V(B2)
$V(B1) \rightarrow 0V$						
$V(B2) \rightarrow 0V$						

1.2.3. Dựa trên sơ đồ nguyên lý hình D6-1a, giải thích sự tồn tại hai trạng thái bền ($Q = 0$ hoặc $Q = 1$).

1.3. Sơ đồ Trigeer với cổng đảo : Hình D6-1b



Hình D6-1b: Yếu tố hai trạng thái bền – Trigger trên cổng đảo

1.3.1. Nối lối ra Q, \bar{Q} với LED 14, LED 15 của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính.

1.3.2. Chập đát nhanh lần lượt điểm Q, \bar{Q} . Căn cứ trạng thái LED (LED sáng-mức logic 1, LED tắt-mức logic 0). Ghi trạng thái Q, \bar{Q} vào bảng D6-2.

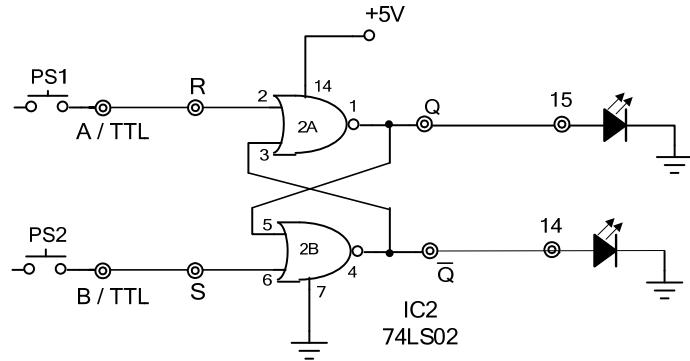
So sánh sự tương đương giữa sơ đồ trên transistor (hình D6-1a) với sơ đồ trên IC1 (hình D6-1b)

Bảng D6-2

Q	\bar{Q}
1	
0	

2. Sơ đồ Trigger R-S trên cỗng logic: hình D6-1c

2.1. Nối mạch của sơ đồ D6-1c (IC2 - cỗng NOR) với các mạch của thiết bị chính như sau:



Hình D6-1c: Trigger R-S trên cỗng NOR

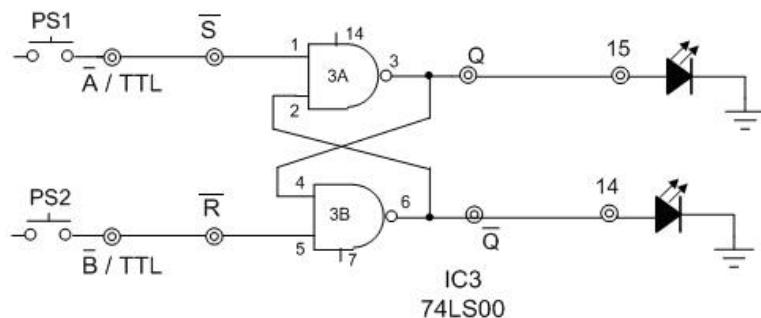
- Lối vào (Input): nối với bộ công tắc PULSE SWITCHES của thiết bị chính.
- Nối lối vào vào R với công tắc logic PS1/ lối ra A/ TTL.
- Nối lối vào vào S với công tắc logic PS2/ lối ra B/ TTL
- Lối ra (Output): nối với các LED của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính.
 - Nối lối ra Q với LED 15.
 - Nối lối ra \bar{Q} với LED 14.

2.2. Nhấn các công tắc PS1, 2 tương ứng với các trạng thái ghi trong bảng D6-3. Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt - là mức thấp (0). Ghi kết quả vào bảng D6-3.

2.3. Nối mạch của sơ đồ D6-1d (IC3 - cỗng NAND) với các mạch của thiết bị chính như sau:

Bảng D6-3

PS1 R	PS2 S	Q	\bar{Q}
↑			
	↑		



Hình D6-1d: Trigger R-S trên cỗng NAND

- Lối vào (Input): nối với bộ công tắc PULSE SWITCHES của thiết bị chính.
 - Nối lối vào \bar{S} với công tắc logic PS1/ lối ra \bar{A} / TTL.
 - Nối lối vào \bar{R} với công tắc logic PS2/ lối ra \bar{B} / TTL
- Lối ra (Output): nối với các LED của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính.
 - Nối ra Q với LED 15.
 - Nối ra \bar{Q} với LED 14.

2.4. Nhấn các công tắc PS1, 2 tương ứng với các trạng thái ghi trong bảng D6-4. Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt - là mức thấp (0). Ghi kết quả vào bảng D6-3.

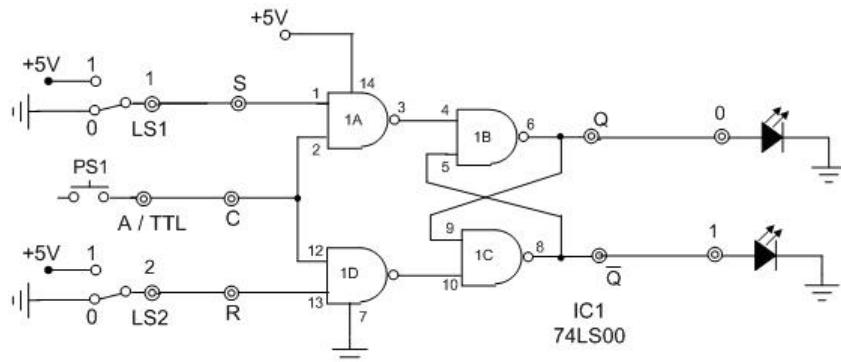
Bảng D6-4

PS1 \bar{S}	PS2 \bar{R}	Q	\bar{Q}
↓			
	↓		

2.5. So sánh kết quả giữa trigger R-S trên cổng NOR và cổng NAND.

3. Sơ đồ Trigger R-S điều khiển bằng xung trên cổng logic

3.1. Cáp nguồn +5V cho mảng sơ đồ D6-2



Hình D6-2: Sơ đồ Trigger R-S với điều khiển bằng xung

3.2. Nối mạch của sơ đồ D6-2 (IC1 - cổng NAND) với các mạch của thiết bị chính như sau:

- Lối vào (Input): nối với bộ công tắc PULSE SWITCHES của thiết bị chính.
 - Nối lối vào R với công tắc logic LS1.
 - Nối lối vào S với công tắc logic LS2.
 - Nối lối vào C với công tắc xung PS1 chốt A/TTL
- Lối ra (Output): nối với các LED của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính.
 - Nối lối ra Q với LED 0.
 - Nối lối ra \bar{Q} với LED 1.

3.3. Đặt các công tắc logic LS1, 2 tương ứng với các trạng thái ghi trong bảng D6-5. Nhấn công tắc xung, theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt - là mức thấp (0). Ghi kết quả vào bảng D6-5.

Bảng D6-5

LS1 S	LS2 R	PS1	Q	\bar{Q}
0	0	↑		
1	0	↑		
0	1	↑		
1	1	↑		

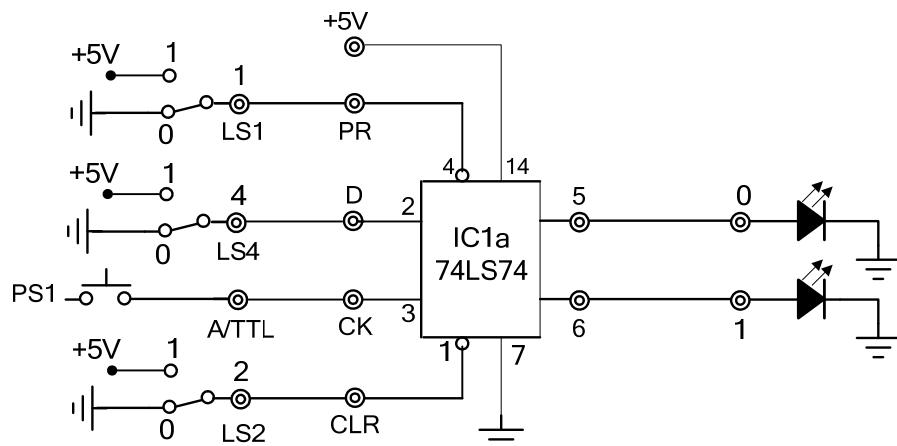
3.4. Giải thích nguyên tắc hoạt động của sơ đồ

4. Trigger D

Nhiệm vụ:

Tìm hiểu hoạt động của trigger D loại vi mạch

4.1. Cáp nguồn +5V cho mảng sơ đồ D6-4



Hình D6-4: Trigger D loại vi mạch

4.2. Nối mạch của sơ đồ hình D6-4 với các mạch của thiết bị chính như sau:

- Lối vào (Input): nối với bộ công tắc DATA & PULSE SWITCHES của thiết bị chính.
 - Nối lối vào PR với công tắc logic LS1.
 - Nối lối vào CLR với công tắc logic LS2.
 - Nối lối vào D với công tắc logic LS4.
 - Nối lối vào CK với công tắc xung PS1 – chốt A/ TTL
- Lối ra (Output): nối với các LED của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính.
 - Nối lối ra Q với LED 0.
 - Nối lối ra \bar{Q} với LED 1.

4.3. Đặt các công tắc logic LS1-2 và LS4 tương ứng với các trạng thái ghi trong bảng D6-8. Nhấn công tắc xung, theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (1), đèn LED tắt - là mức thấp (0). Ghi kết quả vào bảng D6-8.

Bảng D6-8

LS4 D	LS1 PR	LS2 CLR	PS1 Xung	Q	\bar{Q}
X	0	1	X		
X	1	0	X		
0	1	1	↑		
1	1	1	↑		
0	1	1	↑		
1	1	1	↑		

X: Giá trị bất kỳ

5. Thanh chốt dữ liệu - Latch

Nhiệm vụ: Tìm hiểu nguyên tắc chốt dữ liệu bằng vi mạch chuyên dụng chứa 8 trigger D.

Các bước thực hiện:

5.1. Cấp nguồn +5V cho mảng sơ đồ D6-6

5.2. Nối mạch của sơ đồ D6-6 với các mạch của thiết bị chính như sau:

- Lối vào (Input): nối với bộ công tắc DATA & PULSE SWITCHES của thiết bị chính.

- Nối lối vào 1D với công tắc logic LS1.

- Nối lối vào 2D với công tắc logic LS2.

- Nối lối vào 3D với công tắc logic LS3.

- Nối lối vào 4D với công tắc logic LS4.

- Nối lối vào 5D với công tắc logic LS5.

- Nối lối vào 6D với công tắc logic LS6.

- Nối lối vào 6D với công tắc logic LS6.

- Nối lối vào 8D với công tắc logic LS8.

- Nối lối vào OE (điều khiển lối ra) với công tắc DS1.

- Nối lối vào CK với công tắc xung PS1 – chốt A/ TTL

- Lối ra (Output): nối với các LED của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính.

- Nối lối ra 1Q với LED 0.

- Nối lối ra 2Q với LED 1.

- Nối lối ra 3Q với LED 2.

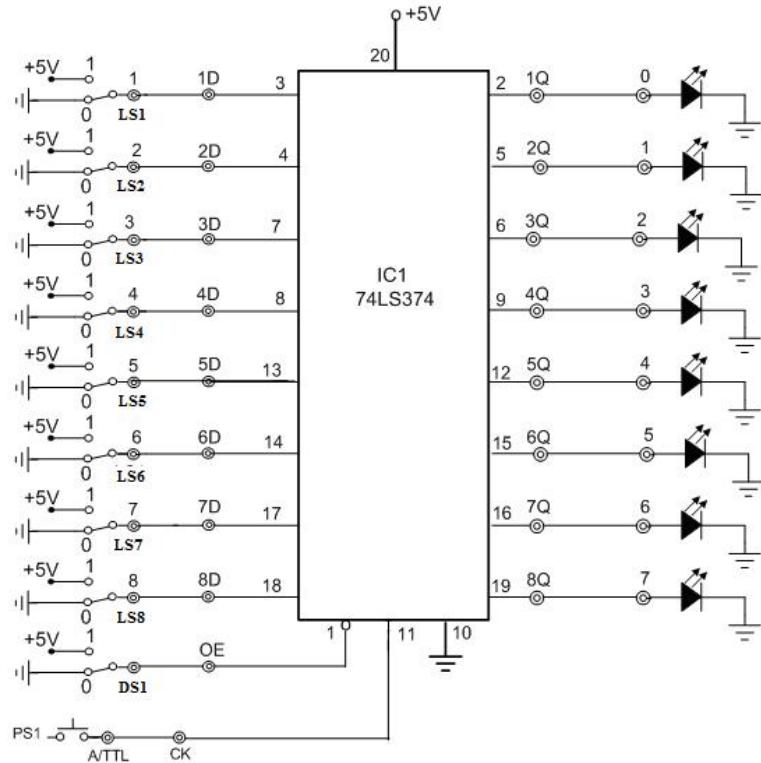
- Nối lối ra 4Q với LED 3.

- Nối lối ra 5Q với LED 4.

- Nối lối ra 6Q với LED 5.

- Nối lối ra 6Q với LED 6.

- Nối lối ra 8Q với LED 6.



Hình D6-6: Thanh chốt số liệu

5.3. Đặt các công tắc logic LS1-8 và nhấn PS1 theo bảng D6-11. Xác định trạng thái lối ra Q theo các đèn LED chỉ thị. Đèn LED sáng Q = 1, đèn LED tắt Q = 0. Ghi kết quả vào bảng D6-11

Bảng D6-11

OC	CK	8D	6D	6D	5D	4D	3D	2D	1D	8Q	6Q	6Q	5Q	4Q	3Q	2Q	1Q
1	↑	0	0	0	0	0	0	0	0								
0	↑	0	1	0	1	0	1	0	1								
0	↑	1	0	1	0	1	0	1	0								
0	↑	1	1	0	0	1	1	0	0								
0	↑	1	1	1	1	1	1	1	1								

5.4. Phát biểu tóm tắt về nguyên tắc làm việc của thanh chốt đã khảo sát.

6. Bộ ghi dịch – Shift register

Nhiệm vụ:

Tìm hiểu nguyên tắc hoạt động của bộ ghi dịch trong các phép biến đổi mã song song thành nối tiếp hoặc ngược lại.

Các bước thực hiện:

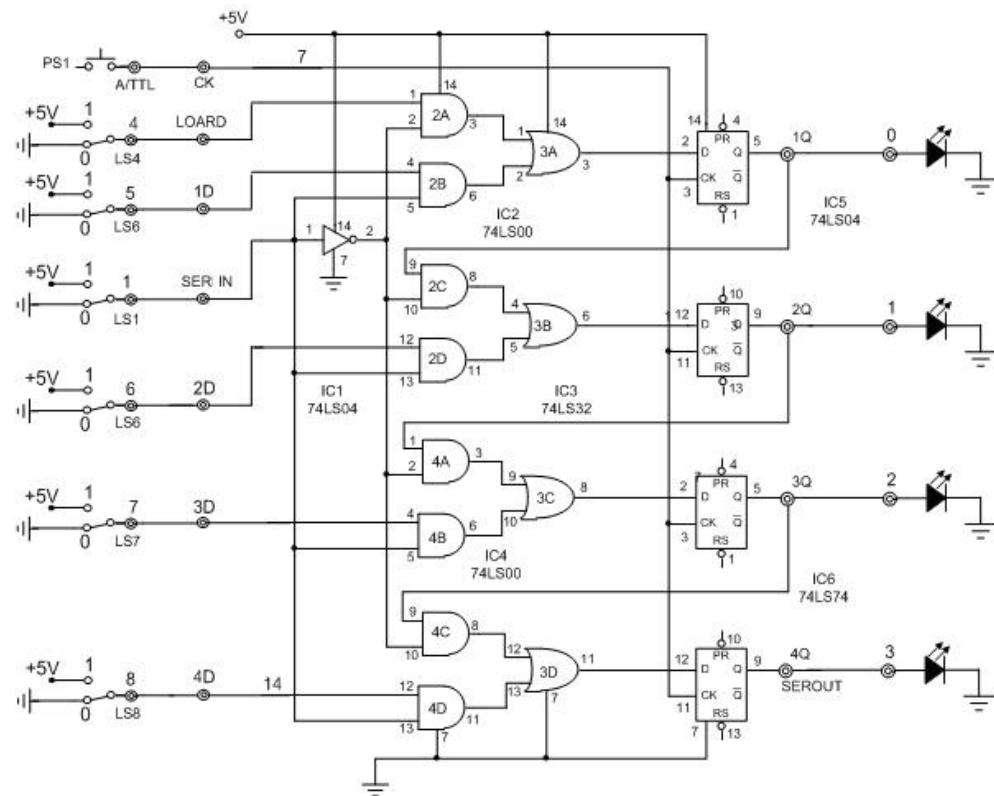
6.1. Cáp nguồn +5V cho mảng sơ đồ D6-7.

6.2. Bộ ghi dịch trên vi mạch rời:

Bộ ghi dịch trên vi mạch rời bao gồm các trigger D và các cổng điều khiển mô tả trên hình D6-7a.

6.2.1. Nối mạch của sơ đồ D6-7a với các mạch của thiết bị chính như sau:

- Lối vào (Input): nối với bộ công tắc DATA & PULSE SWITCHES của thiết bị chính.
- Nối lối vào SER IN với công tắc logic LS1.
- Nối lối vào nạp (LOAD) với công tắc logic LS4.
- Nối lối vào CK với công xung PS1 – chốt A/ TTL.
- Nối lối vào 1D với công tắc logic LS5.
- Nối lối vào 2D với công tắc logic LS6.
- Nối lối vào 3D với công tắc logic LS6.
- Nối lối vào 4D với công tắc logic LS8.
- Lối ra (Output): nối với các LED của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính.
 - Nối lối ra 1Q với LED 0.
 - Nối lối ra 2Q với LED 1.
 - Nối lối ra 3Q với LED 2.
 - Nối lối ra 4Q với LED 3.



Hình D6-7a: Bộ ghi dịch trên vi mạch rời

6.2.2. Bộ dịch mã nối tiếp – song song: Chưa sử dụng các công tắc LS5- LS8.

Đặt các công tắc logic LS4 và nhấn PS1 theo bảng D6-12. Xác định trạng thái lối ra Q theo các đèn LED chỉ thị. Đèn LED sáng Q = 1, đèn LED tắt Q = 0. Ghi kết quả vào bảng D6-12.

Bảng D6-12

LS4 LOAD	LS1 SER IN	PS1 CK	4Q	3Q	2Q	1Q
0	1	↑				
0	0	↑				
0	0	↑				
0	0	↑				
0	1	↑				
0	0	↑				
0	0	↑				
0	0	↑				

6.2.3. Bộ dịch mã song song - nối tiếp :

Đặt các công tắc logic LS5-8 và LS4 theo bảng D6-13 để các mã song song vào các trigger D.

Nhấn PS1 – CK để ghi các mã từ lối vào song song (1D-4D) vào các trigger D (IC5-IC6). Để dịch mã cần chuyển LS4 → 0 và nhấn PS1.

Xác định trạng thái lối ra 1Q – 4Q theo các đèn LED chỉ thị. Đèn LED sáng Q = 1, đèn LED tắt Q = 0. Ghi kết quả vào bảng D6-13.

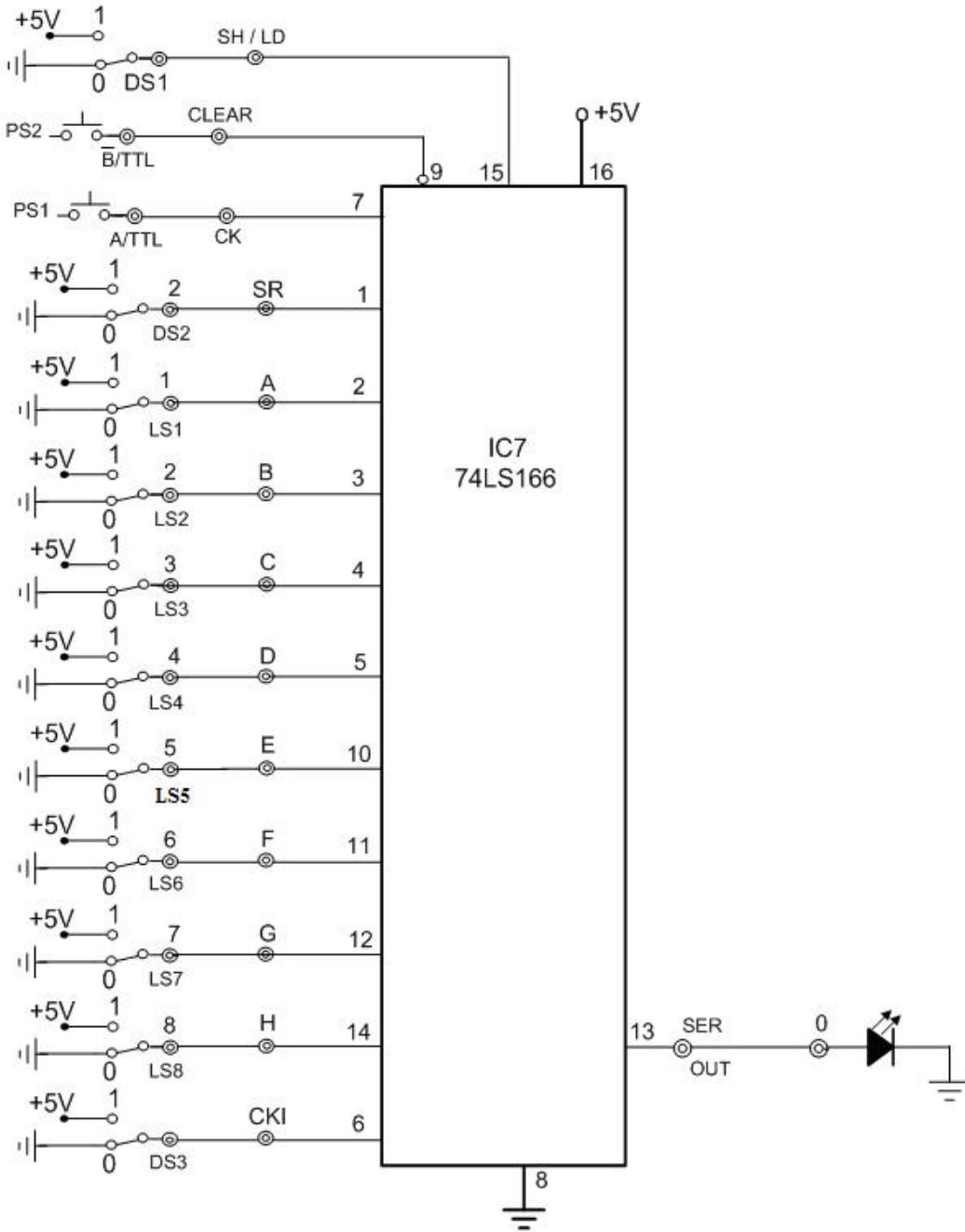
Bảng D6-13

LS4 LOAD	LS1 SER IN	PS1 CK	LS8 4D	LS6 3D	LS6 2D	LS5 1D	4Q 3Q 2Q 1Q
1	0	↑	0	1	0	1	
0	0	↑					
0	0	↑					
0	0	↑					
0	1	↑					
0	0	↑					
0	0	↑					
0	0	↑					

6.3. Bộ ghi dịch dùng vi mạch**6.3.1. Nối mạch của sơ đồ D6-7b với các mạch của thiết bị chính như sau:**

- Lối vào (Input): nối với bộ công tắc DATA & PULSE SWITCHES của thiết bị chính.
 - Nối lối vào A với công tắc logic LS1.
 - Nối lối vào B với công tắc logic LS2.
 - Nối lối vào C với công tắc logic LS3.
 - Nối lối vào D với công tắc logic LS4.
 - Nối lối vào E với công tắc logic LS5.
 - Nối lối vào F với công tắc logic LS6.
 - Nối lối vào G với công tắc logic LS6.
 - Nối lối vào H với công tắc logic LS8.
 - Nối lối vào SHIFT/ LOAD (SH/LD) với công tắc DS1.
 - Nối lối vào SERIAL IN (SR) với công tắc DS2.

- Nối lõi vào CK INHIBIT (CK1) với công tắc DS3
- Nối lõi vào CK với công tắc xung PS1 – chốt A/ TTL
- Nối lõi vào CLEAR với công tắc xung PS2 – chốt B/ TTL
- Lõi ra (SerOut): nối với LED0 của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính.



Hình D6-7b: Bộ ghi dịch dùng vi mạch

6.3.2. Đặt các công tắc logic LS1-8 và DS1-3 theo bảng D6-14 để chuẩn bị ghi các mã song song vào các trigger D.

Nhấn PS1 – CK để ghi các mã từ lối vào song song (A-H) vào các bộ ghi (IC6). Để dịch mã cần chuyển DS1 – SH/LD từ 1 → 0 và nhấn PS1 - CK.

Xác định trạng thái lối ra 1Q – 4Q theo các đèn LED chỉ thị. Đèn LED sáng Q = 1, đèn LED tắt Q = 0. Ghi kết quả vào bảng D6-14.

Bảng D6-14

PS2 CLR	SH/ LD	DS2 SR	DS3 CK1	PS1 CK	LS8 H	LS6 G	LS6 F	LS5 E	LS4 D	LS3 C	LS6 B	LS6 A	SER OUT
0	X	X	X	X									
1	X	X	0	0	0	0	0	1	1	0	0	1	
1	0	X	0	↑									
1	1	1	0	↑									
1	1	0	0	↑									
1	1	0	0	↑									
1	1	0	0	↑									
1	1	0	0	↑									
1	X	X	1	↑									

BÀI 7

SƠ ĐỒ TRIGGER VÀ BỘ ĐÉM

Mục đích: Khảo sát các bộ đếm nhị phân, thập phân đồng bộ và không đồng bộ, bộ đếm vòng.

PHẦN I: LÝ THUYẾT

7.1. Đặc điểm, phân loại bộ đếm và phương pháp phân tích

Bộ đếm là loại mạch tuần tự đơn giản, hoạt động theo chế độ tuần hoàn, có một lối vào và một lối ra chính. Kết thúc vòng tuần hoàn bộ đếm lại quay về trạng thái ban đầu và hàm ra lấy giá trị 1. Ngoài các lối vào và lối ra chính còn có các lối vào và lối ra phụ. Các lối vào phụ có thể dùng để lập, xóa trạng thái trong của bộ đếm về một giá trị ban đầu theo mong muốn, hoặc lập trình để tạo kiểu đếm, hoặc thay đổi tính năng của bộ đếm. Lối ra phụ cũng có thể bao gồm nhiều loại khác nhau, các lối ra từ Q_0 đến Q_{n-1} chính là trạng thái của bộ đếm. Khi cần có thể dẫn tín hiệu này qua một bộ giải mã để hiển thị kết quả đếm.

7.1.1. Đặc điểm và phân loại bộ đếm

Mạch đếm là loại mạch dây đơn giản, cũng như các mạch dây khác, mạch đếm được xây dựng từ các phần tử nhớ là các trigger và các phần tử tổ hợp.

Các mạch đếm là phần tử cơ bản của các hệ thống số, chúng được sử dụng để đếm thời gian, chia tần số, điều khiển các mạch khác. Mạch đếm được dùng rất nhiều trong các dụng cụ đo lường chỉ thị số, các máy tính điện tử. Bất kỳ hệ thống số hiện đại nào đều sử dụng các bộ đếm. Để xây dựng các bộ đếm, người ta có thể dùng mã nhị phân, hoặc các mã khác như mã Gray, mã N BCD, mã vòng...

Để phân loại bộ đếm có nhiều cách khác nhau:

Căn cứ vào sự khác biệt tình huống chuyển đổi trạng thái của trigger trong bộ đếm, người ta phân thành hai loại: Bộ đếm đồng bộ (Synchronous), bộ đếm dị bộ (không đồng bộ) (Asynchronous).

Trong bộ đếm đồng bộ các trigger đều chịu tác dụng điều khiển của một xung đồng hồ duy nhất, đó là xung điều khiển đầu vào. Vậy sự chuyển đổi trạng thái của chúng là đồng bộ. Bộ đếm dị bộ thì khác, có trigger chịu tác dụng điều khiển trực tiếp của xung đếm đầu vào, nhưng cũng có trigger chịu tác dụng điều khiển của xung ở đầu ra của trigger khác. Vậy sự chuyển đổi trạng thái là không cùng một lúc, tức là dị bộ (không đồng bộ).

Căn cứ vào sự khác biệt của hệ số đếm của bộ đếm, người ta phân thành các loại: bộ đếm nhị phân, bộ đếm thập phân, bộ đếm N phân. Nếu gọi n là số vị trí trong mã số nhị phân (cũng là số trigger trong bộ đếm), gọi N là số trạng thái tích cực (cũng là số tổ hợp mã hóa được dùng khi lập mã), đối với bộ đếm nhị phân $N = 2^n$, đối với bộ đếm thập phân $N = 10$. Bộ đếm nhị phân và bộ đếm thập phân là trường hợp riêng của bộ đếm N phân. Ta thường gọi N là dung lượng bộ đếm hoặc độ dài đếm của bộ đếm.

Căn cứ vào xung đếm đầu vào, mà số đếm của bộ đếm tăng hay giảm mà người ta phân thành 3 loại: Bộ đếm thuận (Up counter), bộ đếm nghịch (Down counter), bộ đếm thuận nghịch.

Phân loại theo khả năng lập trình: người ta phân thành: Bộ đếm có khả năng lập trình (Programable counter), bộ đếm không có khả năng lập trình.

Bộ đếm có khả năng lập trình, là bộ đếm có thể sử dụng với các hệ số đếm khác nhau, tùy thuộc vào tín hiệu điều khiển đưa vào nó. Do vậy, bộ đếm này đa năng hơn các bộ đếm có một hệ số đếm cố định và ngày càng được sử dụng rộng rãi.

7.1.2. Phương pháp cơ bản phân tích chức năng logic của mạch dãy

Để phân tích mạch dãy người ta đưa ra một quy trình phân tích gồm 4 bước sau:

1. Viết phương trình

Căn cứ vào mạch điện đã cho, viết phương trình định thời, phương trình đầu ra, phương trình kích, các công thức logic của tín hiệu đầu ra và tín hiệu đầu vào.

2. Tìm phương trình trạng thái.

Thay phương trình kích vào phương trình đặc trưng của trigger tương ứng, ta sẽ tìm được phương trình trạng thái của mạch điện, cũng tức là phương trình trạng thái tiếp theo của các trigger.

3. Tính toán

Đưa tất cả các tổ hợp có thể của trạng thái hiện tại và tín hiệu đầu vào của phương trình trạng thái và phương trình đầu ra, rồi tính toán tìm ra trạng thái tiếp theo và tín hiệu đầu ra tương ứng.

4. Vẽ đồ hình trạng thái hoặc bảng trạng thái hoặc đồ thị thời gian

Vẽ đồ thị thời gian cần lưu ý: trigger chỉ chuyển đổi trạng thái tương ứng với sườn kích của xung đồng hồ xuất hiện.

Quy trình 4 bước trên là chung, không bắt buộc tuân theo máy móc, nên vận dụng linh hoạt trong các trường hợp cụ thể.

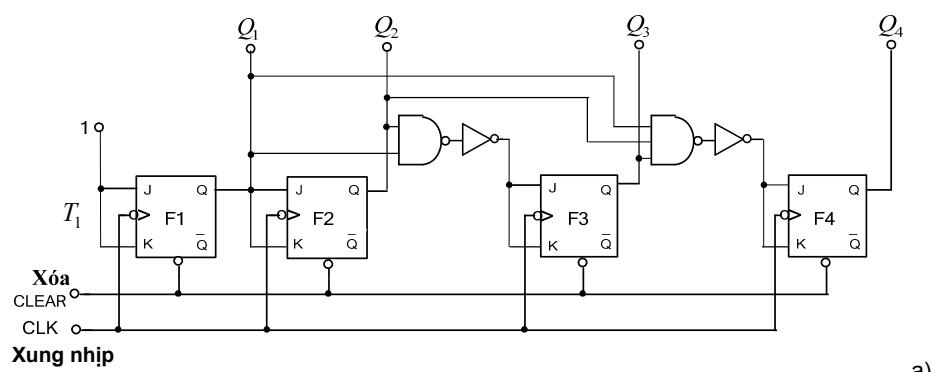
7.2. Bộ đếm đồng bộ

7.2.1. Bộ đếm nhị phân đồng bộ

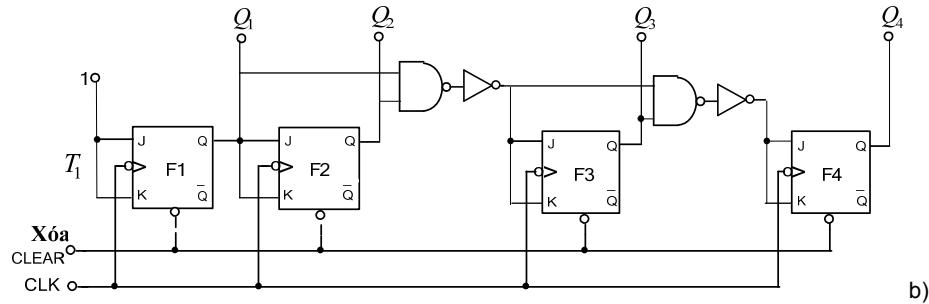
Bộ đếm nhị phân đồng bộ nói chung cấu trúc bằng trigger T hoặc các trigger loại khác nhưng mắc thành trigger T.

1. Bộ đếm thuận nhị phân đồng bộ

Hình 7.1a trình bày bộ đếm thuận nhị phân đồng bộ.



a)



Hình 7.1: Bộ đếm thuần nhị phân đồng bộ 4 bit. chuyển vị song song a) ; chuyển vị nối tiếp b)

Bộ đếm cấu trúc bằng 4 trigger JK nối thành trigger T, thêm 2 cổng NAND và 2 cổng NOT, CLK là xung đếm đầu vào.

Nguyên lý làm việc:

Viết các phương trình

- Xung đồng hồ của 4 trigger đều là xung đếm đầu vào:

$$CLK_1 = CLK_2 = CLK_3 = CLK_4 = CLK$$

- Phương trình kích:

$$\left. \begin{aligned} T_1 &= 1 \\ T_2 &= Q_1^n \\ T_3 &= Q_1^n \cdot Q_2^n \\ T_4 &= Q_1^n \cdot Q_2^n \cdot Q_3^n \end{aligned} \right\} \quad (7-1)$$

- Tìm phương trình trạng thái:

Phương trình đặc trưng của trigger T:

$$Q^{n+1} = T \bar{Q}^n + \bar{T} Q^n$$

Thay phương trình kích vào phương trình đặc trưng, ta có:

$$\left. \begin{aligned} Q_1^{n+1} &= T_1 \bar{Q}_1^n + \bar{T}_1 Q_1^n = \bar{Q}_1^n \\ Q_2^{n+1} &= T_2 \bar{Q}_2^n + \bar{T}_2 Q_2^n = Q_1^n \bar{Q}_2^n + \bar{Q}_1^n Q_2^n \\ Q_3^{n+1} &= T_3 \bar{Q}_3^n + \bar{T}_3 Q_3^n = Q_1^n Q_2^n \bar{Q}_3^n + \bar{Q}_1^n \bar{Q}_2^n Q_3^n \\ Q_4^{n+1} &= T_4 \bar{Q}_4^n + \bar{T}_4 Q_4^n = Q_1^n Q_2^n Q_3^n \bar{Q}_4^n + \bar{Q}_1^n \bar{Q}_2^n \bar{Q}_3^n Q_4^n \end{aligned} \right\} \quad (7.2)$$

Tính toán:

Khi có xung xóa Clear = 0 tất cả $Q_4^n Q_3^n Q_2^n Q_1^n = 0000$; clear = 1 mạch ở chế độ đếm.

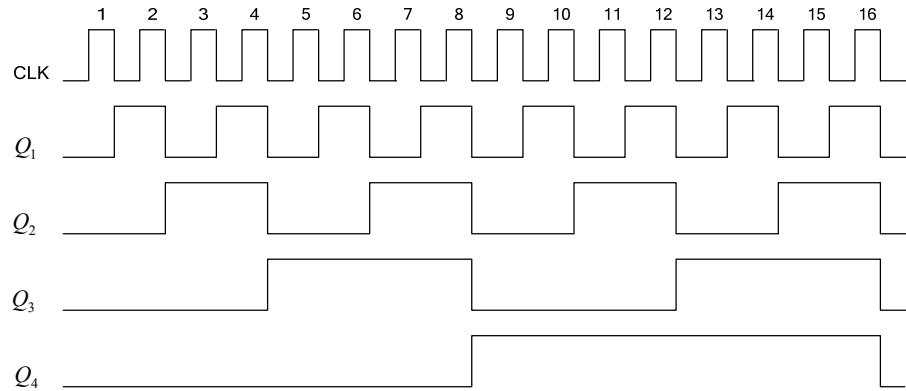
Ta tính toán được bằng kết quả 7-1 đó là các trạng thái tiếp theo của bộ đếm:

$$Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$$

Bảng 7-1: Các trạng thái tiếp theo

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0
1	1	1	0	1	1	1	1
1	1	1	1	0	0	0	0

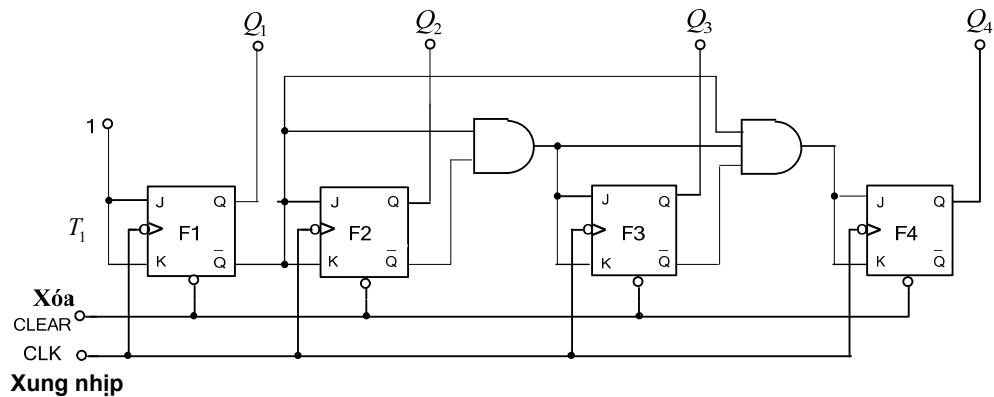
Dạng sóng của bộ đếm thuận nhị phân đồng bộ được trình bày ở hình 7.2.



Hình 7.2: Dạng sóng bộ đếm thuận nhị phân đồng bộ

2. Bộ đếm nghịch nhị phân đồng bộ

Sơ đồ được trình bày trên hình 7.3.



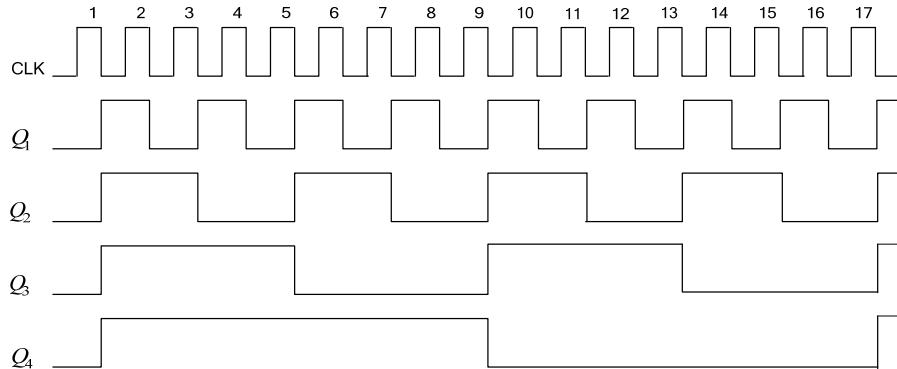
Hình 7.3: Bộ đếm nghịch nhị phân đồng bộ chuyển vị song song

Tương tự như phần trên, dùng các phương pháp phân tích cơ bản, ta có bảng chuyển trạng thái 7.2.

Bảng 7-2: Bảng chuyển trạng thái của bộ đếm nghịch nhị phân đồng bộ

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	1	1	1	1
1	1	1	1	1	1	1	0
1	1	1	0	1	1	0	1
1	1	0	1	1	1	0	0
1	1	0	0	1	0	1	1
1	0	1	1	1	0	1	0
1	0	1	0	1	0	0	1
1	0	0	1	1	0	0	0
1	0	0	0	0	1	1	1
0	1	1	1	0	1	1	0
0	1	1	0	0	1	0	1
0	1	0	1	0	1	0	0
0	1	0	0	0	0	1	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	0	1
0	0	0	1	0	0	0	0
0	0	0	0	1	1	1	1

So sánh hình 7.1a và hình 7.3 ta thấy sự khác biệt của bộ đếm nghịch với bộ đếm thuận là đầu ra \bar{Q} của trigger cung cấp tín hiệu chuyển vị, dạng sóng của bộ đếm nghịch được trình bày trên hình 7.4.



Hình 7.4: Dạng sóng của bộ đếm nghịch nhị phân đồng bộ

3. Bộ đếm thuận nghịch nhị phân đồng bộ

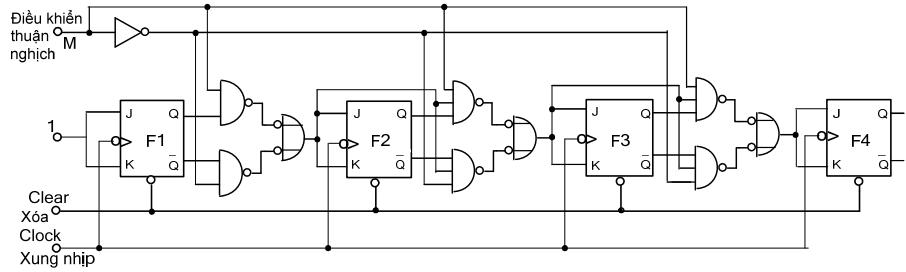
Sơ đồ được trình bày trên hình 7.5.

Mạch có đầu vào điều khiển đếm thuận, đếm nghịch.

$M = 1$ mạch đếm thuận.

$M = 0$ mạch đếm nghịch

Đây thực chất là 2 bộ đếm thuận, nghịch gộp lại với nhau, có thêm một số cổng logic làm nhiệm vụ điều khiển.



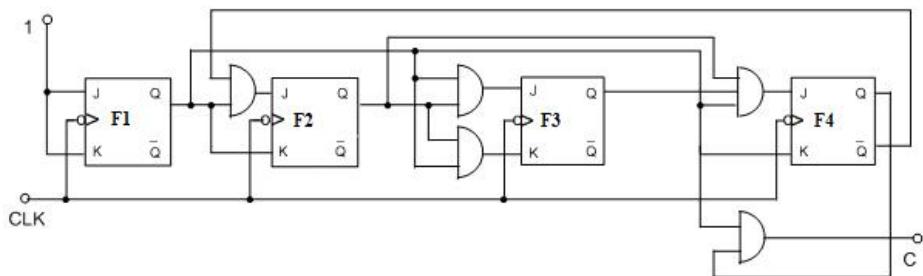
Hình 7.5: Bộ đếm thuận nghịch nhị phân đồng bộ

7.2.2. Bộ đếm thập phân đồng bộ

Bộ đếm thập phân là bộ đếm theo mã nhị- thập phân. Vì tương ứng với nhiều kiểu mã hóa của mã nhị- thập phân, nên bộ đếm cũng có nhiều bộ đếm thập phân khác nhau. Ở đây chỉ giới thiệu bộ đếm thập phân dùng mã nhị- thập phân 7421 hay N BCD (BCD – NORMAL).

1. Bộ đếm thuận thập phân đồng bộ

Sơ đồ được trình bày trên hình 7.6.



Hình 7.6: Bộ đếm thuận thập phân đồng bộ

Mạch gồm 4 trigger JK và một số công làm nhiệm vụ kích và chuyển vị (nhớ) đầu ra C, xung đầu vào là CLK.

Nguyên lý hoạt động:

Viết phương trình.

$$\left. \begin{array}{l} CLK_1 = CLK_2 = CLK_3 = CLK_4 = CLK \\ C = Q_4^n \cdot Q_1^n \end{array} \right\} \quad (7-3)$$

- Phương trình kích:

$$\left. \begin{array}{l} J_1 = K_1 = 1 \\ J_2 = \overline{Q_4^n} \cdot Q_1^n ; \quad K_2 = Q_1^n \\ J_3 = K_3 = Q_2^n \cdot Q_1^n \\ J_4 = Q_3^n \cdot Q_2^n \cdot Q_1^n ; \quad K_4 = Q_1^n \end{array} \right\} \quad (7-4)$$

- Tìm phương trình trạng thái bằng cách thay phương trình kích vào phương trình đặc trưng và trigger JK ta có:

$$\left. \begin{aligned}
 Q_1^{n+1} &= J_1 \cdot \overline{Q_1^n} + \overline{K_1} \cdot Q_1^n = \overline{Q_1^n} \\
 Q_2^{n+1} &= J_2 \cdot \overline{Q_2^n} + \overline{K_2} \cdot Q_2^n = Q_1^n \cdot \overline{Q_2^n} \cdot \overline{Q_4^n} + \overline{Q_1^n} \cdot Q_2^n \\
 Q_3^{n+1} &= J_3 \cdot \overline{Q_3^n} + \overline{K_3} \cdot Q_3^n = Q_1^n \cdot Q_2^n \cdot \overline{Q_3^n} + \overline{Q_1^n} \cdot \overline{Q_2^n} \cdot Q_3^n \\
 Q_4^{n+1} &= J_4 \cdot \overline{Q_4^n} + \overline{K_4} \cdot Q_4^n = Q_1^n \cdot Q_2^n \cdot Q_3^n \cdot \overline{Q_4^n} + \overline{Q_1^n} \cdot Q_4^n
 \end{aligned} \right\} \quad (7-5)$$

Tính toán:

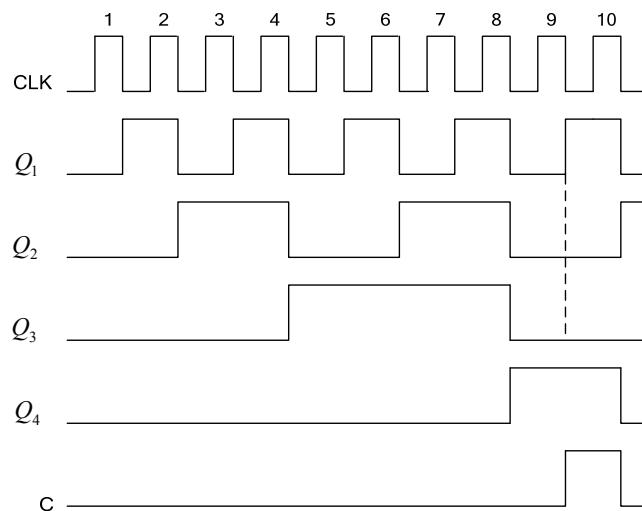
Bắt đầu từ giá trị $Q_4^n Q_3^n Q_2^n Q_1^n = 0000$ thay vào phương trình trạng thái và phương trình đầu ra, được kết quả ở bảng 7-3.

Bảng 7-3: Kết quả tính toán

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C
0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	0	0
0	0	1	0	0	0	1	1	0
0	0	1	1	0	1	0	0	0
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	0
0	1	1	0	0	1	1	1	0
0	1	1	1	1	0	0	0	0
1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	0	0	1

Giả sử bộ đếm hình 7.6 là bộ đếm hàng đơn vị của hệ thập phân, mạch được chuyển đổi đến trạng thái 1001($= 9_{10}$) tín hiệu nhớ trở thành mức cao, nhưng thật ra không tác động ngay mà đợi đến sườn âm của xung đồng hồ CLK thứ 10 xuất hiện, thì tín hiệu C mới kích trigger hàng chục của hệ thập phân chuyển đổi trạng thái, đồng thời bộ đếm đơn vị trở về 0 tức là mạch trở về trạng thái 0000.

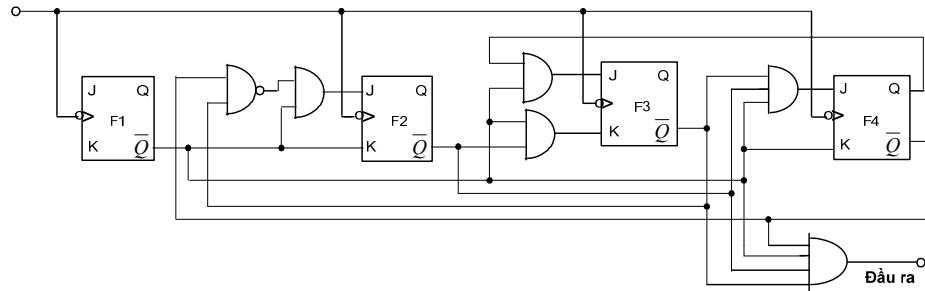
Dạng sóng của bộ đếm thuận thập phân đồng bộ được trình bày ở hình 7.7.



Hình 7.7: Dạng sóng bộ đếm thuận thập phân đồng bộ

2. Bộ đếm nghịch thập phân đồng bộ.

Mạch điện được trình bày trên hình 7.7



Hình 7.7: Bộ đếm nghịch thập phân đồng bộ

Chúng ta dễ dàng phân tích sơ đồ theo phương pháp tương tự đã dùng ở trên.

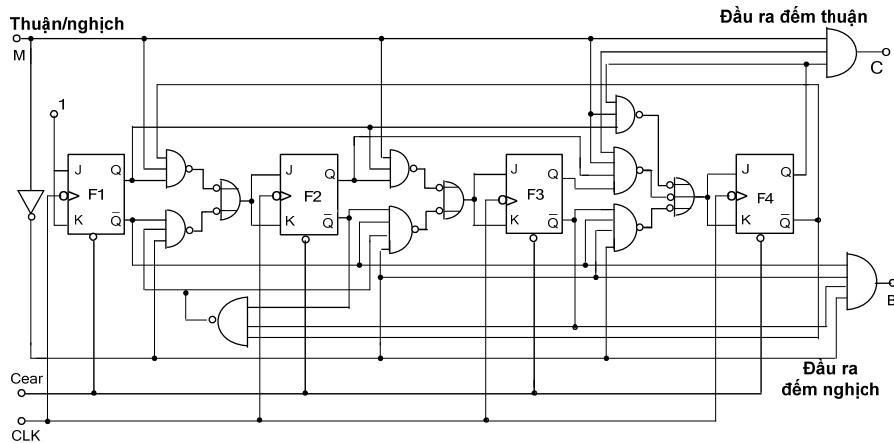
Có hai cách để cấu trúc bộ đếm thập phân đồng bộ nhiều chữ số từ bộ đếm thập phân đồng bộ một chữ số.

Cách thứ nhất là mắc dây chuyền các bộ đếm một chữ số, nối đầu ra của bộ đếm có trọng số bé với đầu vào của bộ đếm có trọng số lớn tiếp theo. Nguyên tắc hoạt động của bộ đếm 1 chữ số là đồng bộ, còn nguyên tắc làm việc của bộ đếm nhiều chữ số là dị bộ.

Cách thứ hai nối đầu ra của bộ đếm trọng số bé với tất cả các đầu vào đồng bộ của 4 trigger của bộ đếm có trọng số lớn tiếp theo và cũng nối đầu vào công chuyển vị (công nhớ) với đầu ra của bộ đếm này, còn các xung đồng hồ của các bộ đếm đều là xung đếm đầu vào CLK. Trong cách thứ hai nguyên tắc hoạt động của toàn bộ bộ đếm nhiều chữ số cũng là đồng bộ.

3. Bộ đếm thuận nghịch thập phân đồng bộ

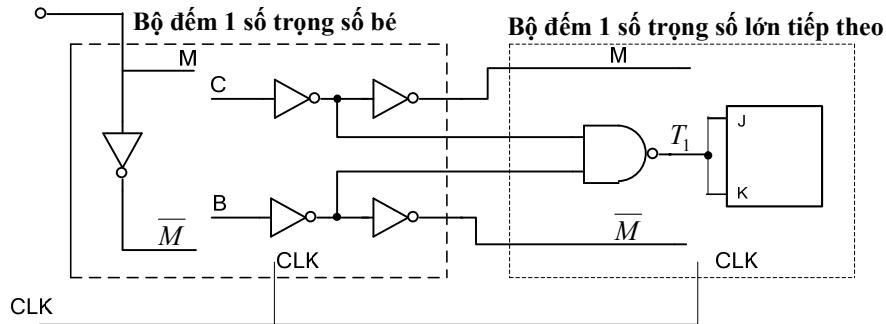
Sơ đồ được trình bày trên hình 7.9



Hình 7.9: Bộ đếm thuận nghịch thập phân đồng bộ

Khi tín hiệu điều khiển thuận nghịch $M = 1$, bộ đếm là thuận, $M = 0$ bộ đếm là nghịch.

Phương pháp ghép nối nhiều bộ đếm thuận nghịch thập phân đồng bộ được trình bày trên hình 7.10.



Hình 7.10: Cách ghép nối nhiều bộ đếm thuận nghịch thập phân đồng bộ

Khi bộ đếm có trọng số bé $C = 1$ thì bộ đếm trọng số lớn $M = 1$, $T_1 = 1$ nó công tác ở chế độ đếm thuận.

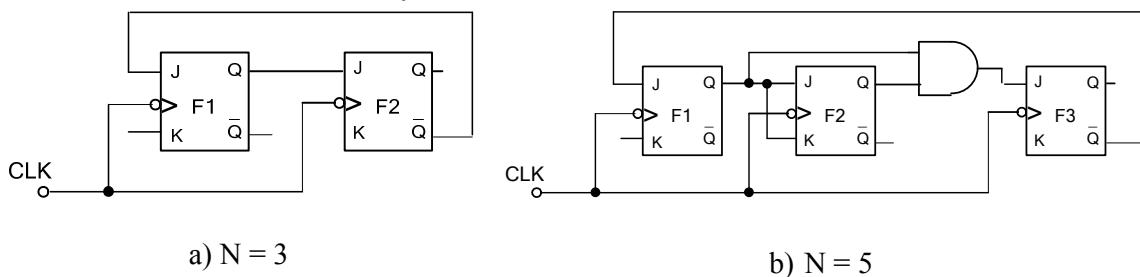
Khi bộ đếm có trọng số bé $B = 1$ thì bộ đếm trọng số lớn $\bar{M} = 1$, $T_1 = 1$ nó sẽ đếm nghịch.

Khi bộ đếm có trọng số bé $C = B = 0$ thì bộ đếm trọng số lớn $M = \bar{M} = T_1 = 0$, nó ngừng đếm.

4. Bộ đếm N phân đồng bộ

Sử dụng trigger ta có thể xây dựng bộ đếm với hệ số đếm N bất kì.

Một số sơ đồ được trình bày trên hình 7.11.



Hình 7.11: Bộ đếm đồng bộ N phân

7.3. Bộ đếm dị bộ (không đồng bộ)

7.3.1 Bộ đếm nhị phân không đồng bộ

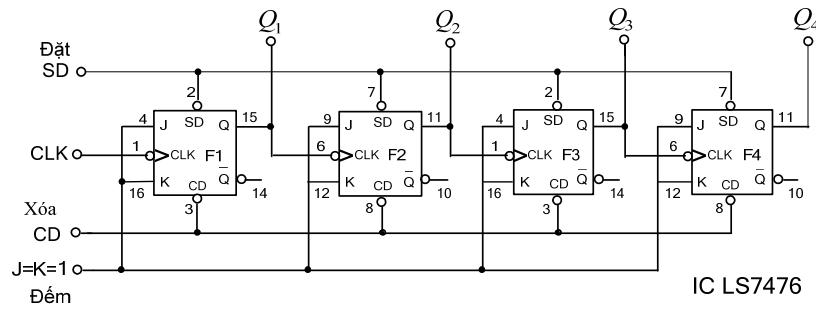
Đếm nhị phân không đồng bộ còn được gọi là bộ đếm nối tiếp. Các trigger được mắc thành trigger T' , mắc nối tiếp với nhau.

Đặc điểm của bộ đếm này là xung nhịp đếm không được đưa đồng thời vào tất cả các trigger, mà chỉ được đưa vào lối vào xung nhịp CLK của trigger đầu tiên, các lối vào xung nhịp của các trigger tiếp theo đều được nối với lối ra của các trigger trước liền kề.

Các bộ đếm nhị phân không đồng bộ được phân thành: đếm thuận và đếm nghịch.

1. Bộ đếm thuận nhị phân không đồng bộ (đếm tiến)

Sơ đồ bộ đếm thuận nhị phân không đồng bộ 4 bit được trình bày trên hình 7.12.



Hình 7.12: Sơ đồ bộ đếm thuận nhị phân không đồng bộ

Nguyên lý hoạt động

Viết các phương trình:

Phương trình định thời:

$$CLK_1 = CLK, CLK_2 = Q_1, CLK_3 = Q_2, CLK_4 = Q_3 \quad (7-6)$$

Trigger T' trong sơ đồ trên sẽ lật trạng thái mỗi khi xuất hiện sườn âm của xung đồng hồ

- Phương trình trạng thái:

$$\left. \begin{array}{l} Q_1^{n+1} = \overline{Q_1^n} \text{ với điều kiện xuất hiện sườn âm CLK} \\ Q_2^{n+1} = \overline{Q_2^n} \text{ với điều kiện xuất hiện sườn âm } Q_1 \\ Q_3^{n+1} = \overline{Q_3^n} \text{ với điều kiện xuất hiện sườn âm } Q_2 \\ Q_4^{n+1} = \overline{Q_4^n} \text{ với điều kiện xuất hiện sườn âm } Q_3 \end{array} \right\} \quad (7-7)$$

Tính toán:

Giả thiết trạng thái ban đầu $Q_4^n Q_3^n Q_2^n Q_1^n = 0000$; tuần tự thay vào Phương trình trạng thái, ta có kết quả như bảng 7-4.

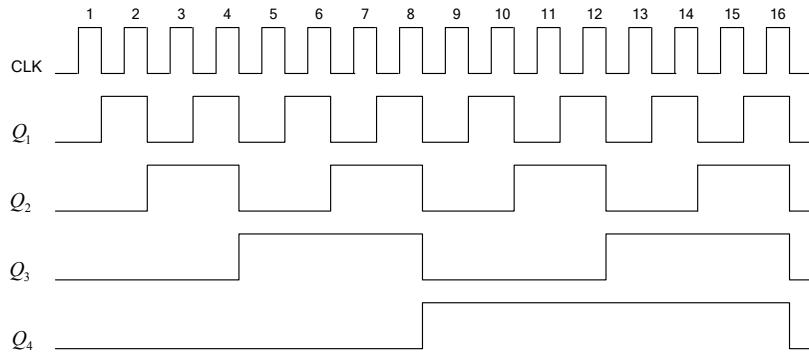
Bảng 7-4: Kết quả tính toán

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Điều kiện sườn âm
0	0	0	0	0	0	0	1	CLK_1
0	0	0	1	0	0	1	0	CLK_1, CLK_2
0	0	1	0	0	0	1	1	CLK_1
0	0	1	1	0	1	0	0	CLK_1, CLK_2, CLK_3
0	1	0	0	0	1	0	1	CLK_1
0	1	0	1	0	1	1	0	CLK_1, CLK_2
0	1	1	0	0	1	1	1	CLK_1
0	1	1	1	1	0	0	0	$CLK_1, CLK_2, CLK_3, CLK_4$
1	0	0	0	1	0	0	1	CLK_1
1	0	0	1	1	0	1	0	CLK_1, CLK_2
1	0	1	0	1	0	1	1	CLK_1
1	0	1	1	1	1	0	0	CLK_1, CLK_2, CLK_3
1	1	0	0	1	1	0	1	CLK_1
1	1	0	1	1	1	1	0	CLK_1, CLK_2
1	1	1	0	1	1	1	1	CLK_1
1	1	1	1	0	0	0	0	$CLK_1, CLK_2, CLK_3, CLK_4$

Trigger ở sơ đồ trên có thể dùng vi mạch 7476 là trigger JK, có hai lối vào không đồng bộ: đặt và xóa SD và CD đều tác dụng ở mức thấp, muốn xóa $CD = 0$, $SD = 1$, muốn đặt $SD = 0$, $CD = 1$, để bộ đếm làm việc ở chế độ đếm $CD = 1$, $SD = 1$.

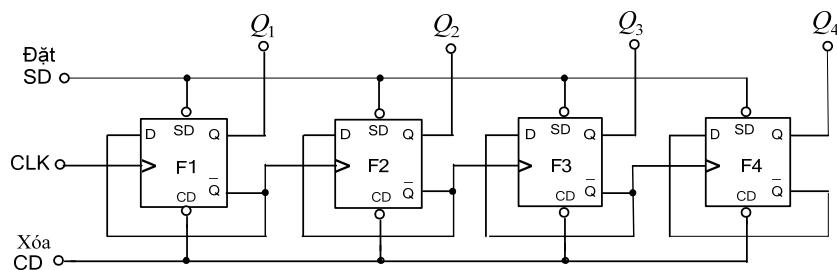
Để trigger JK trở thành trigger T' lối vào đếm $J = K = 1$.

Dạng sóng của bộ đếm được trình bày ở hình 7.13.



Hình 7.13: Dạng sóng bộ đếm thuần nhị phân đồng bộ

Bộ đếm thuần nhị phân không đồng bộ kích bằng sườn dương (hình 7.14)

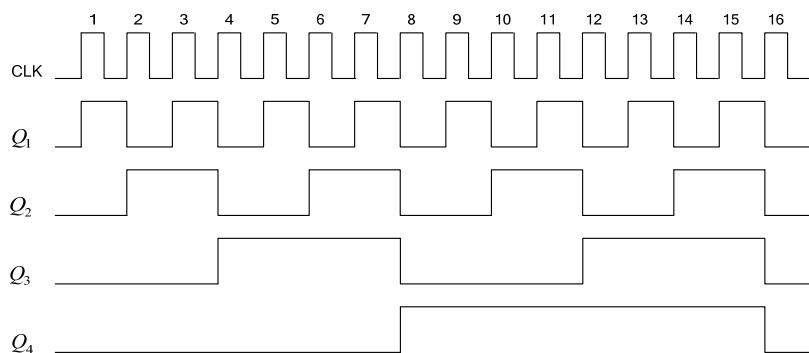


Hình 7.14: Sơ đồ bộ đếm thuần nhị phân không đồng bộ kích bằng sườn dương

Trong sơ đồ này ta dùng 4 trigger D kích bằng sườn dương được mắc thành trigger T', đầu vào của các trigger trừ trigger đầu tiên được nối với đầu ra \bar{Q} của trigger có trọng số bé hơn liền kề.

Nguyên tắc hoạt động của sơ đồ này cũng giống như sơ đồ dùng trigger JK kích bằng sườn âm, ta cần chú ý điều kiện định thời kích bằng sườn dương, dễ dàng hiểu rõ mạch điện.

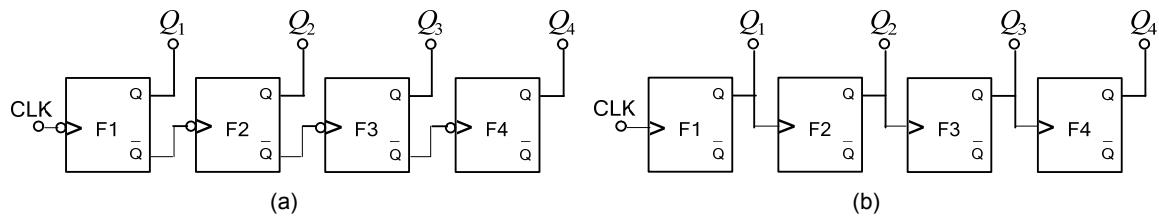
Dạng sóng của bộ đếm kiểu này được trình bày ở hình 7.15, chú ý là sườn xuống của Q là sườn lên của \bar{Q} .



Hình 7.15: Dạng sóng của bộ đếm thuần nhị phân không đồng bộ kích bằng sườn dương

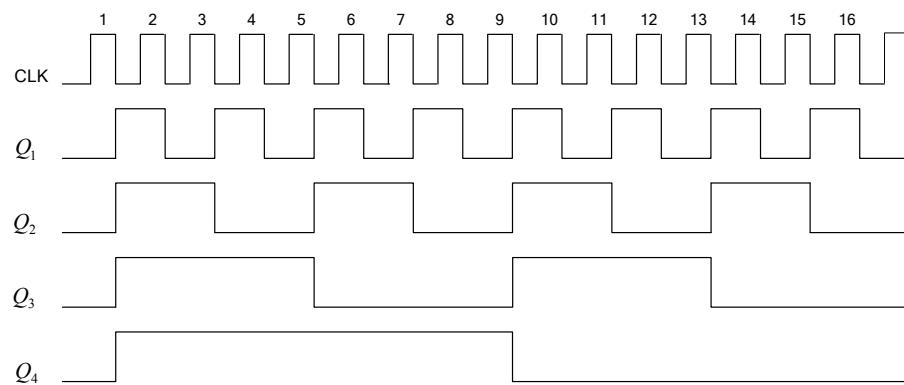
2. Bộ đếm nghịch nhị phân không đồng bộ

Sơ đồ bộ đếm này được trình bày ở hình 7.16 sử dụng các trigger mắc thành trigger T'

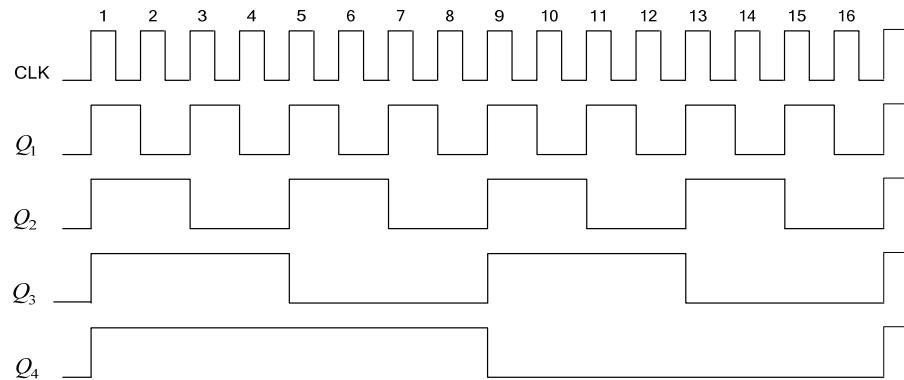


Hình 7.16: Bộ đếm nghịch nhị phân không đồng bộ: a) Kích bằng sườn âm; b) Kích bằng sườn dương

Dạng sóng của bộ đếm nghịch nhị phân không đồng bộ trình bày ở hình 7.17



a) Kích bằng sườn âm



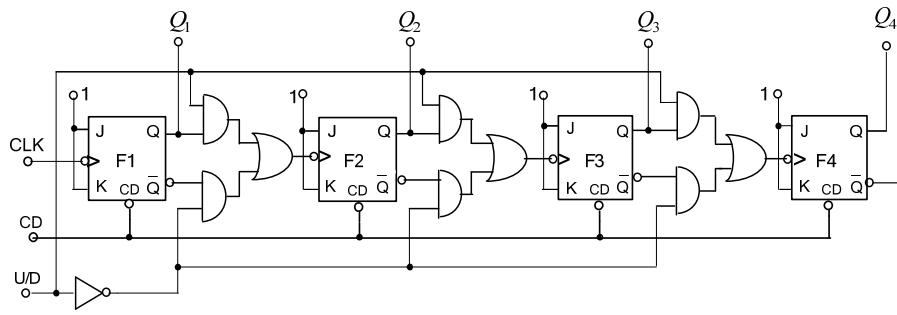
b) Kích bằng sườn dương

Hình 7.17: Dạng sóng của bộ đếm nghịch nhị phân không đồng bộ

3. Bộ đếm thuận nghịch nhị phân không đồng bộ

Sơ đồ được trình bày ở hình 7.17.

Thực chất đây là mạch ghép của bộ đếm thuận và nghịch nhị phân không đồng bộ



Hình 7.17: Bộ đếm thuận nghịch nhị phân không đồng bộ

Sơ đồ có thêm lõi vào điều khiển UP/ Down và một số cổng để thực hiện đếm thuận hoặc đếm nghịch.

Đếm thuận: Khi lõi vào UP/ Down = 1, lõi ra Q của trigger trước nối với lõi vào CLK của trigger tiếp sau, mạch giống như sơ đồ hình 7.14.

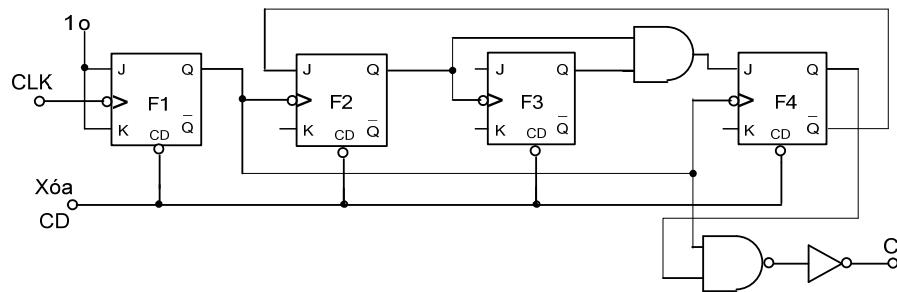
Đếm nghịch: Khi lõi vào UP/ Down = 0, lõi ra \bar{Q} của trigger trước nối với lõi vào CLK của trigger tiếp sau, mạch giống như sơ đồ hình 7.14a.

Đặc điểm của bộ đếm nhị phân không đồng bộ là cách ghép nối bô đếm và cấu trúc bô đếm đơn giản, nhưng có nhược điểm là tần số công tác thấp, xung nhiễu quá từ trạng thái mã hóa này sang trạng thái mã hóa khác lớn.

7.3.2. Bộ đếm thập phân không đồng bộ

1. Bộ đếm thuận thập phân không đồng bộ.

Sơ đồ được trình bày ở hình 7.19.



Hình 7.19: Bộ đếm thuận thập phân không đồng bộ

Sơ đồ gồm 4 trigger JK, các cổng NAND, AND và NOT, CLK là xung đếm đầu vào, C là tín hiệu chuyển vị (nhớ) đưa đến bộ đếm trọng số lớn hơn tiếp theo.

Nguyên lý hoạt động:

Viết phương trình.

- Phương trình định thời:

$$\left. \begin{aligned} CLK_1 &= CLK \\ CLK_2 &= CLK_4 = Q_1 ; CLK_3 = Q_2 \end{aligned} \right\} \quad (7-7)$$

Phương trình đầu ra:

$$C = Q_4^n \cdot Q_1^n \quad (7-9)$$

Phương trình kích:

$$\left. \begin{array}{l} J_1 = K_1 = 1 \quad J_2 = \overline{Q_4^n} \quad K_2 = 1 \\ J_3 = K_3 = 1 \quad J_4 = Q_3^n \cdot Q_2^n \quad K_4 = 1 \end{array} \right\} \quad (7-10)$$

Theo qui ước đầu vào để trống là nối với mức logic 1.

- Tìm phương trình trạng thái:

Thay các giá trị (7-10) vào phương trình đặc trưng của trigger JK ta có:

$$\left. \begin{array}{l} Q_1^{n+1} = J_1 \cdot \overline{Q_1^n} + \overline{K_1} \cdot Q_1^n = \overline{Q_1^n} \text{ với điều kiện sờn âm CLK} \\ Q_2^{n+1} = J_2 \cdot \overline{Q_2^n} + \overline{K_2} \cdot Q_2^n = \overline{Q_2^n} \cdot \overline{Q_4^n} \text{ với điều kiện sờn âm } Q_1 \\ Q_3^{n+1} = J_3 \cdot \overline{Q_3^n} + \overline{K_3} \cdot Q_3^n = \overline{Q_3^n} \text{ với điều kiện sờn âm } Q_2 \\ Q_4^{n+1} = J_4 \cdot \overline{Q_4^n} + \overline{K_4} \cdot Q_4^n = Q_2^n \cdot Q_3^n \cdot \overline{Q_4^n} \text{ với điều kiện của } Q_1 \end{array} \right\} \quad (7-11)$$

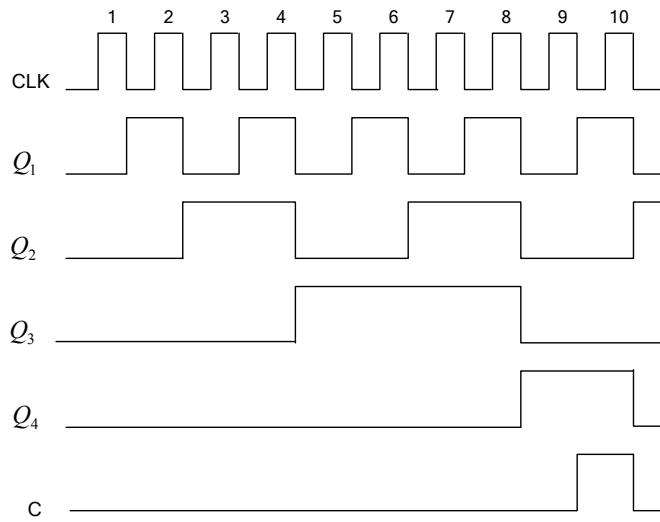
Tính toán:

Khi xung xóa ($CD = 0$) tất cả các lối ra $Q_4^n Q_3^n Q_2^n Q_1^n = 0000$. Thay vào phương trình trạng thái ta có kết quả ở bảng 7-5.

Bảng 7-5: Bảng thay đổi trạng thái của bộ đếm thập phân không đồng bộ

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C	Điều kiện sờn âm
0	0	0	0	0	0	0	1	0	CLK_1
0	0	0	1	0	0	1	0	0	CLK_1, CLK_2
0	0	1	0	0	0	1	1	0	CLK_1
0	0	1	1	0	1	0	0	0	$CLK_1, CLK_2,$ CLK_3
0	1	0	0	0	1	0	1	0	CLK_1
0	1	0	1	0	1	1	0	0	CLK_1, CLK_2
0	1	1	0	0	1	1	1	0	CLK_1
0	1	1	1	1	0	0	0	0	$CLK_1, CLK_2,$ CLK_3, CLK_4
1	0	0	0	1	0	0	1	0	CLK_1
1	0	0	1	0	0	0	0	1	CLK_1, CLK_2

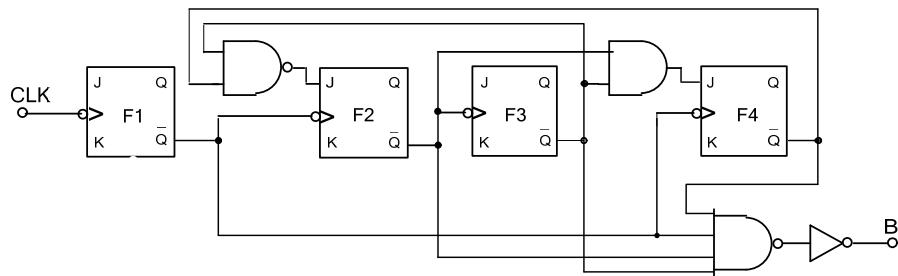
- Dạng sóng của bộ đếm thuận thập phân không đồng bộ (hình 7.20)



Hình 7.20: Dạng sóng của bộ đếm thuận thập phân không đồng bộ

2. Bộ đếm nghịch thập phân không đồng bộ.

Sơ đồ trình bày trên hình 7.21



Hình 7.21: Bộ đếm nghịch thập phân không đồng bộ

Cách ghép nối các bộ đếm thập phân không đồng bộ 1 chữ số thành bộ đếm nhiều chữ số là ghép nối liên tiếp, đầu ra của bộ đếm có trọng số bé được nối với đầu vào CLK của bộ đếm có trọng số lớn kế tiếp.

7.4. Bộ đếm IC MSI (mức tích hợp trung bình)

(MSI – Medium Scale Integration)

Các vi mạch MSI bộ đếm có nhiều chủng loại, chức năng mạnh, sử dụng tiện lợi.

1. Bộ đếm MSI

Hình 7.22 trình bày bộ đếm thuận thập phân đồng bộ MSI

a) Chế độ xóa

$R = 0$, với sự xuất hiện của xung đồng hồ, bộ đếm bị xóa, các lối ra $Q_A Q_B Q_C Q_D = 0000$.

b) Chế độ cài đặt ban đầu

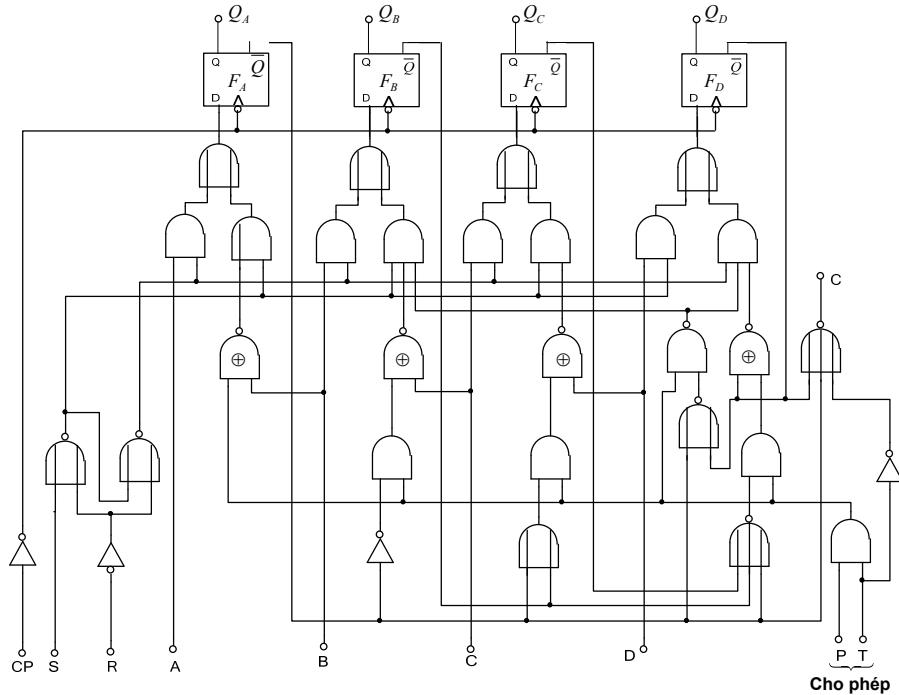
$R = 1, S = 0$ với sự xuất hiện sườn dương CLK bộ đếm thiết lập trạng thái ban đầu, tức là đưa dữ liệu từ các đầu vào DCBA vào bộ đếm.

$$Q_A^{n+1} = A, Q_B^{n+1} = B, Q_C^{n+1} = C, Q_D^{n+1} = D$$

c) Duy trì trạng thái cũ (nhớ)

Khi $R = S = 1$, $PT = 0$, với sự xuất hiện sùn dương CLK bộ đếm duy trì trạng thái vốn có.

$$Q_A^{n+1} = Q_A^n, Q_B^{n+1} = Q_B^n, Q_C^{n+1} = Q_C^n, Q_D^{n+1} = Q_D^n$$



Hình 7.22: Bộ đếm thuận thập phân đồng bộ MSI

d) Chế độ đếm

Khi $R = S = 1$, $P = T = 1$, bộ đếm thực hiện chức năng đếm.

$$\begin{aligned} Q_A^{n+1} &= \overline{Q_A^n} \\ Q_B^{n+1} &= Q_B^n \cdot \overline{Q_A^n} + \overline{Q_D^n} \cdot \overline{Q_B^n} \cdot Q_A^n \\ Q_C^{n+1} &= \overline{Q_C^n} Q_B^n \cdot Q_A^n + Q_C^n \cdot \overline{Q_B^n} \cdot \overline{Q_A^n} \end{aligned} \quad (7-12)$$

$$\begin{aligned} Q_D^{n+1} &= \overline{Q_D^n} Q_C^n Q_B^n \cdot Q_A^n + Q_D^n \cdot \overline{Q_A^n} \\ C &= Q_D^n \cdot Q_A^n \end{aligned} \quad (7-13)$$

2. Sử dụng bộ đếm IC, cấu trúc bộ đếm N phân

Trên cơ sở các bộ đếm thuận thập phân (mã hóa 7421) và nhị phân dùng IC, bằng phương pháp phản hồi để xóa, chúng ta có thể có bộ đếm N phân bất kỳ.

a) Các bước cơ bản

Giả sử So biểu thị 0, S, biểu thị 1, S_{N-1} biểu thị $N - 1$, S_N biểu thị N . Phương pháp phản hồi để xóa gồm các bước sau:

- Viết mã nhị phân của S_N .

- Tìm biểu thức logic phản hồi để xóa. (Tức là biểu thức logic đưa về lối vào xóa).

- Vẽ sơ đồ logic.

b) *Ví dụ:*

Hãy xây dựng bộ đếm $N = 12$ từ bộ đếm thuận nhị phân đồng bộ 4 bit.

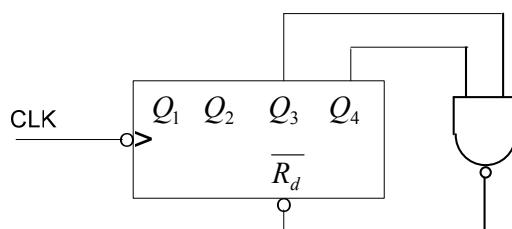
- Viết mã nhị phân của S_N .

$$N = 12, S_N = S_{12} = 1100$$

- Biểu thức logic phản hồi để xóa, đưa về lối vào xóa. ($CLR - CLEAR$, $R_d - RESET$ DATA).

$$\overline{R}_d = \overline{Q_4} \cdot Q_3$$

- Từ biểu thức, ta có sơ đồ logic của bộ đếm $N = 12$ hình 7.23.



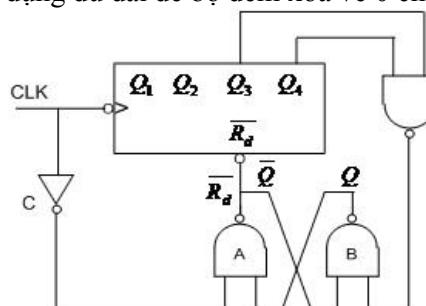
Hình 7.23: Bộ đếm $N = 12$

Phương trình này tồn tại hai nhược điểm sau:

- Trạng thái quá độ S_N cực ngắn.

- Độ tin cậy phản hồi xóa tương đối kém. Mạch cải tiến được trình bày trên hình 7.24.

Trong mạch cải tiến, trigger RS kéo dài $\overline{R}_d = 0$ thêm một thời gian nữa, do đó bảo đảm tín hiệu xóa \overline{R}_d có thời gian tác dụng đủ dài để bộ đếm xóa về 0 chắc chắn.



Hình 7.24: Mạch cải tiến bộ đếm $N = 12$

Bình thường trigger RS (do cổng A, B cấu trúc nên) ở trạng thái 0 dưới tác dụng của CLK, $\overline{R}_d = \overline{Q} = 1$.

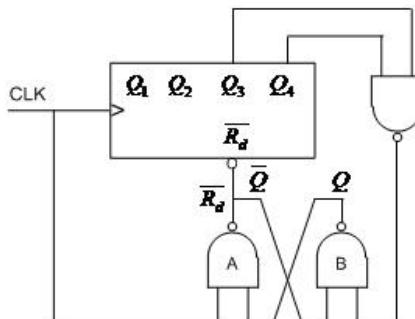
Khi bộ đếm đến giá trị $S_{N-1} = S_{11} = 1011$, nếu xuất hiện thêm 1 xung đếm CLK, vào khoảng sườn âm của xung, bộ đếm lật từ S_{N-1} đến $S_N = S_{12} = 1100$ làm cho $\overline{R}_d = \overline{Q_4} \cdot Q_3 = 0$ trigger RS lập trạng thái, $Q = 1$, $\overline{Q} = \overline{R}_d = 0$, bộ đếm xóa về 0 tức là lật về trạng thái $S_0 = 0000$. Chỉ khi nào bộ đếm bắt đầu lật lại từ S_0 , sườn dương của xung CLK qua cổng C được đảo pha mới lật trigger RS về trạng thái 0, $Q = 0$, $\overline{Q} = \overline{R}_d = 1$, (tín hiệu xóa bị triệt tiêu). Vậy thời gian $\overline{R}_d = 0$ kéo dài thêm nhiều.

Nếu bộ đếm nhị phân cấu trúc bằng mạch kích bằng sườn dương của xung đếm CLK, thì không cần cỗng NOT (C) nên mạch như hình 7.25.

Sử dụng IC cấu trúc bộ đếm N phân rất đơn giản, tiện lợi.

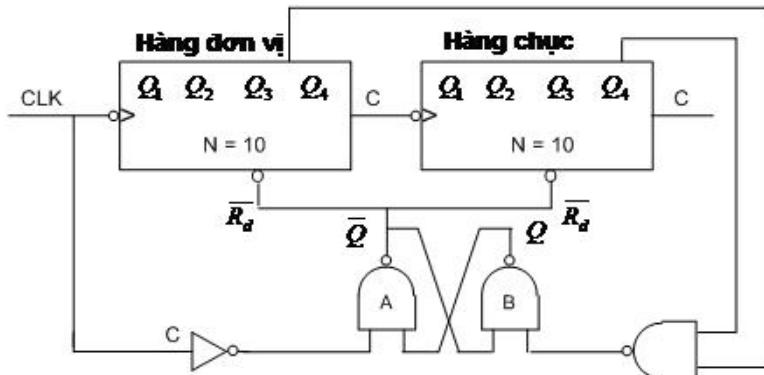
Dùng 2 IC bộ đếm nhị phân 4 bit có thể cấu trúc bộ đếm $N = 1 \div 256$.

Dùng 2 IC bộ đếm thập phân có thể cấu trúc bộ đếm $N = 1 \div 100$.



Hình 7.25: Bộ đếm $N = 12$ kích sườn dương

Hình 7.26 bộ đếm $N = 74$ cấu trúc từ 2 IC bộ đếm thập phân.



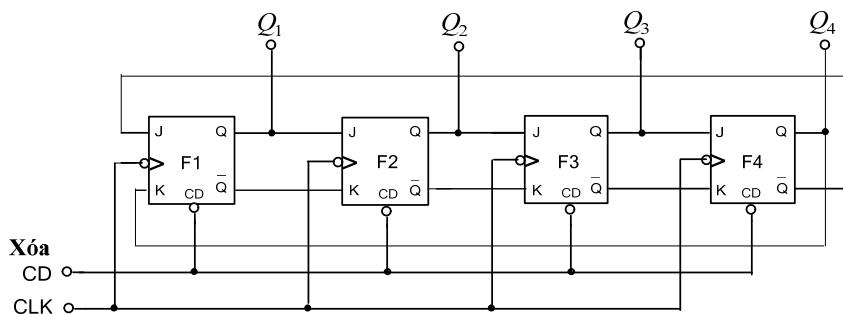
Hình 7.26: Bộ đếm $N = 74$

7.5. Các bộ đếm vòng mã Johnson

7.5.1. Bộ đếm vòng mã Johnson 4 bit

Sơ đồ được trình bày trên hình 7.27

Đây là bộ đếm đồng bộ, sử dụng 4 trigger JK xung đếm được đưa vào đồng thời các lõi vào xung nhịp của các trigger.



Hình 7.27: Sơ đồ bộ đếm vòng mã Johnson 4 bit

Hoạt động của bộ đếm này được giải thích trên nguyên tắc hoạt động của trigger JK
được nêu trong bảng chân lý 7-6.

Bảng 7-6: Bảng chân lý của bộ đếm 4 bit theo mã Johnson

Xung nhịp	Q_1	Q_2	Q_3	Q_4
0	<u>0</u>	0	0	<u>0</u>
1	<u>1</u>	<u>0</u>	0	0
2	1	<u>1</u>	<u>0</u>	0
3	1	1	<u>1</u>	<u>0</u>
4	<u>1</u>	1	1	<u>1</u>
5	<u>0</u>	<u>1</u>	1	1
6	0	<u>0</u>	<u>1</u>	1
7	0	0	<u>0</u>	<u>1</u>
7	<u>0</u>	0	0	<u>0</u>

Nếu $J = 1, K = 0$ khi xuất hiện sườn âm của CLK lõi ra của trigger $Q = 1$.

Nếu $J = 0, K = 1$ khi xuất hiện sườn âm của CLK lõi ra của trigger $Q = 0$.

Hoạt động của bộ đếm như sau:

Khi cho một xung xóa, các lõi ra của cả 4 trigger $Q_1 Q_2 Q_3 Q_4 = 0000$.

Lõi vào của các trigger: $J_1 = 1, K_1 = 0,$

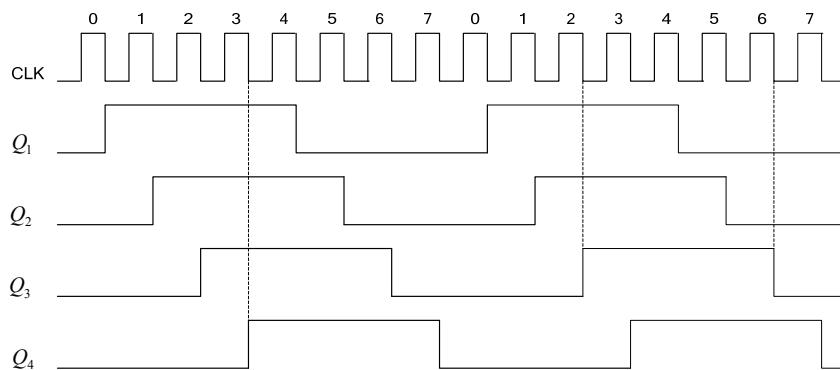
$J_2 = J_3 = J_4 = 0, K_2 = K_3 = K_4 = 1$

Khi tác động của xung đồng hồ, $Q_1 = 1, Q_2 Q_3 Q_4 = 000$, kết thúc xung CLK thứ nhất $J_1 = J_2 = 1, K_1 = K_2 = 0, J_3 = J_4 = 0, K_3 = K_4 = 1$. Nên có xung CLK thứ hai $Q_1 = Q_2 = 1, Q_3 = Q_4 = 0$. Cứ sau mỗi xung nhịp đưa vào bộ đếm, các trigger lần lượt chuyển lên 1, như vậy sau 4 xung CLK cả 4 trigger lần lượt chuyển lên 1.

Trạng thái các lõi vào của các trigger lúc đó là: $J_1 = 0, K_1 = 1, J_2 = J_3 = J_4 = 1, K_2 = K_3 = K_4 = 0$. Khi có xung CLK thứ 5: $Q_1 = 0, Q_2 = Q_3 = Q_4 = 1$.

Các xung nhịp CLK tiếp theo, các trigger lại lần lượt về 0.

Dạng sóng của bộ đếm 7 mã Johnson được trình bày trên hình 7.27.



Hình 7.27: Dạng sóng của bộ đếm mã Johnson 4 bit

Bộ đếm này có $N = 7$, tức là cứ sau 7 xung CLK các trigger lại quay về trạng thái ban đầu.

Đặc điểm của bộ đếm mã Johnson:

- Khi đếm, trigger sau ghi lại kết quả của trigger trước, giống như ghi dịch..

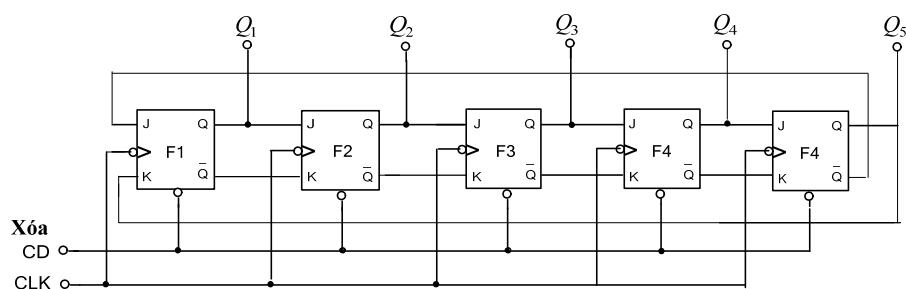
- Đếm theo mã Johnson cần nhiều trigger hơn đếm theo mã nhị phân. Nếu gọi N là modun của bộ đếm (số xung lớn nhất bộ đếm trong một chu kỳ), và n là số trigger dùng trong bộ đếm, ta có biểu thức biểu diễn quan hệ giữa N và n trong bộ đếm Johnson: $N = 2^n$.

Còn đối với bộ đếm nhị phân $N = 2^n$.

Bộ đếm Johnson tuy phải dùng nhiều trigger nhưng tốc độ đếm nhanh và ổn định, đặc biệt là bộ giải mã từ bộ đếm Johnson sang thập phân đơn giản hơn nhiều so với bộ giải mã từ bộ đếm nhị phân sang thập phân.

7.5.2 Bộ đếm vòng mã Johnson 5 bit

Bộ đếm này có $N = 10$ xây dựng từ 5 trigger JK được trình bày trên hình 7.29.



Hình 7.29: Sơ đồ đếm 10 mã Johnson dùng trigger JK

Quá trình đếm xảy ra như trong bảng chân lý 7-7.

Bảng 7-7: Bảng chân lý của bộ đếm 10 mã Johnson

Xung nhịp	Q_1	Q_2	Q_3	Q_4	Q_5
0	<u>0</u>	0	0	0	<u>0</u>
1	<u>1</u>	<u>0</u>	0	0	<u>0</u>
2	1	<u>1</u>	<u>0</u>	0	0
3	1	1	<u>1</u>	<u>0</u>	0
4	1	1	1	<u>1</u>	<u>0</u>
5	<u>1</u>	1	1	1	<u>1</u>
6	<u>0</u>	<u>1</u>	1	1	1
7	0	<u>0</u>	<u>1</u>	1	1
7	0	0	<u>0</u>	<u>1</u>	1
9	0	0	0	<u>0</u>	<u>1</u>
0	<u>0</u>	0	0	0	<u>0</u>

7.6. Thiết kế bộ đếm

Thiết kế mạch logic là quá trình ngược với quá trình phân tích mạch logic.

Bộ đếm là một mạch dãy tương đối đơn giản nhưng rất điển hình. Từ việc nắm chắc vấn đề thiết kế bộ đếm làm cơ sở cho việc thiết kế mạch dãy.

7.6.1 Thiết kế bộ đếm đồng bộ

Để thiết kế bộ đếm đồng bộ người ta đưa ra hai phương pháp thiết kế điển hình

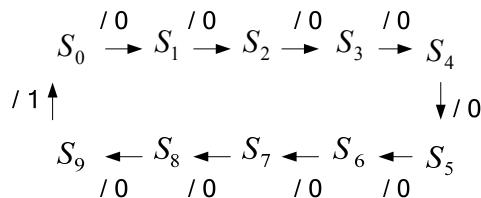
1. Phương pháp phương trình đặc trưng gồm các bước cơ bản sau:

- Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu.
- Xác định số lượng và loại trigger, sử dụng loại mã để mã hóa trạng thái.
- Tìm phương trình trạng thái, phương trình ra, kiểm tra khả năng tự khởi động.
- Tìm phương trình kích.
- Vẽ sơ đồ logic.

Ví dụ: Thiết kế bộ đếm thuận thập phân đồng bộ.

a) Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu

Bộ đếm cần có mươi trạng thái $N = 10$, biểu thị bằng $S_0, S_1 \dots S_9$. Căn cứ vào qui luật đếm thuận thập phân, ta có đồ hình trạng thái ban đầu như hình 7.30.



Hình 7.30: Đồ hình trạng thái ban đầu của bộ đếm thuận thập phân đồng bộ

Từ hình 7.30 ta thấy rằng tương ứng trạng thái S_9 thì $C = 1$ (nhớ), còn tương ứng các trạng thái khác $C = 0$.

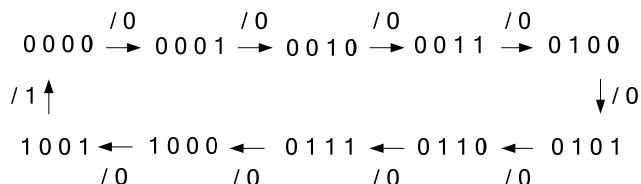
b) Xác định số lượng và loại trigger, sử dụng loại mã để mã hóa trạng thái

Vì $2^n \geq N = 10$, vậy $n = 4$, ta chọn trigger JK.

Bốn trigger JK có tất cả 16 trạng thái, để biểu thị từ $S_0 \div S_9$ chỉ cần chọn 10 trạng thái, nên có nhiều cách mã hóa. Chúng ta hãy chọn phương án mã hóa BCD 7421 ($Q_4 Q_3 Q_2 Q_1$):

$$\begin{array}{lllll} S_0 = 0000 & S_1 = 0001 & S_2 = 0010 & S_3 = 0011 & S_4 = 0100 \\ S_5 = 0101 & S_6 = 0110 & S_7 = 0111 & S_8 = 1000 & S_9 = 1001 \end{array}$$

Đồ hình trạng thái sau khi mã hóa như hình 7.31.



Hình 7.31: Đồ hình trạng thái sau khi mã hóa

c) Tìm phương trình trạng thái, phương trình ra, kiểm tra khả năng tự khởi động

- Tìm phương trình trạng thái.

Trạng thái kế tiếp và đầu ra của bộ đếm đều là hàm số của trạng thái đang xét, được biểu thị bằng phương trình đặc trưng của trigger.

Từ đồ hình trạng thái hình 7.31 ta có thể đưa ra bảng Karnaugh của đầu ra và trạng thái kế tiếp của bộ đếm. Từ đó ta có thể tìm được phuong trình trạng thái và phuong trình ra của mạch điện.

Sáu trạng thái $1010 \div 1111$ không được dùng, sẽ không xuất hiện trong khi bộ đếm làm việc bình thường, nhưng có thể tùy chọn giá trị để giúp việc tối thiểu hóa.

Phương trình đặc trưng của trigger JK:

$$Q^{n+1} = J \cdot \overline{Q^n} + \overline{K} \cdot Q^n \quad (7-14)$$

Bảng Karnaugh trạng thái kế tiếp của bộ đếm được trình bày trên hình 7.32.

		$Q_2^n \cdot Q_1^n$	0 0	0 1	1 1	1 0
		$Q_4^n \cdot Q_3^n$	0 0	0 1	1 1	1 0
			0 0 0 1	0 0 1 0	0 1 0 0	0 0 1 1
		0 0	0 1 0 1	0 1 1 0	1 0 0 0	0 1 1 1
		0 1	x	x	x	x
		1 0	1 0 0 1	0 0 0 0	x	x

Hình 7.32: Bảng Karnaugh trạng thái kế tiếp của bộ đếm

Trong hình 7.32 trạng thái kế tiếp của bộ đếm được điền vào các ô, đó là trạng thái kế tiếp của các trigger trong bộ đếm.

Tương ứng sắp xếp trong mỗi ô là $Q_4^{n+1} \ Q_3^{n+1} \ Q_2^{n+1} \ Q_1^{n+1}$. Từ đó ta có thể tách riêng thành bảng Karnaugh trạng thái kế tiếp của mỗi trigger. Kết quả tối thiểu hóa phải được viết dưới dạng biểu thức (7.14). Từ biểu thức hàm số trạng thái kế tiếp, ta tìm phương trình kích.

Bảng Karnaugh của Q_4^{n+1} trình bày trên hình 7.33.

		$Q_2^n \cdot Q_1^n$	0 0	0 1	1 1	1 0
		$Q_4^n \cdot Q_3^n$	0 0	0 1	1 1	1 0
			0	0	0	0
		0 0	0	0	0	0
		0 1	0	0	1	0
		1 1	x	x	x	x
		1 0	1	0	x	x

Hình 7.33: Bảng Karnaugh của Q_4^{n+1}

Tương tự ta có bảng Karnaugh của $Q_3^{n+1} \ Q_2^{n+1} \ Q_1^{n+1}$, ta có thể tối thiểu hóa và thu được các phương trình trạng thái sau:

$$\left\{ \begin{array}{l} Q_4^{n+1} = Q_3^n \cdot Q_2^n \cdot Q_1^n \cdot \overline{Q_4^n} + \overline{Q_1^n} Q_4^n \\ Q_3^{n+1} = Q_2^n \cdot Q_1^n \cdot \overline{Q_3^n} + (\overline{Q_2^n} + \overline{Q_1^n}) \cdot Q_3^n \\ = Q_2^n \cdot Q_1^n \cdot \overline{Q_3^n} + \overline{Q_2^n} \cdot Q_1^n \cdot Q_3^n \\ Q_2^{n+1} = \overline{Q_4^n} \cdot Q_1^n \cdot \overline{Q_2^n} + \overline{Q_1^n} Q_2^n \\ Q_1^{n+1} = \overline{Q_1^n} \end{array} \right. \quad (7-15)$$

Tìm phương trình ra.

Căn cứ vào đồ hình trạng thái hình 7.31 ta có bảng Karnaugh của hàm số đầu ra C (đầu ra nhớ) như hình 7.34.

		$Q_2^n \cdot Q_1^n$	0 0	0 1	1 1	1 0
		$Q_4^n \cdot Q_3^n$	0 0	0 1	1 1	1 0
			0 0	0 1	1 1	1 0
0 0	0 0	0	0	0	0	0
0 0	0 1	0	0	0	0	0
0 1	1 1	x	x	x	x	x
0 1	1 0	0	1	x	x	x

Hình 7.34: Bảng Karnaugh của hàm đầu ra C

$$C = Q_4^n \cdot Q_1^n \quad (7-16)$$

- Kiểm tra khả năng tự khởi động.

Vì có sáu trạng thái dư, nên nếu có một tác động ngẫu nhiên nào đó, bộ đếm có thể rơi vào trạng thái ngoài trạng thái đã lựa chọn, nghĩa là có khả năng tạo ra vòng tuần hoàn không được dùng, làm cho bộ đếm không tự khởi động. Do đó ta phải căn cứ vào các phương trình (7-15) để tính toán và xét đối với từng trạng thái này. Nếu từ các trạng thái dư, bộ đếm không có khả năng trở về vòng đếm theo mã đã chọn, thì phải thay đổi mã hoặc trạng thái kế tiếp của các trạng thái dư.

Đưa các trạng thái không được dùng vào công thức (7-15) và (7-16), tiến hành tính toán, ta được bảng 7-7.

Bảng 7-7: Bảng chuyển đổi trạng thái không được dùng.

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C
1	0	1	0	1	0	1	1	0
1	0	1	1	0	1	0	0	1
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	1	1	1	0
1	1	1	1	0	0	0	0	1

Từ bảng 7-7 ta thấy các tình huống có thể xảy ra:

$$1010 \rightarrow 1011 \rightarrow 0100$$

$$1100 \rightarrow 1101 \rightarrow 0100$$

$$1110 \rightarrow 1111 \rightarrow 0000$$

tất cả các tình huống đều chuyển đến trạng thái được chọn sử dụng, do đó đều tự khởi động được.

d) Tìm phương trình kích

Đồng nhất các hệ số của các biểu thức (7-14) và (7-15) ta có phương trình kích là:

$$\left\{ \begin{array}{l} J_1 = K_1 = 1 \\ J_2 = \overline{Q_4^n} \cdot Q_1^n \quad K_2 = Q_1^n \\ J_3 = K_3 = Q_2^n \cdot Q_1^n \\ J_4 = Q_3^n \cdot Q_2^n \cdot Q_1^n \quad K_4 = Q_1^n \end{array} \right. \quad (7-17)$$

e) Vẽ sơ đồ logic

Căn cứ vào đặc điểm của bộ đếm đồng bộ: Xung đếm đầu vào là xung đồng hồ của tất cả các trigger. Dựa vào phương trình kích (7.17) và phương trình ra (7.16) ta có thể vẽ được sơ đồ logic như sơ đồ hình (7.6).

2. Phương pháp chuyển đổi trạng thái

Các bước cơ bản:

- Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu.
- Xác định số lượng và loại trigger, chọn lựa mã hóa trạng thái.
- Kê ra bảng sử dụng.
- Tìm phương trình kích và phương trình ra.
- Vẽ sơ đồ logic.
- Kiểm tra khả năng tự khởi động.

Nội dung của phương pháp này về cơ bản cũng giống với phương pháp vừa trình bày.

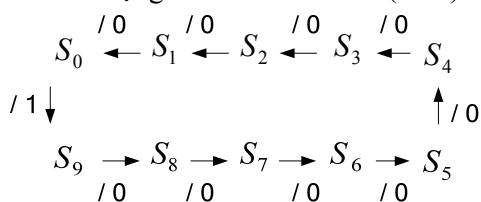
Điểm khác ở đây là sử dụng bảng chuyển đổi trạng thái để xác định hàm kích thích và hàm ra.

Ví dụ: Hãy thiết kế bộ đếm nghịch thập phân đồng bộ.

Bài giải:

- a) Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu.

Bộ đếm có $N = 10$, tương ứng với các trạng thái của bộ đếm là $S_0, S_1, S_2, \dots, S_9$. Căn cứ vào qui luật đếm nghịch ta vẽ đồ hình trạng thái ban đầu hình (7.35).



Hình 7.35: Đồ hình trạng thái ban đầu của bộ đếm nghịch thập phân đồng bộ

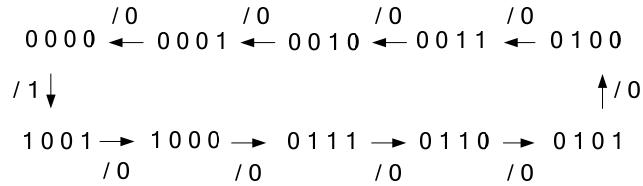
b) Xác định số lượng và loại trigger, chọn lựa mã hóa trạng thái.

Vì $2^n \geq N = 10$. Vậy chọn $n = 4$ và sử dụng trigger JK.

Dùng mã BCD 7421

$$\begin{array}{lllll} S_0 = 0000 & S_1 = 0001 & S_2 = 0010 & S_3 = 0011 & S_4 = 0100 \\ S_5 = 0101 & S_6 = 0110 & S_7 = 0111 & S_8 = 1000 & S_9 = 1001 \end{array}$$

Đồ hình trạng thái sau khi mã hóa được trình bày trên hình 7.36.



Hình 7.36: Đồ hình trạng thái bộ đếm nghịch thập phân đồng bộ

c) Kê ra bảng sử dụng.

Căn cứ vào đồ hình trạng thái, ta kê ra bảng trạng thái của bộ đếm, từ yêu cầu chuyển đổi trạng thái của bảng trạng thái, xác định yêu cầu kích đổi với mỗi trigger.

Bảng chuyển đổi trạng thái của bộ đếm nghịch thập phân đồng bộ, được trình bày trên bảng 7-9.

Bảng 7-9

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	B	J_4K_4	J_3K_3	J_2K_2	J_1K_1
0	0	0	0	1	0	0	1	1	1 x	0 x	0 x	1 x
0	0	0	1	0	0	0	0	0	0 x	0 x	0 x	x 1
0	0	1	0	0	0	0	1	0	0 x	0 x	x 1	1 x
0	0	1	1	0	0	1	0	0	0 x	0 x	x 0	x 1
0	1	0	0	0	0	1	1	0	0 x	x 1	1 x	1 x
0	1	0	1	0	1	0	0	0	0 x	x 0	0 x	x 1
0	1	1	0	0	1	0	1	0	0 x	x 0	x 1	1 x
0	1	1	1	0	1	1	0	0	0 x	x 0	x 0	x 1
1	0	0	0	0	1	1	1	0	x 1	1 x	1 x	1 x
1	0	0	1	1	0	0	0	0	x 1	0 x	0 x	x 1

d) Tìm phương trình kích.

Dựa vào quan hệ logic trong bảng 7-9, vẽ bảng Karnaugh, từ đó tìm ra phương trình kích và hàm ra hình 7.35 và hình 7.36.

$\overline{Q_4^n} \cdot \overline{Q_3^n}$	0 0	0 1	1 1	1 0
0 0	1	0	0	0
0 1	0	0	0	0
1 1	x	x	x	x
1 0	x	x	x	x

$$(a) J_4 = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n}$$

$\overline{Q_4^n} \cdot \overline{Q_3^n}$	0 0	0 1	1 1	1 0
0 0	0	0	0	0
0 1	x	x	x	x
1 1	x	x	x	x
1 0	1	0	x	x

$$(c) J_3 = Q_4^n \overline{Q_1^n}$$

$\overline{Q_4^n} \cdot \overline{Q_3^n}$	0 0	0 1	1 1	1 0
0 0	0	0	x	x
0 1	1	0	x	x
1 1	x	x	x	x
1 0	1	0	x	x

$$(e) J_2 = Q_3^n \overline{Q_1^n} + Q_4^n \overline{Q_1^n}$$

$\overline{Q_4^n} \cdot \overline{Q_3^n}$	0 0	0 1	1 1	1 0
0 0	x	x	x	x
0 1	x	x	x	x
1 1	x	x	x	x
1 0	1	0	x	x

$$(b) K_4 = \overline{Q_1^n}$$

$\overline{Q_4^n} \cdot \overline{Q_3^n}$	0 0	0 1	1 1	1 0
0 0	x	x	x	x
0 1	1	0	0	0
1 1	x	x	x	x
1 0	x	x	x	x

$$(d) K_3 = \overline{Q_2^n} \overline{Q_1^n}$$

$\overline{Q_4^n} \cdot \overline{Q_3^n}$	0 0	0 1	1 1	1 0
0 0	x	x	0	1
0 1	x	x	0	1
1 1	x	x	x	x
1 0	x	x	x	x

$$(f) K_2 = \overline{Q_1^n}$$

Hình 7.37: Bảng Karnaugh của các đầu vào kích

Từ bảng 7-9 ta có $J_1 = K_1 = 1$

$\overline{Q_4^n} \cdot \overline{Q_3^n}$	0 0	0 1	1 1	1 0
0 0	1	0	0	0
0 1	0	0	0	0
1 1	x	x	x	x
1 0	0	0	x	x

$$\mathbf{B} = \overline{Q_4^n} \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n}$$

Hình 7.37: Bảng Karnaugh của chuyển vị (nhó) B

e) Vẽ sơ đồ logic.

Từ kết quả của phương trình kích, và hàm ra, ta có sơ đồ logic như hình 7.7.

f) Kiểm tra khả năng tự khởi động.

Sử dụng cách phân tích logic, để vẽ đồ hình trạng thái, từ đó ta thấy được mạch tự khởi động.

7.6.2 Thiết kế bộ đếm không đồng bộ

Nhìn chung các bước và phương pháp thiết kế bộ đếm không đồng bộ, cũng giống như thiết kế bộ đếm đồng bộ. Do phương trình định thời của mỗi trigger trong bộ đếm không đồng bộ là khác nhau, nên chi tiết thiết kế cũng có một số điểm khác nhau.

Có nhiều phương pháp thiết kế bộ đếm không đồng bộ. Dưới đây trình bày một phương pháp tương đối điển hình.

Các bước cơ bản:

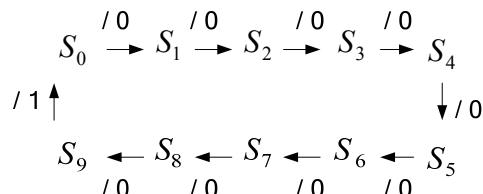
- Phân tích yêu cầu thiết kế, xác định đồ hình trạng thái ban đầu.
- Xác định số lượng và loại trigger, chọn lựa mã hóa trạng thái.
- Vẽ đồ thị dạng sóng, chọn xung đồng bộ.
- Tìm phương trình trạng thái, phương trình ra, kiểm tra khả năng tự khởi động.
- Tìm phương trình kích
- Vẽ sơ đồ logic.

Ví dụ: Hãy thiết kế bộ đếm thuận thuần phân không đồng bộ.

Bài giải:

a) Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu.

Vì $N = 10$, nên sử dụng 10 trạng thái của bộ đếm là $S_0, S_1, S_2, \dots, S_9$. Đồ thị trạng thái ban đầu hình (7.39)



Hình 7.39: Đồ hình trạng thái ban đầu của bộ đếm thập phân không đồng bộ

b) Xác định số lượng và loại trigger, chọn lựa mã hóa trạng thái.

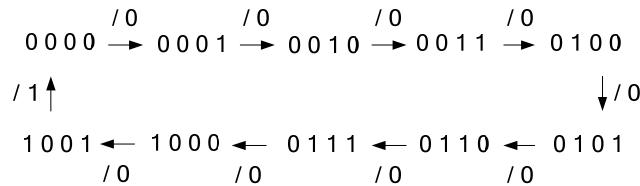
Vì $2^n \geq N = 10$. Vậy chọn $n = 4$, chọn trigger D.

Dùng mã BCD 7421, Q₄ Q₃ Q₂ Q₁

$$S_0 = 0000 \quad S_1 = 0001 \quad S_2 = 0010 \quad S_3 = 0011 \quad S_4 = 0100$$

$$S_5 = 0101 \quad S_6 = 0110 \quad S_7 = 0111 \quad S_8 = 1000 \quad S_9 = 1001$$

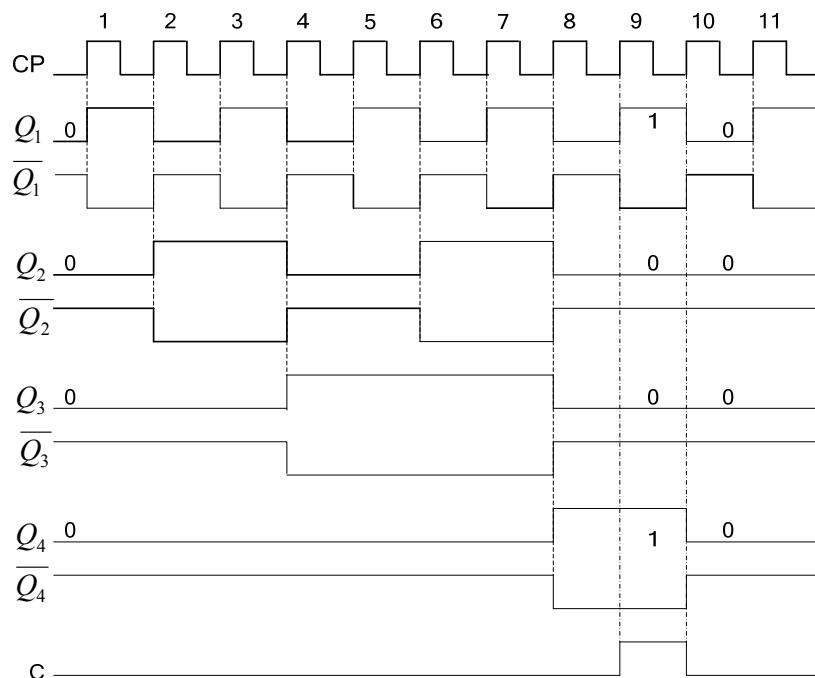
Đồ hình trạng thái sau khi mã hóa được trình bày trên hình 7.40.



Hình 7.40: Đồ hình trạng thái của bộ đếm thuần thập phân không đồng hồ

c) Chọn xung đồng hồ.

Dạng sóng của bộ đếm trình bày trên hình 7.41.



Hình 7.41: Dạng sóng của bộ đếm thuần thập phân

Khi vẽ dạng sóng cần chú ý 2 điểm:

- Qui luật chuyển đổi trạng thái của mỗi trigger do đồ hình trạng thái quyết định. Thời điểm lật tương ứng sùn kích của xung đồng hồ.
- Vẽ số xung đồng hồ phải lớn hơn N một chút, để phân biệt toàn bộ tình huống làm việc bình thường của bộ đếm, đạt đầy đủ yêu cầu thiết kế.

Tùy chức năng logic của trigger cho biết là phương trình đặc trưng có điều kiện cần là xuất hiện xung đồng hồ với sùn thích hợp. Căn cứ vào hình 7.40 và hình 7.41 ta có thể chọn:

$$\left\{ \begin{array}{l} CLK_1 = CLK \\ CLK_2 = \overline{Q}_1 \\ CLK_3 = \overline{Q}_2 \\ CLK_4 = \overline{Q}_1 \end{array} \right. \quad (7-17)$$

$CLK_1, CLK_2, CLK_3, CLK_4$ là xung đồng hồ tương ứng của các trigger F_1, F_2, F_3, F_4 .

d) Tìm phương trình trạng thái, phương trình ra và kiểm tra điều kiện tự khởi động.

- Tìm phương trình trạng thái và phương trình ra.

Bảng trạng thái kế tiếp của các trigger được trình bày ở hình 7.42.

		$Q_2^n \cdot Q_1^n$	0 0	0 1	1 1	1 0
		$Q_4^n \cdot Q_3^n$	0 0	0 1	1 1	1 0
		0 0	0 0 0 1	0 0 1 0	0 1 0 0	0 0 1 1
		0 1	0 1 0 1	0 1 1 0	1 0 0 0	0 1 1 1
		1 1	x	x	x	x
		1 0	1 0 0 1	0 0 0 0	x	x

Hình 7.42: Bảng Karnaugh trạng thái kế tiếp của bộ đếm

Khi xét trạng thái kế tiếp của các trigger, ngoài những trạng thái không được dùng để mã hóa trạng thái $S_{10} \div S_{15} = 1000 \div 1111$ cả những trạng thái không thỏa mãn điều kiện kích của xung đồng hồ, chúng đều được dùng để tối thiểu hóa.

Xem hình 7.40 ta thấy S_0, S_2, S_4, S_6, S_7 là các trạng thái không thỏa mãn kích sườn dương của CLK4.

Q_3 có các trạng thái : $S_0, S_2, S_4, S_6, S_7, S_9$.

Q_2 có các trạng thái : S_0, S_2, S_4, S_6, S_7 .

Bảng Karnaugh mô tả trạng thái kế tiếp của 4 trigger ở hình 7.43.

		$Q_2^n \cdot Q_1^n$	0 0	0 1	1 1	1 0	
		$Q_4^n \cdot Q_3^n$	0 0	x	0	0	x
		0 1	x	0	1	x	x
		1 1	x	x	x	x	x
		1 0	x	0	x	x	x

a) Q_4^{n+1}

		$Q_2^n \cdot Q_1^n$	0	0	1	1	
		$Q_4^n \cdot Q_3^n$	0 0	x	1	0	x
		0 1	x	1	0	x	x
		1 1	x	x	x	x	x
		1 0	x	0	x	x	x

b) Q_2^{n+1}

		$Q_2^n \cdot Q_1^n$	0 0	0 1	1 1	1 0	
		$Q_4^n \cdot Q_3^n$	0 0	x	x	1	x
		0 1	x	x	0	x	x
		1 1	x	x	x	x	x
		1 0	x	x	x	x	x

c) Q_3^{n+1}

		$Q_2^n \cdot Q_1^n$	0 0	0 1	1 1	1 0	
		$Q_4^n \cdot Q_3^n$	0 0	1	0	0	/ 1
		0 1	1	0	0	1	
		1 1	x	x	x	x	x
		1 0	1	0	x	x	x

d) Q_1^{n+1}

Hình 7.43: Bảng Karnaugh trạng thái kế tiếp của các trigger

Tối thiểu hóa bảng Karnaugh hình 7.41 ta được:

$$\left\{ \begin{array}{l} Q_4^{n+1} = Q_3^n \cdot Q_2^n \\ Q_2^{n+1} = \overline{Q_4^n} \cdot \overline{Q_2^n} \\ Q_3^{n+1} = \overline{Q_3^n} \\ Q_1^{n+1} = \overline{Q_1^n} \end{array} \right. \quad (7-17)$$

- Tìm phương trình ra

		$Q_2^n \cdot Q_1^n$				
		0 0	0 1	1 1	1 0	
		0 0	0	0	0	0
		0 1	0	0	0	0
		1 1	x	x	x	x
		1 0	0	1	x	x

Hình 7.44: Bảng Karnaugh của chuyển vị C

Tối thiểu hóa ta có:

$$C = Q_4^n \cdot Q_1^n \quad (7-19)$$

- Kiểm tra khả năng tự khởi động.

Sử dụng phương trình trạng thái (7.17) và phương trình ra (7-19) để phân tích tình huống chuyển đổi trạng thái không được dùng, thể hiện ở bảng (7-10).

Bảng 7-10: Tình huống chuyển đổi trạng thái không được dùng

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C	Điều kiện sùn âm
1	0	1	0	1	0	1	1	0	CLK_1
1	0	1	1	0	1	0	0	1	$CLK_1, CLK_2, CLK_3, CLK_4$
1	1	0	0	1	1	0	1	0	CLK_1
1	1	0	1	0	1	0	0	1	CLK_1, CLK_2, CLK_4
1	1	1	0	1	1	1	1	0	CLK_1
1	1	1	1	1	0	0	0	1	$CLK_1, CLK_2, CLK_3, CLK_4$

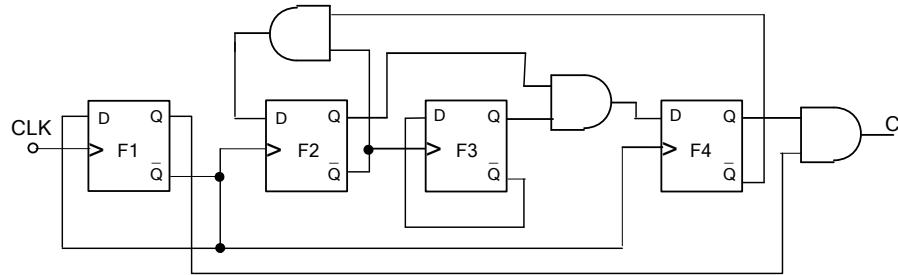
Xem xét bảng 7-10 ta thấy bộ đếm đã thiết kế có thể tự khởi động được.

e) Tìm phương trình kích

Đồng nhất phương trình trạng thái (7.17) với phương trình đặc trưng của trigger D cấu trúc nên bộ đếm ta có hàm kích:

$$\left\{ \begin{array}{l} D_1 = \overline{Q_1^n} \\ D_2 = \overline{Q_4^n} \cdot \overline{Q_2^n} \\ D_3 = \overline{Q_3^n} \\ D_4 = Q_3^n \cdot Q_2^n \end{array} \right. \quad (7-20)$$

f) Vẽ sơ đồ logic



Hình 7.45: Bộ đếm thuận thập phân không đồng bộ

PHẦN 2: THỰC NGHIỆM

1. Bộ đếm nhị phân

Nhiệm vụ:

Tìm hiểu cấu trúc và nguyên tắc hoạt động của sơ đồ đếm nhị phân.

Các bước thực hiện:

1.1. Cấp nguồn +5V cho mảng sơ đồ D7-1

1.2. Nối mạch của sơ đồ hình D7-1 với các mạch của DTLAB-201 như sau:

• Lối vào (Input): nối với bộ công tắc DATA & PULSER SWITCHES của DTLAB-201.

- Nối lối vào IN với công tắc xung PS1 – Chốt A/ TTL.

- Nối lối vào CLR với công tắc xung PS2 – Chốt B/ TTL.

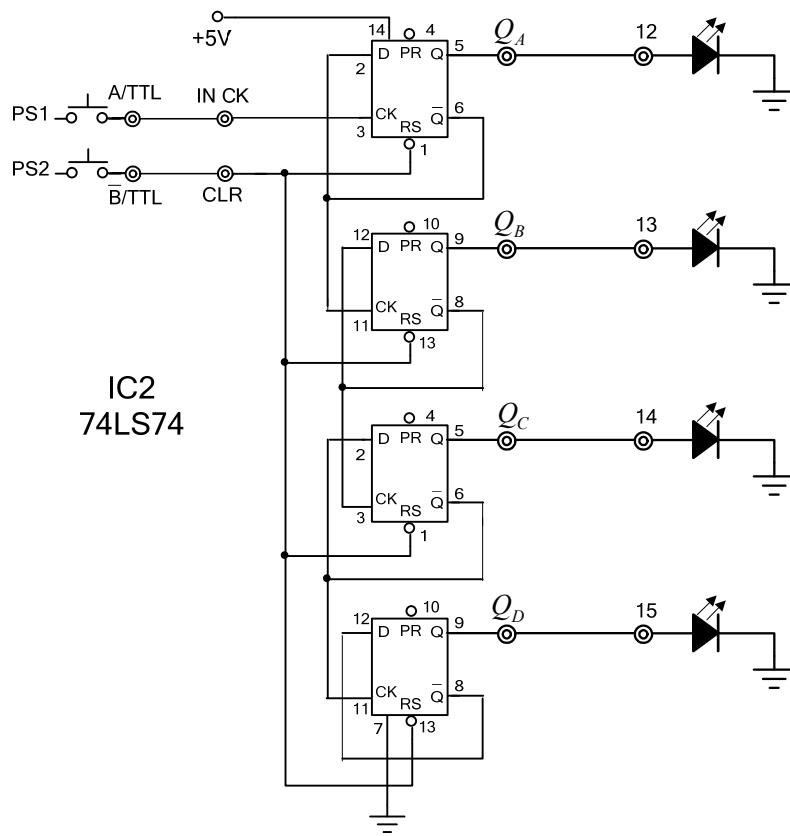
• Lối ra (Output): nối với các LED của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính DTLAB-201 .

- Nối lối ra QA với LED 12.

- Nối lối ra QB với LED 13.

- Nối lối ra QC với LED 14.

- Nối lối ra QD với LED 15



Hình D7.1: Bộ đếm nhị phân 4 bit

1.3. Thực hiện các động tác theo bảng D7-1.

Nhấn PS2 để xóa bộ đếm, nhấn PS1/ IN CK để tạo tín hiệu đưa vào bộ đếm. Mỗi lần nhấn PS1, xác định trạng thái lối ra $Q_A \div Q_D$ theo trạng thái các LED: LED sáng $Q = 1$, LED tắt $Q = 0$. Ghi kết quả vào bảng D7-1.

Tính giá trị thập phân tương ứng với số đếm nhị phân và so sánh với số lần PS1 tạo xung vào.

1.4. Đặt máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201 ở chế độ phát với tần số 1Hz. Sử dụng lối ra TTL của máy phát xung cho thí nghiệm. Nối máy phát tới lối vào IN/CK của sơ đồ D7.1 (thay cho công tắc xung PS1). Quan sát trạng thái bộ LED chỉ thị.

1.5. Đặt thang đo thê lối vào của dao động ký ở 2V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm.

Chỉnh cho cả 2 tia nằm giữa khoảng phản trên và phản dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để tia dịch theo chiều X và Y về vị trí dễ quan sát.

Dao động ký đặt ở chế độ đồng bộ ngoại lấy tín hiệu điều khiển từ thiết bị chính.

Tăng tần số máy phát lên 10KHz. Nối kênh 1 dao động ký với lối vào IN/CK. Sử dụng kênh 2 dao động ký để quan sát tín hiệu ra tại Q_A, Q_B, Q_C, Q_D .

1.6. Vẽ giản đồ xung mô tả xung ra tại Q_A, Q_B, Q_C, Q_D theo xung vào CK.

Bảng D7-1

2. Bộ đếm 4 bit, Bộ chia, Bộ đếm vòng

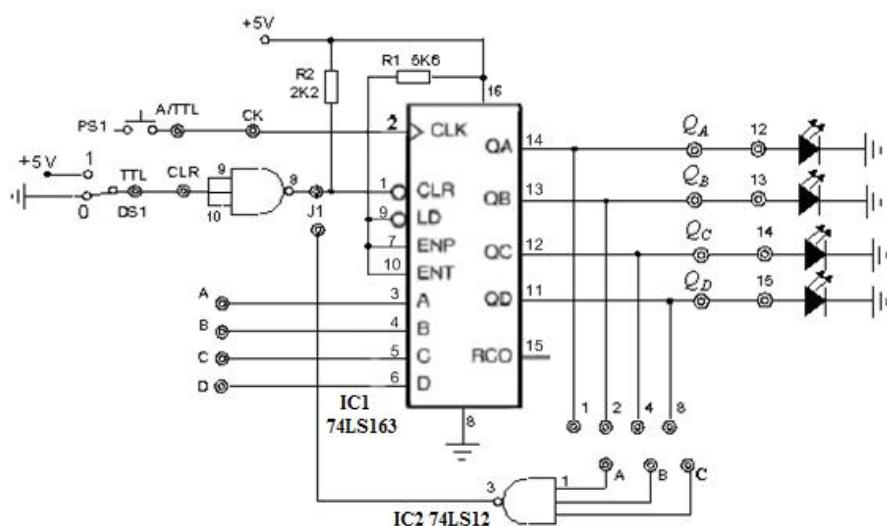
Nhiệm vụ:

Tìm hiểu hoạt động của bộ đếm chuyên dụng 4 bit và các sơ đồ ứng dụng.

Các bước thực hiện:

2.1. Cấp nguồn +5V cho mảng sơ đồ D7-2

2.2. Bộ đếm nhị phân 4 bit.



Hình D7.2: Bô đếm chuyên dụng 4 bit

2.2.1. Nối mạch của sơ đồ hình D7-2 với các mạch của DTLAB-201 như sau:

- Lối vào (Input): nối với bộ công tắc DEBOUNCE & PULSER SWITCHES của thiết bị chính.

- Nối lối vào CK với công tắc xung PS1 – Chốt A/ TTL.

- Nối lối vào CLR với công tắc DS1 / TTL.

- Lối ra (Output): nối với các LED của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính DTLAB-201 .

- Nối lối ra Q_A với LED 12.

- Nối lối ra Q_B với LED 13.

- Nối lối ra Q_C với LED 14.

- Nối lối ra Q_D với LED 15

2.2.2. Đặt DS1 ở 1, nhấn PS1 để xóa bộ đếm (IC1 là bộ đếm đồng bộ - xóa theo tín hiệu CK). Đặt DS1 = 0. Nhấn PS1/ CK để tạo tín hiệu đưa vào bộ đếm.

Xác định trạng thái lối ra Q_A ÷ Q_D theo trạng thái các LED: LED sáng Q = 1, LED tắt Q = 0. Ghi kết quả vào bảng D7-2.

Tính giá trị thấp phân tương ứng với số đếm nhị phân và so sánh với số lần PS1 tạo xung vào.

Bảng D7-2

Số thứ tự	PS2 CLR	PS1 CK	Q _D	Q _C	Q _B	Q _A	Tính giá trị thập phân
	1	↑					
	0	↑					
	0	↑					
	0	↑					
	0	↑					
	0	↑					
	0	↑					
	0	↑					
	0	↑					
	0	↑					
	0	↑					
	1	↑					
	1	↑					
	1	↑					
	1	↑					

2.2.3. Đặt máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201 ở chế độ phát với tần số 1Hz.Sử dụng lối ra TTL của máy phát xung cho thí nghiệm. Nối máy phát tới lối vào IN của sơ đồ D7-2 (thay cho công tắc xung PS1). Quan sát trạng thái bộ LED chỉ thị.

2.2.4. Đặt thang đo thê lối vào của dao động ký ở 2V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm.

Chỉnh cho cả 2 tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để tia dịch theo chiều X và Y về vị trí dễ quan sát.

Dao động ký đặt ở chế độ đồng bộ ngoại lấy tín hiệu điều khiển từ thiết bị chính.

Tăng tần số máy phát lên 10KHz. Nối kênh 1 dao động ký với lối vào IN. Sử dụng kênh 2 dao động ký để quan sát tín hiệu ra tại Q_A, Q_B, Q_C, Q_D.

2.2.5. Vẽ giản đồ xung mô tả xung ra tại Q_A, Q_B, Q_C, Q_D theo xung vào.

3. Bộ chia tần – đếm vòng

3.1. Nối mạch của sơ đồ D7.2 với các mạch của DTLAB-201 như sau:

- Lối vào (Input): nối với bộ công tắc DATA& PULSER SWITCHES của thiết bị chính.
 - Nối lối vào CK với công tắc xung PS1 – Chốt A/ TTL.
 - Nối J1 để liên hệ lối vào xóa CLR/ IC1 với các lối ra Q lựa chọn.
 - Nối chân xóa CLR với công tắc DS1 / TTL.
- Lối ra (Output): nối với các LED của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính. Giống như mục 2.2

3.2. Ví dụ: Nối A với 1, B với 4. Đặt DS1 = 1, nhấn PS1 để xóa bộ đếm, sau đó đặt DS1 = 0. Nhấn PS1/ CK để ghi số liệu vào bộ đếm.

Xác định trạng thái lối ra Q_A ÷ Q_D theo trạng thái các LED: LED sáng Q = 1, LED tắt Q = 0. Ghi kết quả vào bảng D7-3.

Xác định xem bao nhiêu nhịp trạng thái bộ ghi trở về giá trị xác lập ban đầu (0000). Tính giá trị thập phân tương ứng với số đếm nhị phân và so sánh với số lần nhấn PS1 tạo xung vào.

Bảng D7-3. A với 1, B với 4, C với 7.

DS1 Xóa	Số thứ tự	PS1 CK	Q _D	Q _C	Q _B	Q _A	Tính giá trị thập phân
1		↑					
0		↑					
0		↑					
0		↑					
0		↑					
0		↑					

Kết luận xem đây là bộ chia mây (sau bao nhiêu xung bộ đếm trở về trạng thái ban đầu).

3.3. Nối chốt A, B, C với các cặp lối ra tùy chọn trong 1-2-4-7 / IC1. Lặp lại thí nghiệm như mục 3.2. Lập bảng D7-14 tương tự như D7-13 để ghi trạng thái ra của sơ đồ.

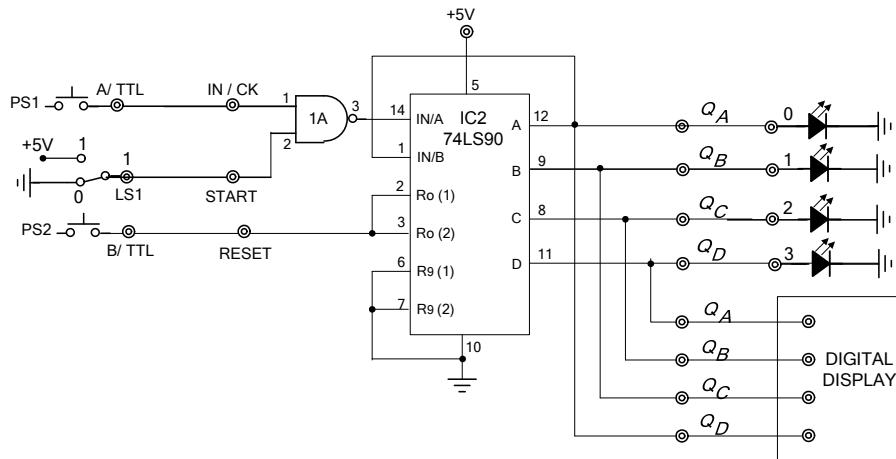
4. Bộ đếm thập phân

Nhiệm vụ:

Tìm hiểu nguyên tắc hoạt động của bộ đếm thập phân với mã BCD.

Các bước thực hiện:

4.1. Cáp nguồn +5V cho mảng sơ đồ D7.3



Hình D7.3: Bộ đếm thập phân

4.2. Nối mạch của sơ đồ hình D7-3 với các mạch của DTLAB-201 như sau:

- Lối vào (Input): nối với bộ công tắc DEBOUNCE & PULSER SWITCHES của thiết bị chính.

- Nối lối vào START (khởi động) với công tắc logic LS1
- Nối lối vào IN/ CK với công tắc xung PS1 – Chốt A/ TTL.
- Nối lối vào RESET (xóa) với công tắc DS2 – chốt B / TTL.

- Lối ra (Output): nối với các LED của bộ chỉ thị logic (LOGIC INDICATORS) của thiết bị chính.

- Nối lối ra Q_A với LED 0 và đồng thời lối vào A/ Digit 1 (rìa phải) của bộ chỉ thị LED 7 đoạn - .DIGITAL DISPLAY/ DTLAB-201.
- Nối lối ra Q_B với LED 1 và đồng thời lối vào B/ Digit 1 (rìa phải) của bộ chỉ thị LED 7 đoạn - .DIGITAL DISPLAY/ DTLAB-201.
- Nối lối ra Q_C với LED 2 và đồng thời lối vào C/ Digit 1 (rìa phải) của bộ chỉ thị LED 7 đoạn - .DIGITAL DISPLAY/ DTLAB-201.
- Nối lối ra Q_D với LED 3 và đồng thời lối vào D/ Digit 1 (rìa phải) của bộ chỉ thị LED 7 đoạn - .DIGITAL DISPLAY/ DTLAB-201.

4.3. Đặt DS1 theo bảng D7-5. Nhấn PS2 để xóa nội dung bộ đếm và xác lập trạng thái ban đầu. Nhấn PS1/ CK để ghi số liệu vào bộ đếm.

Xác định trạng thái lối ra Q_A ÷ Q_D theo trạng thái các LED: LED sáng Q = 1, LED tắt Q = 0. Ghi giá trị số trên LED vào bảng D7-5.

So sánh giá trị mã nhị phân và mã thập phân thu được.

Bảng D7-5

Số thứ tự	PS2 START	PS1 CK	PS1 CLEAR	Q _D	Q _C	Q _B	Q _A	Chỉ thị LED 7 đoạn
	0	↑	1					
	1	↑	0					
	1	↑	0					
	1	↑	0					
	1	↑	0					
	1	↑	0					
	1	↑	0					
	1	↑	0					
	1	↑	0					
	1	↑	0					
	1	↑	0					

4.4. Đặt máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201 ở chế độ phát với tần số 1Hz. Sử dụng lối ra TTL của máy phát xung cho thí nghiệm. Nối máy phát xung tới lối vào IN/ CK của sơ đồ D7.3 (thay cho công tắc xung PS2).

4.5. Đặt thang đo thế lối vào của dao động ký ở 2V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm.

Chỉnh cho cả 2 tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để tia dịch theo chiều X và Y về vị trí để quan sát.

Dao động ký đặt ở chế độ đồng bộ ngoại lấy tín hiệu điều khiển từ thiết bị chính.

Tăng tần số máy phát lên 10KHz

Nối kênh 1 dao động ký với lối vào IN/ CK. Sử dụng kênh 2 dao động ký để quan sát tín hiệu ra tại Q_A, Q_B, Q_C, Q_D.

4.6. Vẽ giản đồ xung mô tả xung ra tại Q_A, Q_B, Q_C, Q_D theo xung vào.

5. Bộ đếm thuận – nghịch

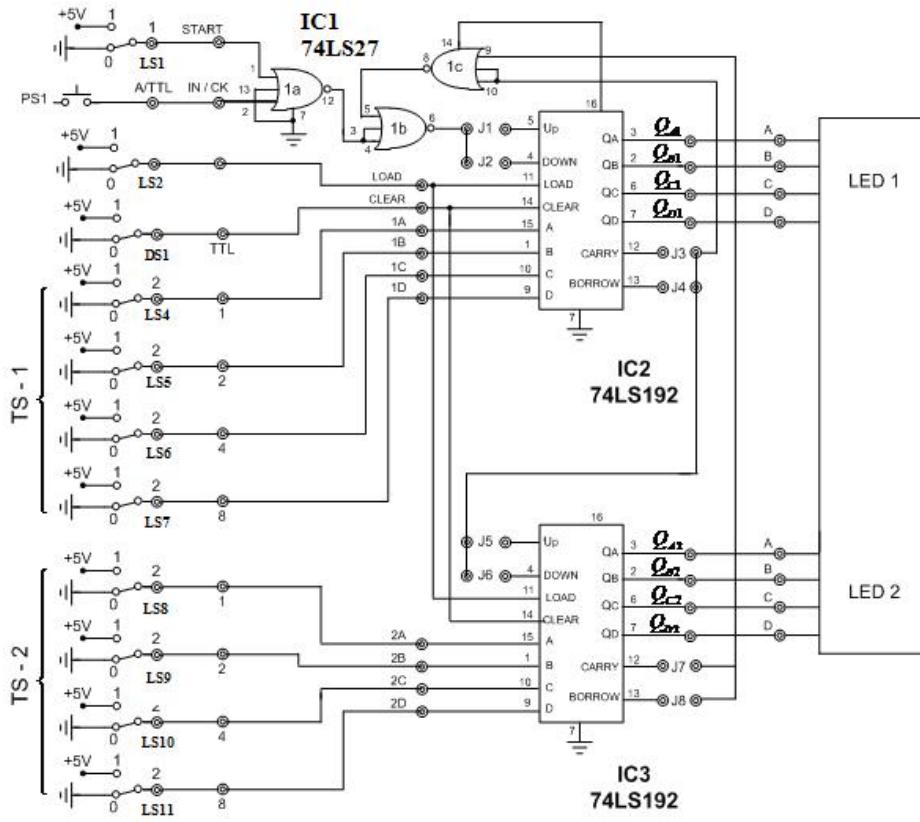
Nhiệm vụ:

Tìm hiểu cấu trúc và nguyên tắc hoạt động của bộ đếm thuận nghịch 7 bit mã BCD.

Các bước thực hiện:

5.1. Cáp nguồn +5V cho mảng sơ đồ D7-4

5.2. Bộ đếm thuận (đếm tiến).



Hình D7.4: Bộ đếm thuận nghịch 7 bit mã BCD

5.2.1 Nối mạch của sơ đồ hình D7.4 với các mạch của DTLAB-201 như sau:

- Nối các J1, J3, J5, J7 để đưa bộ đếm về cấu hình đếm thuận (U_P) với số đếm đặt trước.
- Lối vào (Input): nối với bộ công tắc DEBOUNCE & PULSER SWITCHES của thiết bị chính

- Nối lối vào 1A/ IC2 với công tắc logic LS4.
- Nối lối vào 1B/ IC2 với công tắc logic LS5.
- Nối lối vào 1C/ IC2 với công tắc logic LS6.
- Nối lối vào 1D/ IC2 với công tắc logic LS7.
- Nối lối vào 2A/ IC2 với công tắc logic LS7.
- Nối lối vào 2B/ IC2 với công tắc logic LS9.
- Nối lối vào 2C/ IC2 với công tắc logic LS10.
- Nối lối vào 2D/ IC2 với công tắc logic LS11.
- Nối lối vào START (khởi động) với công tắc logic LS1
- Nối lối vào LOAD (nạp) với công tắc xung LS2
- Nối lối vào IN/ CK với công tắc xung PS1 – Chốt A/ TTL.
- Nối lối vào CLEAR (xóa) với công tắc DS1 – chốt B / TTL.

• Lối ra (Output): nối với các LED của bộ chỉ thị DIGITAL DISPLAY của thiết bị chính.TLAB-201.

- Nối lối ra Q_{A1} với lối vào A / Digit 1 (rìa phải) của bộ chỉ thị LED 7 đoạn - DIGITAL DISPLAY/ DTLAB-201.

- Nối lối ra Q_{B1} với lối vào B / Digit 1 (rìa phải) của bộ chỉ thị LED 7 đoạn - DIGITAL DISPLAY/ DTLAB-201.

- Nối lối ra Q_{C1} với lối vào C / Digit 1 (rìa phải) của bộ chỉ thị LED 7 đoạn - DIGITAL DISPLAY/ DTLAB-201.

- Nối lối ra Q_{D1} với lối vào D / Digit 1 (rìa phải) của bộ chỉ thị LED 7 đoạn - DIGITAL DISPLAY/ DTLAB-201.

5.2.2 Đặt các công tắc theo bảng 7-16. Đặt DS3 = 1, DS4 = 1, TS2 = 7, TS1 = 9. Nhấn PS2 để xóa nội dung bộ đếm. Bật công tắc LS2 từ 1 → 0 và sau đó trả về vị trí ban đầu để nạp mã từ các lối vào song song cho bộ đếm. Nhấn PS1/ IN để ghi số liệu vào bộ đếm cho đến khi số đếm chỉ thị trên LED 7 đoạn dừng lại không tăng thêm nữa.

Xác định trạng thái bộ đếm tại vị trí dừng theo giá trị số trên LED 7 đoạn. Ghi giá trị số trên LED vào bảng 7-6.

Bảng D7-6

ĐIỀU KHIỂN				SỐ ĐẶT TRƯỚC		CHỈ THỊ LED 7 ĐOẠN	
LS1 START	DS1 CLEAR	LS2 LOAD	PS1 IN	TS1	TS2	LED-7/2	LED-7/1
1	1	x	↑	7	9		
1	0	0		7	9		
0	0	1	↑				
0	0	1	↑				
0	0	1	↑				
0	0	1	↑				
0	0	1	↑				
0	0	1	↑				
0	0	1	↑				
0	0	1	↑				
0	0	1	↑				
0	0	1	↑				
0	0	1	↑				

Chú ý: Bộ đếm dừng khi xuất hiện Carry. Số nhịp tiến sẽ bằng số chỉ thị khi bộ đếm dừng (99) trừ đi số đặt.

5.2.3 Lập bảng cho thí nghiệm tương tự với tài liệu vào là TS2 = 7, TS1 = 9.

Có thể dùng tín hiệu từ máy phát ở tần số 10Hz thay cho xung nhấn từ PS1.

5.2.4 Máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201 ở chế độ phát với tần số 10Hz.Sử dụng lối ra TTL của máy phát xung cho thí nghiệm.

5.2.5 Ngắt J1, nối máy phát xung trực tiếp tới lối vào chân 5/ IC2 của sơ đồ D7.4. Bộ đếm hoạt động tự do, không theo số đặt trước.

5.2.6 Đặt thang đo thế lối vào của dao động ký ở 2V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm.

Chỉnh cho cả 2 tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để tia dịch theo chiều X và Y về vị trí dễ quan sát.

Dao động ký đặt ở chế độ đồng bộ ngoại lấy tín hiệu điều khiển từ thiết bị chính.

Tần số của máy phát 10KHz.

Nối kênh 1 dao động ký với lối vào IN. Bật LS1 từ 0 → 1. Sử dụng kênh 2 dao động ký để quan sát tín hiệu ra tại Q_A, Q_B, Q_C, Q_D của IC2 và IC3, chân Carry 1-2/ IC2 và 1-2/ IC3.

5.2.7 Vẽ giản đồ xung mô tả xung ra tại Q_A, Q_B, Q_C, Q_D của IC2, IC3 và các tín hiệu Carry theo xung vào.

5.2.7 Trên cơ sở giản đồ xung, giải thích xem tại sao sơ đồ khi nối J1, J3, J5, J7 lại dùng đếm khi đạt tới số đếm cực đại.

5.3. Bộ đếm nghịch (đếm lùi).

5.3.1 Nối mạch của sơ đồ hình D7-4 với các mạch của DTLAB-201 giống như mục 4.2 cho bộ đếm thuận ở trên.

Nối các J2, J4, J6, J7 để đưa bộ đếm về cấu hình đếm nghịch (Down) với số đếm đặt trước.

5.3.2 Đặt các công tắc theo bảng 7-7. Đặt TS2 = 1, TS1 = 1. Nhấn PS2 để xóa nội dung bộ đếm và lập trạng thái ban đầu. Bật công tắc LS2 từ 1 → 0 và sau đó trả về vị trí ban đầu để nạp mã từ các lối vào song song cho bộ đếm. Nhấn PS1/ IN để ghi số liệu vào bộ đếm cho đến khi số đếm chỉ thị trên LED 7 đoạn dừng lại không giảm nữa.

Xác định trạng thái bộ đếm tại vị trí dừng theo giá trị số trên LED 7 đoạn. Ghi giá trị số trên LED vào bảng D7-7.

Bảng D7-7

ĐIỀU KHIỂN				TÀI LIỆU VÀO		CHỈ THỊ LED 7 ĐOẠN	
LS1 START	DS1 CLEAR	LS2 LOAD	PS1 IN	TS2	TS1	LED-7/2	LED-7/1
1	1	x	x	1	1	x	x
1	0	x		1	1		
1	0	1		1	1		
0	0	0	↑				
0	0	0	↑				
0	0	0	↑				
0	0	0	↑				
0	0	0	↑				
0	0	0	↑				
0	0	0	↑				
0	0	0	↑				

Chú ý: Bộ đếm dừng khi xuất hiện Carry. Số nhịp tiên sẽ bằng số chỉ thị khi bộ đếm dừng (99) trừ đi số đặt.

5.3.3. Lập bảng cho thí nghiệm tương tự với tài liệu vào là TS2 = 2, TS1 = 4.

Có thể dùng tín hiệu từ máy phát ở tần số 10Hz thay cho xung nhấn từ PS1.

5.3.4. Máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201 ở chế độ phát với tần số 10KHz. Sử dụng lối ra TTL của máy phát xung cho thí nghiệm.

5.3.5. Ngắt J2, nối máy phát xung trực tiếp tới lối vào chân 4/ IC2 của sơ đồ D7.4. Bộ đếm hoạt động tự do, không theo số đặt trước.

5.3.6. Đặt thang đo thế lối vào của dao động ký ở 2V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm.

Chỉnh cho cả 2 tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để tia dịch theo chiều X và Y về vị trí dễ quan sát.

Dao động ký đặt ở chế độ đồng bộ ngoại lấy tín hiệu điều khiển từ thiết bị chính.

Tần số của máy phát 10Hz.

Nối kênh 1 dao động ký với lối vào IN. Sử dụng kênh 2 dao động ký để quan sát tín hiệu ra tại Q_A, Q_B, Q_C, Q_D của IC2 và IC3, chân Borrow 1-3/ IC2 và 1-3/ IC3.

5.3.7 Vẽ giàn đồ xung mô tả xung ra tại Q_A, Q_B, Q_C, Q_D của IC2, IC3 và các tín hiệu Borrow theo xung vào.

5.3.7 Trên cơ sở giàn đồ xung, giải thích xem tại sao sơ đồ khi nối J2, J4, J6, J7 lại dừng đếm khi trừ hệ số đếm định trước.

6. Bộ đếm Johnson và giải mã bàn phím

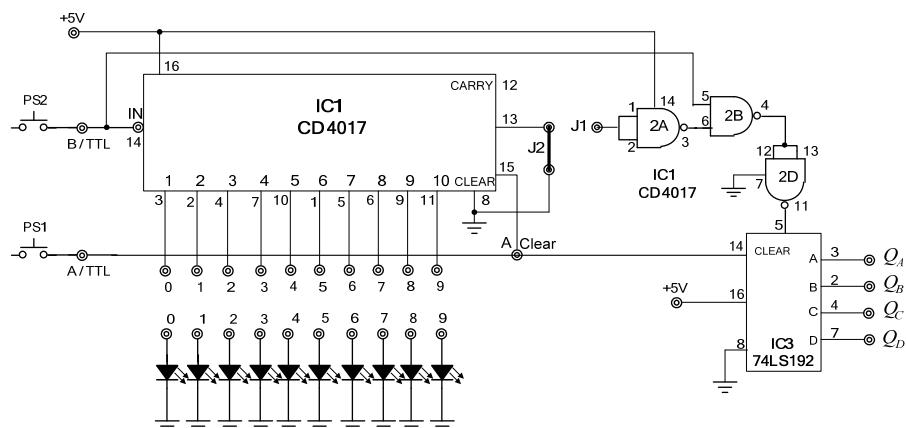
Nhiệm vụ:

Tìm hiểu cấu trúc và nguyên tắc hoạt động của bộ đếm với lối ra giải mã (Johnson).

Các bước thực hiện:

6.1. Cáp nguồn +5V cho mảng sơ đồ D7-5

6.2. Bộ đếm với lối ra giải mã: Hình D7.5a.



Hình D7.5a: Bộ đếm lối ra giải mã Johnson

6.2.1 Nối mạch của sơ đồ hình D7-5a với các mạch của DTLAB-201 như sau:

- Nối J2 để khảo sát riêng bộ đếm.
- Lối vào (Input): nối với bộ công tắc DATA & PULSER SWITCHES của thiết bị chính
 - Nối lối vào IN với công tắc xung PS2 – Chốt B/ TTL.
 - Nối lối vào CLEAR (xóa) với công tắc PS1 – chốt A / TTL.
 - Nối lối ra 1 với LED 0.
 - Nối lối ra 2 với LED 1.
 - Nối lối ra 3 với LED 2.
 - Nối lối ra 4 với LED 3.
 - Nối lối ra 5 với LED 4.
 - Nối lối ra 6 với LED 5.
 - Nối lối ra 7 với LED 6.
 - Nối lối ra 7 với LED 7.
 - Nối lối ra 9 với LED 7.
 - Nối lối ra 10 với LED 9.

6.2.2 Đặt các công tắc theo bảng D7-17. Nhấn PS1 để xóa nội dung bộ đếm, sau đó nhấn PS2 để tạo xung vào bộ đếm. Ghi trạng thái các lối ra theo trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao “1”, Đèn LED tắt, chứng tỏ mức ra là thấp “0”. Ghi kết quả vào bảng D7-7.

Bảng D7-7

LỐI VÀO		LỐI RA									
PS1 CLEAR	PS2 IN	1	2	3	4	5	6	7	7	9	10
1											
0	↑										
0	↑										
0	↑										
0	↑										
0	↑										
0	↑										
0	↑										
0	↑										
0	↑										
0	↑										
0	↑										

6.3. Bộ đếm vòng N trạng thái.

Giữ nguyên tình trạng đã xác lập trong mục 5.2. Ngắt công tắc xung PS1 khỏi chốt CLEAR.

Nối chốt CLEAR với một trong các chốt ra (từ 1 đến 10).

Nhấn nút PS2/IN, quan sát trạng thái lõi ra theo chỉ thị của đèn LED tương ứng

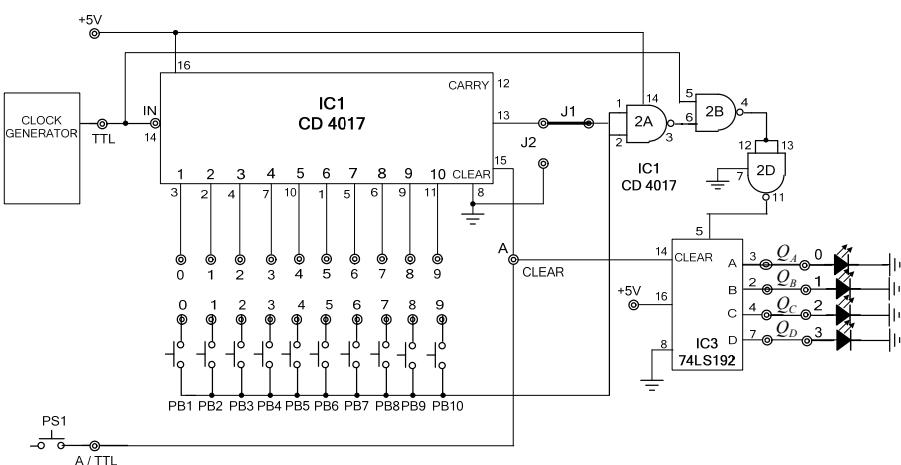
Xác định chỉ số N (số trạng thái) tương ứng khi bộ đếm trở về trạng ban đầu.

6.4. Bộ giải mã bàn phím: Hình D7-5b.

6.4.1 Nối mạch của sơ đồ hình D7-5b với các mạch của DTLAB-201 như sau:

Ngắt J2 và nối J1 để tạo bộ giải mã bàn phím.

Máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201 ở chế độ phát với tần số 10KHz. Sử dụng lõi ra TTL của máy phát xung cho thí nghiệm.



Hình D7.5b: Bộ giải mã bàn phím

- Lõi vào (Input):

- Nối lõi vào IN với lõi ra của máy phát xung DTLAB-201.
- Nối lõi vào CLEAR (xóa) với công tắc PS1 – chốt A / TTL.
- Nối lõi ra 1-10 với các công tắc nhấn PB1 – PB10.
- Nối lõi ra Q_A với LED 0.
- Nối lõi ra Q_B với LED 1.
- Nối lõi ra Q_C với LED 2.
- Nối lõi ra Q_D với LED 3.

6.4.2 Nhấn PS1 để xóa bộ đếm, sau đó nhấn một công tắc PB (được chọn). Ghi trạng thái các lõi ra bộ đếm IC3 theo trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao “1”, Đèn LED tắt, chứng tỏ mức ra là thấp “0”. Ghi kết quả vào bảng D7-9.

Bảng D7-9

PS1 CLEAR	CÔNG TẮC NHẤN BÀN PHÍM										LỐI RA			
	1	2	3	4	5	6	7	7	9	10	Q _D	Q _C	Q _B	Q _A
1	1													
0		1												
0			1											
0				1										
0					1									
0						1								
0							1							
0								1						
0									1					
0										1				

So sánh sự tương ứng giữa chỉ số bàn phím và mã ra Q_A ÷ Q_D của bộ giải mã.

BÀI 8

BỘ SO SÁNH VÀ BỘ TƯƠNG ĐỒNG

Mục đích:

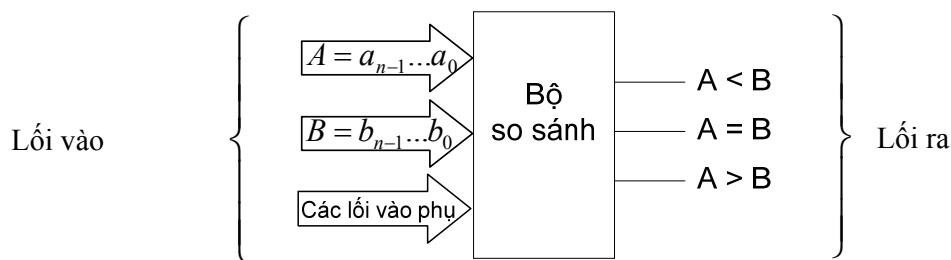
- Tìm hiểu nguyên tắc thiết kế bộ so sánh, sử dụng các bộ so sánh đã được chế tạo dưới dạng IC có số bit xác định, thiết kế các bộ so sánh nhiều bit và các ứng dụng của bộ so sánh.
- Tìm hiểu nguyên tắc hoạt động của bộ tương đồng và các ứng dụng.

PHẦN 1: LÝ THUYẾT

8.1. Bộ so sánh

Trong các hệ thống điện tử số, đặc biệt là trong máy tính, thường thực hiện việc so sánh hai số, để biết số nào lớn hơn, hoặc chúng bằng nhau. Hai số cần so sánh có thể là hai số nhị phân, hoặc hai số thập phân, hai kí tự v.v được mã hóa nhị phân. Bộ so sánh làm việc có thể theo nguyên tắc nối tiếp hoặc song song.

Sơ đồ khối tổng quát của bộ so sánh hai số nhị phân được trình bày trên hình 8.1.



Hình 8.1: Sơ đồ khối của bộ so sánh

Bộ so sánh gồm 3 lối ra:

A < B (ALT B out-Aless than B output),

A = B (AEQ B out-Aequate B output),

A > B (AGT B out-Ageater B output).

Nếu kết quả so sánh A > B thì lối ra này có mức logic 1 còn các lối ra khác có mức logic 0. Nghĩa là trong 3 lối ra chỉ có một lối ra có mức logic 1, còn 2 lối ra nhận mức logic 0.

Bộ so sánh ngoài những lối vào chính A và B còn có 3 lối vào phụ: A < B (ALT BIN -Aless than B input), A = B (AEQ BIN-Aequate B input), A > B (AGT BIN-Ageater B input), nhằm mục đích sử dụng những bộ so sánh đã được chế tạo có ít bit tạo ra bộ so sánh nhiều bit.

8.1.1. Bộ so sánh hai số nhị phân 1 bit

Đối với trường hợp này, ta có A = a₀, B = b₀. Nếu ta kí hiệu L, E, G là kết quả so sánh A < B, A = B, A > B tương ứng, ta có bảng chân lý 8-1.

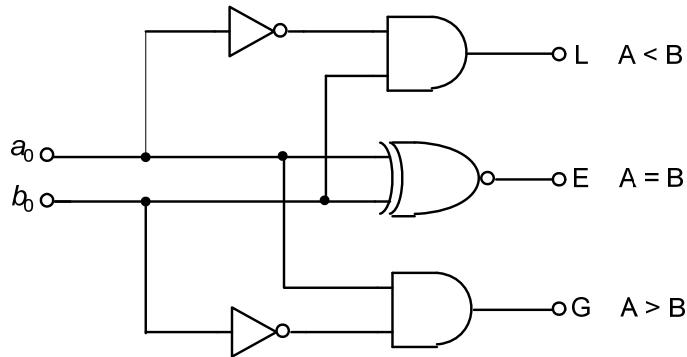
Bảng lý 8-1: Bảng chân lý của bộ so sánh nhị phân 1 bit

a_0	b_0	L $A < B$	E $A = B$	G $A > B$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

Từ bảng chân lý, ta suy ra biểu thức logic của mạch:

$$\left. \begin{aligned} L &= \overline{a_0} \cdot b_0 \\ E &= \overline{a_0} \cdot \overline{b_0} + a_0 b_0 \\ G &= a_0 \cdot \overline{b_0} \end{aligned} \right\} \quad (8-1)$$

Sơ đồ logic của bộ so sánh hai số nhị phân 1 bit được trình bày trên hình 8.2.



Hình 8.2: Sơ đồ logic của bộ so sánh 2 số nhị phân 1 bit

8.1.2. Bộ so sánh hai số nhị phân nhiều bit

Khi so sánh hai số nhị phân nhiều bit ta tiến hành theo nguyên tắc sau:

Đầu tiên so sánh bit có trọng số lớn nhất, số nào có bit này lớn hơn thì số đó lớn hơn. Khi bit có trọng số lớn nhất bằng nhau thì tiếp tục so sánh bit có trọng số nhỏ hơn kế tiếp và cứ thế so sánh đến bit có trọng số nhỏ nhất.

Có thể dùng nhiều bộ so sánh hai số nhị phân 1 bit để xây dựng bộ so sánh hai số nhị phân nhiều bit.

1. Bộ so sánh bằng nhau

Hai số nhị phân là bằng nhau, chỉ khi tất cả các bit tương ứng cùng trọng số của chúng bằng nhau.

Ví dụ: So sánh hai số nhị phân 4 bit

$$A = a_3 a_2 a_1 a_0 \text{ và } B = b_3 b_2 b_1 b_0$$

Ta thấy rằng $A = B$ nếu $a_3 = b_3, a_2 = b_2, a_1 = b_1, a_0 = b_0$.

Nếu gọi E là lối ra bằng nhau của bộ so sánh. Chúng ta xây dựng bảng chân lý của bộ so sánh bằng nhau của 2 số nhị phân 4 bit ở bảng 8-2.

Bảng 8-2: Bảng chân lý của bộ so sánh bằng nhau 4 bit

e_3	e_2	e_1	e_0	E
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

e_3, e_2, e_1, e_0 là lối ra bằng nhau của bộ so sánh 2 số 1 bit. Từ bảng 8-2 ta có:

$$E = e_3 \cdot e_2 \cdot e_1 \cdot e_0 \quad (8-2)$$

Với

$$e_3 = \overline{a_3 \oplus b_3}$$

$$e_2 = \overline{a_2 \oplus b_2}$$

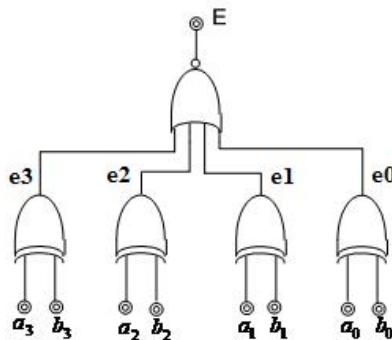
$$e_1 = \overline{a_1 \oplus b_1}$$

$$e_0 = \overline{a_0 \oplus b_0}$$

Ta có:

$$\begin{aligned} E &= \overline{a_3 \oplus b_3} \overline{a_2 \oplus b_2} \overline{a_1 \oplus b_1} \overline{a_0 \oplus b_0} \\ E &= \overline{(a_3 \oplus b_3) + (a_2 \oplus b_2) + (a_1 \oplus b_1) + (a_0 \oplus b_0)} \end{aligned} \quad \left. \right\} \quad (8-3)$$

Từ biểu thức logic (8-3) ta có sơ đồ logic của bộ so sánh bằng nhau 4 bit hình 8.3.



Hình 8.3: Sơ đồ logic của bộ so sánh bằng nhau 4 bit

2. Bộ so sánh 4 bit

So sánh 2 số nhị phân:

$$A = a_3 a_2 a_1 a_0 \text{ và } B = b_3 b_2 b_1 b_0$$

Kết quả so sánh

$$E = 1 \text{ nếu } A = B, e_i = 1 \text{ nếu } a_i = b_i$$

$$L = 1 \text{ nếu } A < B, l_i = 1 \text{ nếu } a_i < b_i$$

$$G = 1 \text{ nếu } A > B, g_i = 1 \text{ nếu } a_i > b_i$$

Trong phần so sánh bằng nhau ta có:

$$E = e_3 \cdot e_2 \cdot e_1 \cdot e_0$$

Xét trường hợp $A < B$ ta có bảng chân lý 8-3.

Bảng 8-3: Bảng chân lý của L ($A < B$)

e_3	e_2	e_1	e_0	l_3	l_2	l_1	l_0	L
x	x	x	x	1	x	x	x	1
1	x	x	x	x	1	x	x	1
1	1	x	x	x	x	1	x	1
1	1	1	x	x	x	x	1	1

$$L = 1$$

$$A < B$$

Xét bảng 8-3.

Hàng thứ nhất $l_3 = 1$, chứng tỏ $a_3 < b_3$ ($e_3 \neq 1$), vì $a_3 b_3$ có trọng số lớn nhất do đó $A < B$, $L = 1$ không phụ thuộc vào e_2, e_1, e_0 và l_2, l_1, l_0 tương ứng dấu chéo “x”.

Hàng thứ hai $e_3 = 1$, chứng tỏ $a_3 = b_3$ ($l_3 \neq 1$), $l_2 = 1$ chứng tỏ $a_2 < b_2$ nên $A < B$, $L = 1$ không phụ thuộc vào e_2, e_1, e_0 và l_1, l_0 tương ứng dấu chéo “x”.

Hàng thứ ba $e_3 = e_2 = 1$, chứng tỏ $a_3 = b_3, a_2 = b_2, l_3 \neq 1, l_2 \neq 1, l_1 = 1$ chứng tỏ $a_1 < b_1$ do đó $A < B$, $L = 1$ không phụ thuộc vào e_1, e_0 và l_0 tương ứng dấu chéo “x”.

Hàng thứ tư $e_3 = e_2 = e_1 = 1$, ($a_3 = b_3, a_2 = b_2, a_1 =$), $l_0 = 1$ chứng tỏ $a_0 < b_0$ do đó $A < B$, $L = 1$.

Xét trường hợp $A > B$ ta có bảng chân lý 8-4.

Bảng 8-4: Bảng chân lý của G(A > B)

e_3	e_2	e_1	e_0	g_3	g_2	g_1	g_0	G
X	X	X	X	1	X	X	X	1
1	X	X	X	X	1	X	X	1
1	1	X	X	X	X	1	X	1
1	1	1	X	X	X	X	1	1

$G = 1$

$A > B$

Bảng 8-4 cũng có thể suy luận tương tự, với các trường hợp $A > B$, $G = 1$. Các lối ra của bộ so sánh một bit g_i , e_i , l_i .

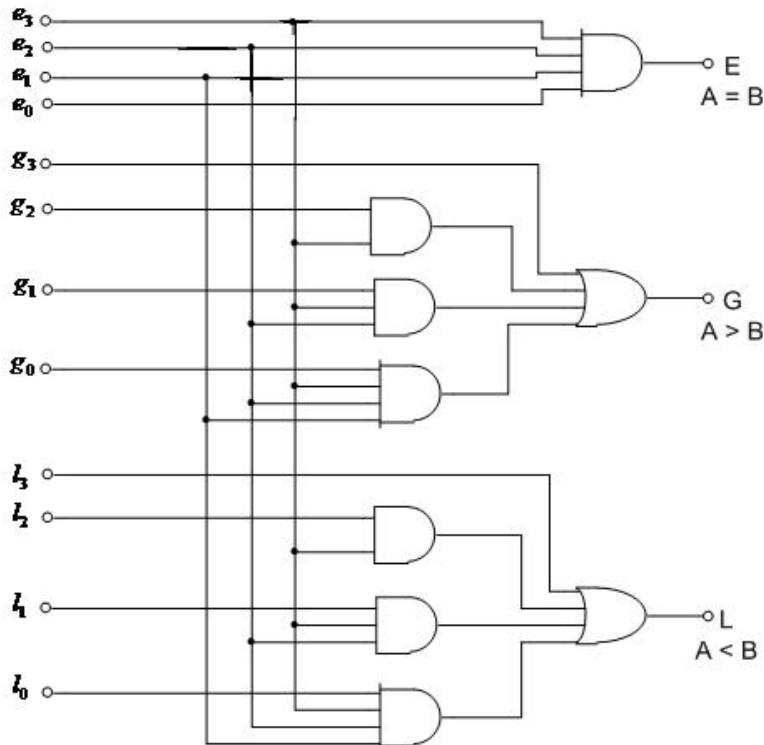
Các lối ra bằng nhau:

$$\left. \begin{aligned} e_3 &= \overline{a_3 \oplus b_3} \\ e_2 &= \overline{a_2 \oplus b_2} \\ e_1 &= \overline{a_1 \oplus b_1} \\ e_0 &= \overline{a_0 \oplus b_0} \end{aligned} \right\} \quad (8-4)$$

g_3 , g_2 , g_1 , g_0 và l_3 , l_2 , l_1 , l_0 có biểu thức logic sau:

$$\left. \begin{aligned} g_3 &= a_3 \overline{b_3}, \quad g_2 = a_2 \overline{b_2}, \quad g_1 = a_1 \overline{b_1}, \quad g_0 = a_0 \overline{b_0} \\ l_3 &= \overline{a_3} \cdot b_3, \quad l_2 = \overline{a_2} \cdot b_2, \quad l_1 = \overline{a_1} \cdot b_1, \quad l_0 = \overline{a_0} \cdot b_0 \end{aligned} \right\} \quad (8-5)$$

Sơ đồ logic của bộ so sánh 2 số 4 bit hình 8.4



Hình 8.4: Sơ đồ logic của bộ so sánh 2 số 4 bit (g_i , e_i , l_i là lối ra của các bộ so sánh 2 số 1 bit)

8.1.3. Bộ so sánh 4 bit (IC MSI)

Bộ so sánh 4 bit được chế tạo dưới dạng IC, gồm các lối vào so sánh $A = a_3 a_2 a_1 a_0$ và $B = b_3 b_2 b_1 b_0$, 3 lối vào điều khiển $a > b$, $a = b$, $a < b$, 3 lối ra $A > B$, $A = B$, $A < B$. Bảng 8-5 bảng chức năng của bộ so sánh 4 bit.

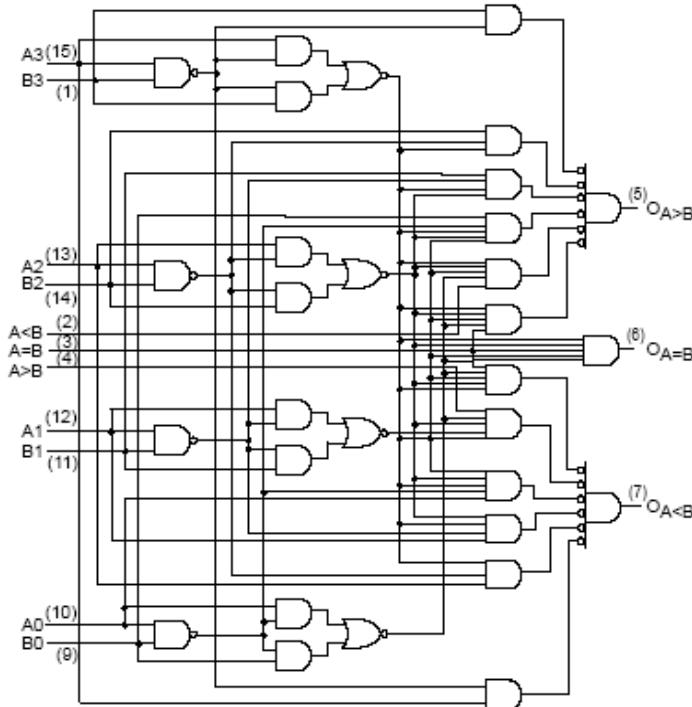
Từ bảng chức năng 8-5 có thể suy ra biểu thức logic của các hàm đầu ra như sau:

$$\left. \begin{aligned} G &= g_3 + e_3g_2 + e_3e_2g_1 + e_3e_2e_1g_0 + e_3e_2e_1e_0 \\ L &= l_3 + e_3l_2 + e_3e_2l_1 + e_3e_2e_1l_0 + e_3e_2e_1e_0 \\ E &= e_3e_2e_1e_0 \end{aligned} \right\} \quad (8-6)$$

Bảng 8-5

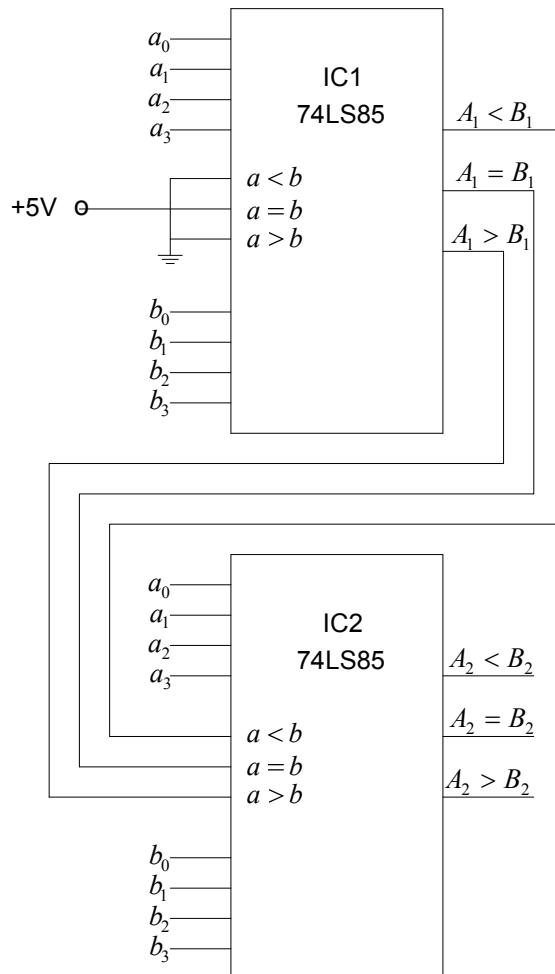
Lối vào so sánh Inputs				Lối vào điều khiển Inputs			Lối ra Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

Sơ đồ logic được trình bày trên hình 8.5.



Hình 8.5: Sơ đồ logic của bộ so sánh 4 bit DM 74LS85

Trong thực tế, cần so sánh 2 số nhị phân nhiều bit hoặc 2 số thập phân nhiều chữ số được mã hóa bộ mã BCD có thể thực hiện được bằng cách ghép nối tiếp nhiều bộ so sánh 4 bit DM 74LS85 với nhau. Sơ đồ khối của bộ so sánh nhiều bit được trình bày trên hình 8.6.



Hình 8.6: Bộ so sánh 2 số nhị phân nhiều bit

8.2. Bộ so sánh tương đồng, mạch kiểm tra và tạo bit chẵn lẻ

Trong quá trình truyền dẫn thông tin số, do tác dụng của nhiễu, thông tin có thể bị sai lệch, sai lệch đó gọi là lỗi. Nhờ việc mã hóa có thể phát hiện lỗi và sửa lỗi.

Muốn phát hiện lỗi thì tổ hợp mã của một đơn vị dữ liệu phải có các bit dư. Mã có các tổ hợp khác nhau chỉ duy nhất 1 bit, được gọi là mã cách 1.

Việc kiểm tra phát hiện lỗi, chỉ có thể tiến hành khi có một độ dư đủ lớn trong tập hợp mã mã hóa tin tức. Nếu phụ thêm một bit vào mã bất kì sẽ làm cho hai kí hiệu mã khác nhau ít nhất là 2 bit. Mã như thế gọi là mã cách 2.

8.2.1. Mã chẵn lẻ

Hai loại mã có khả năng phát hiện lỗi hay dùng nhất là mã chẵn và mã lẻ. Để thiết lập loại mã này, ta chỉ cần thêm một bit phụ vào loại mã đã cho. Sau khi thêm bit phụ, nếu tổng số bit 1 trong một tổ hợp mã bất kì đều là một số lẻ thì mã tương ứng được gọi là mã lẻ.

Ngược lại, nếu tổng số bit 1 trong một tổ hợp mã bất kì đều là một số chẵn thì mã tương ứng được gọi là mã chẵn.

Biểu thức để kiểm tra tính lẻ của một tổ hợp mã:

$$b_{n-1} \oplus b_{n-2} \oplus \dots \oplus b_0 \oplus P_L = 1 \quad (8-7)$$

Trong đó b_i là hệ số của bit tương ứng, P_L là bit phụ để kiểm tra tính lẻ.

Tương tự biểu thức để kiểm tra tính chẵn có dạng:

$$b_{n-1} \oplus b_{n-2} \oplus \dots \oplus b_0 \oplus P_C = 0 \quad (8-8)$$

Vì ta có $P \oplus P = 0$, $1 \oplus 1 = 0$ nên suy ra biểu thức của P_L và P_C như sau:

$$P_L = b_{n-1} \oplus b_{n-2} \oplus \dots \oplus b_0 \oplus 1 \quad (8-8)$$

$$P_C = b_{n-1} \oplus b_{n-2} \oplus \dots \oplus b_0 \oplus 0 \quad (8-10)$$

Bảng 8-6 là một ví dụ về mã chẵn, lẻ được cấu tạo từ mã BCD 8421.

Bảng 8-6: Mã chẵn, lẻ BCD 8421

Số thập phân	BCD 8421 chẵn	BCD 8421 lẻ
0	00000	00001
1	00011	00010
2	00101	00100
3	00110	00111
4	01001	01000
5	01010	01011
6	01100	01101
7	01111	01110
8	10001	10000
8	10010	10011

Trong thực tế mã lẻ được sử dụng nhiều hơn mã chẵn vì nó không bao hàm tổ hợp toàn bit 0.

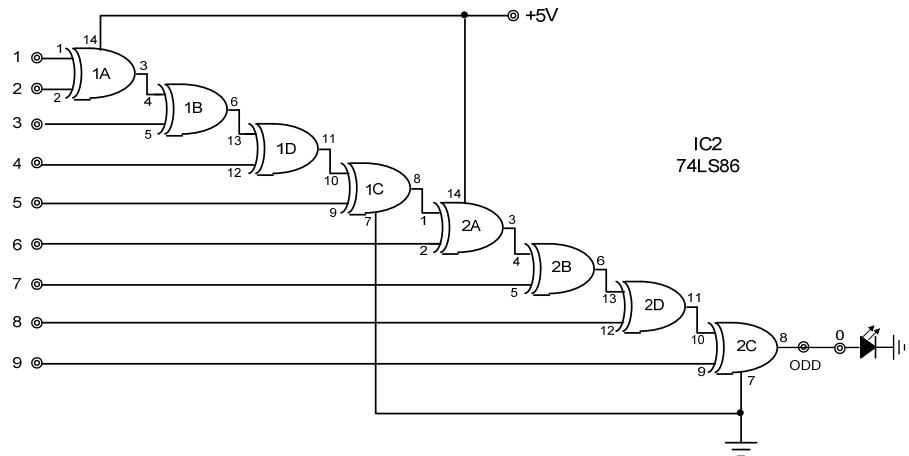
Từ bảng 8-5, ta dễ dàng nhận thấy

$$P_C = \overline{P_L}$$

8.2.2. Bộ tương đồng chẵn, lẻ

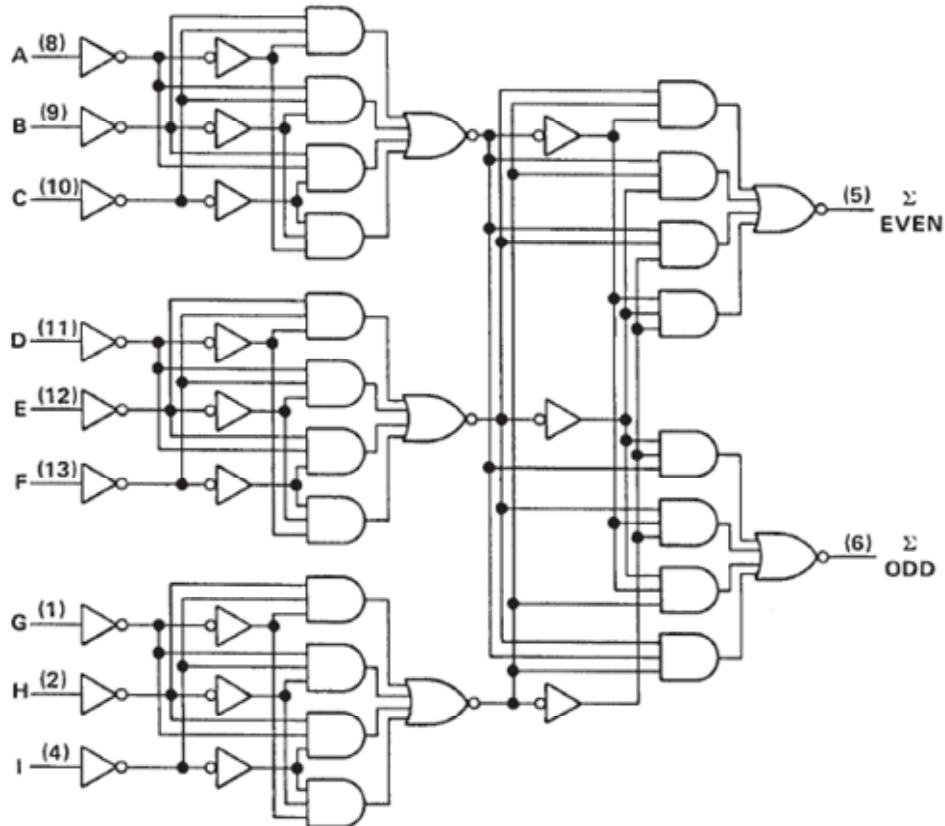
Để xác định số bit 1 trong tổ hợp mã là chẵn hoặc lẻ, có thể dùng các mạch hoặc tuyêt đối (cộng modun 2) mắc liên tiếp nhau. Nếu tổ hợp mã gồm 8 bit, sử dụng 8 cổng hoặc tuyêt đối như hình 8.7.

Nếu số bít 1 của các lối vào là lẻ thì lối ra có giá trị là 1 còn số bít 1 của các lối vào là chẵn thì lối ra có giá trị là 0



Hình 8.7: Bộ tương đồng lẻ với 8 lối vào

Hoặc dùng vi mạch tương đồng chẵn lẻ 74LS280 có sơ đồ logic được trình bày trên hình 8.8.



Hình 8.8: Bộ tương đồng chẵn, lẻ 8 bit

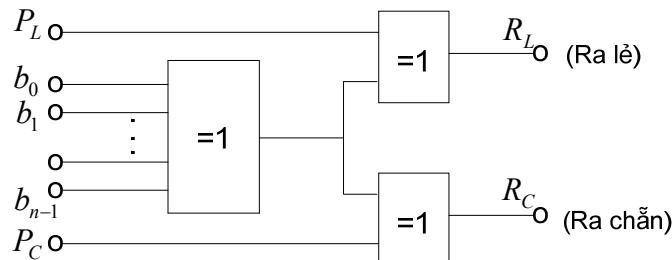
Nếu số bít 1 ở lối vào là lẻ thì lối ra lẻ (ODD) có giá trị 1 còn lối ra chẵn (EVEN) có giá trị 0. Ngược lại nếu số bít 1 ở lối vào là chẵn thì lối ra lẻ có giá trị 0 còn lối ra chẵn có giá trị 1

Sơ đồ logic hình 8.8 thực chất là mạch tổ hợp các mạch hoặc tuyệt đối, có 8 lối vào chi làm 3 nhóm. Mỗi nhóm là một mạch hoặc tuyệt đối gồm 3 lối vào. Sau đó là mạch hoặc tuyệt đối của 3 nhóm đó.

8.2.3. Mạch kiểm tra và tạo bit chẵn, lẻ

1. Mạch kiểm tra bit chẵn, lẻ

Sơ đồ khối tổng quát của mạch kiểm tra bit chẵn, lẻ như hình 8.8.



Hình 8.8: Sơ đồ khối tổng quát của bộ kiểm tra tính chẵn, lẻ

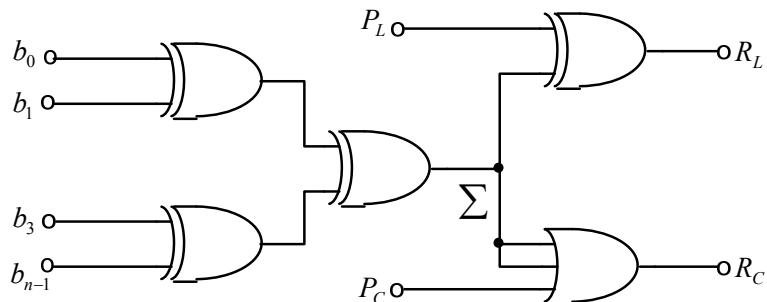
Trong đó khối cộng modun 2 sẽ có kết quả ở lõi ra là 0 nếu tổng số bit 1 của dữ liệu là chẵn, là 1 nếu tổng số bit 1 của dữ liệu là lẻ. Hai khói cuối làm nhiệm vụ so sánh kết quả các bit dữ liệu với bit chẵn hay bit lẻ để đánh giá có lỗi hay không.

Theo (8-8) và (8-10) nếu đầu ra:

$R_C = 1$ hay $R_L = 0$ là tín hiệu thu được có lỗi.

$R_C = 0$ hay $R_L = 1$ là tín hiệu thu được không lỗi.

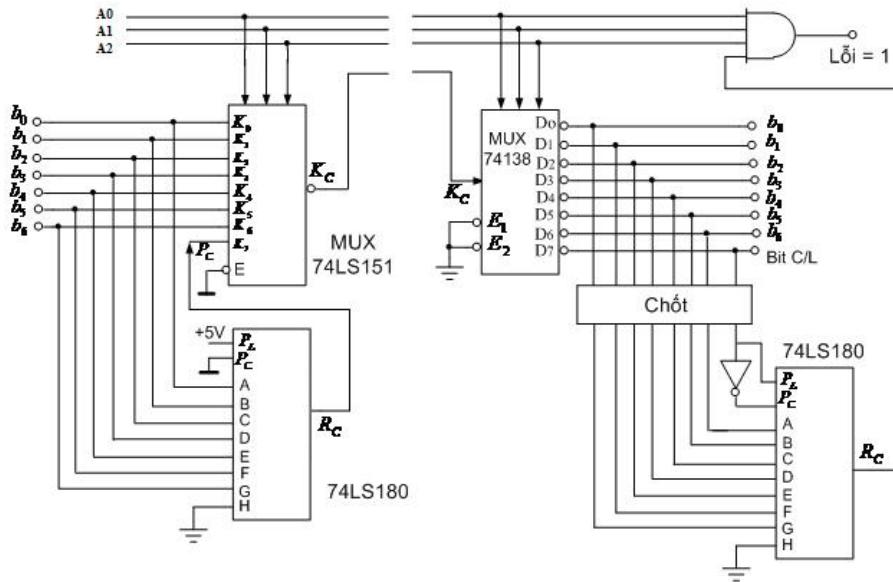
Sơ đồ logic mạch kiểm tra bit chẵn, lẻ được trình bày trên hình 8.10.



Hình 8.10: Sơ đồ logic mạch kiểm tra tính chẵn, lẻ

2. Mạch tạo bit chẵn, lẻ và kiểm tra tính chẵn, lẻ.

Mô hình của hệ thống truyền dẫn thông tin số dùng mã chẵn, lẻ được trình bày trên hình 8.11.



Hình 8.11: Mô hình của hệ thống truyền dẫn thông tin số dùng mã chẵn, lẻ

Từ biểu thức 8-10 ta nhận thấy rằng muốn tạo bit chẵn chỉ cần nối lối vào P_c ở hình 8.10 xuống đất: Khi đó nếu tổng số bit 1 của mã là một số lẻ, cần bổ xung thêm bit 1 nên $R_c = 1$, ngược lại, nếu tổng số bit 1 của mã là một số chẵn thì cần bổ xung thêm bit 0 nên $R_c = 0$.

Muốn tạo bit lẻ, cách làm cũng tương tự. Hoạt động của mạch như sau:

Tín hiệu số ở phía phát được tạo thêm một bit chẵn nhờ IC 74LS180. Bit chẵn cùng với các bit dữ liệu được ghép thành tín hiệu số nối tiếp nhờ IC hợp kênh 74LS151. Tín hiệu được đưa lên đường truyền tới nơi thu.

Tại nơi thu tín hiệu được phân kênh nhờ IC 74LS138, sau đó thông qua mạch chốt, tính chẵn được kiểm tra cũng nhờ IC 74LS180. Nếu trên đầu ra chẵn của mạch kiểm tra xuất hiện bit 1 là quá trình truyền có lỗi.

PHẦN 2: THỰC NGHIỆM

1. Bộ so sánh

Nhiệm vụ:

Tìm hiểu bộ so sánh số và ứng dụng

Các bước thực hiện:

1.1. Cáp nguồn +5V cho mảng sơ đồ D8-1

2.1. Bộ so sánh 4 bit dùng cổng logic: hình D8-1a:

1.2.1. Nối mạch của sơ đồ D8-1a với các mạch của DTLAB-201 như sau:

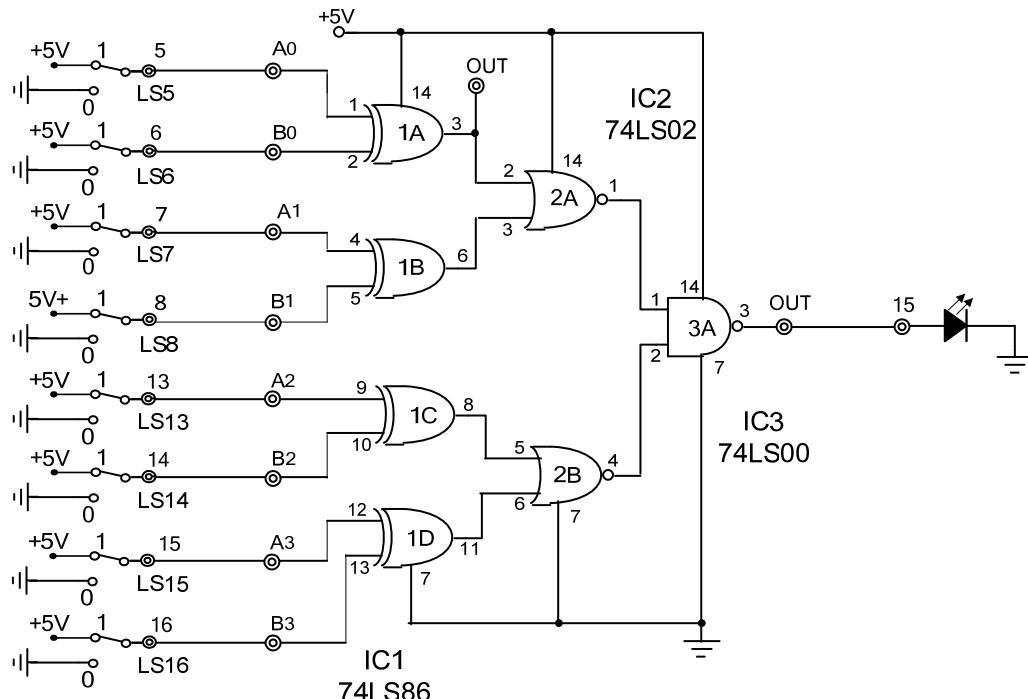
- Lối vào (Input): nối với bộ công tắc DATA & PULSER SWITCHES của DTLAB-201.
 - Nối lối vào A0 với công tắc logic LS5.
 - Nối lối vào A1 với công tắc logic LS7.
 - Nối lối vào A2 với công tắc logic LS13.
 - Nối lối vào A3 với công tắc logic LS15.
 - Nối lối vào B0 với công tắc logic LS6.
 - Nối lối vào B1 với công tắc logic LS8.
 - Nối lối vào B2 với công tắc logic LS14.
 - Nối lối vào B3 với công tắc logic LS16.
- Lối ra (Output): nối với các LED của bộ chỉ thị LOGIC INDICATORS của thiết bị chính DTLAB-201 .
 - Nối lối ra OUT với LED 15.

1.2.2. Đặt các công tắc LS5-8 và LS13-16 theo bảng D8-1.

Xác định trạng thái lối ra OUT theo trạng thái các LED: LED sáng OUT = 1, LED tắt OUT = 0. Ghi kết quả vào bảng 8-1.

So sánh các mã lối vào trong trường hợp LED sáng và tắt. Phát biểu tóm tắt về nguyên tắc hoạt động của bộ so sánh.

1.2.3. Giải thích nguyên lý hoạt động của sơ đồ D8-1a.

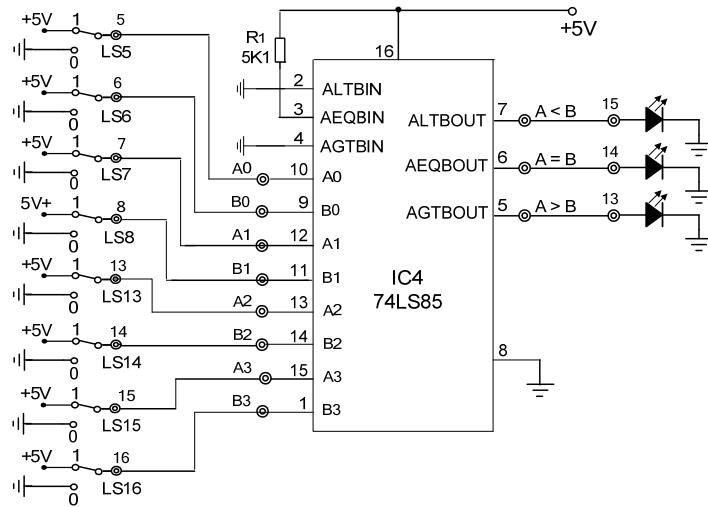


Hình D8.1a: Bộ so sánh số

Bảng D8-1

STT	A3	A2	A1	A0	B3	B2	B1	B0	OUT
0	0	0	0	0	0	0	0	0	
	0	0	0	0	0	1	0	0	
1	0	0	0	1	0	0	0	1	
	0	0	0	1	0	0	1	1	
2	0	0	1	0	0	0	1	0	
	0	0	1	0	1	0	1	0	
3	0	0	1	1	0	0	1	1	
	0	0	1	1	0	1	1	1	
4	0	1	0	0	0	1	0	0	
	0	1	0	0	0	1	1	0	
5	0	1	0	1	0	1	0	1	
	0	1	0	1	0	1	1	1	
6	0	1	1	0	0	1	1	0	
	0	1	1	0	0	1	1	1	
7	0	1	1	1	0	1	1	1	
	0	1	1	1	0	1	0	1	
8	1	0	0	0	1	0	0	0	
	1	0	0	0	1	0	1	0	
8	1	0	0	1	1	0	0	1	
	1	0	0	1	1	0	1	1	
10	1	0	1	0	1	0	1	0	
	1	0	1	0	1	1	1	0	
11	1	0	1	1	1	0	1	1	
	1	0	1	1	1	0	0	1	
12	1	1	0	0	1	1	0	0	
	1	1	0	0	1	1	1	0	
13	1	1	0	1	1	1	0	1	
	1	1	0	1	1	1	1	1	
14	1	1	1	0	1	1	1	0	
	1	1	1	0	1	1	0	0	
15	1	1	1	1	1	1	1	1	
	1	1	1	1	1	1	0	1	

1.3. Bộ so sánh 4 bit loại vi mạch: Hình D8.1b



Hình D8.1b: Bộ so sánh 4 bit loại vi mạch

1.3.1 Nối mạch của sơ đồ D8-1b với các mạch của DTLAB-201 như sau:

- Lối vào (Input): nối với bộ công tắc DATA & PULSER SWITCHES của DTLAB-201.
 - Nối lối vào A0 với công tắc logic LS5.
 - Nối lối vào A1 với công tắc logic LS7.
 - Nối lối vào A2 với công tắc logic LS13.
 - Nối lối vào A3 với công tắc logic LS15.
 - Nối lối vào B0 với công tắc logic LS6.
 - Nối lối vào B1 với công tắc logic LS8.
 - Nối lối vào B2 với công tắc logic LS14.
 - Nối lối vào B3 với công tắc logic LS16.
- Lối ra (Output): nối với các LED của bộ chỉ thị LOGIC INDICATORS của thiết bị chính DTLAB-201 .
 - Nối lối ra ALTB OUT ($A < B$) với LED 15.
 - Nối lối ra AEQB OUT ($A = B$) với LED 14.
 - Nối lối ra AGTB OUT ($A > B$) với LED 13.

1.3.2 Đặt các công tắc LS5-8 và LS13-16 theo bảng D8-2.

Xác định trạng thái lối ra OUT theo trạng thái các LED: LED sáng OUT = 1, LED tắt OUT = 0. Ghi kết quả vào bảng 8-2.

So sánh các mã lối vào trong trường hợp LED sáng và tắt.

Bảng D8-2

STT	A3	A2	A1	A0	B3	B2	B1	B0	A<B	A=B	A>B
0	0	0	0	0	0	0	0	0			
	0	0	0	0	0	1	0	0			
1	0	0	0	1	0	0	0	1			
	0	0	0	1	0	0	1	1			
2	0	0	1	0	0	0	1	0			
	0	0	1	0	1	0	1	0			
3	0	0	1	1	0	0	1	1			
	0	0	1	1	0	1	1	1			
4	0	1	0	0	0	1	0	0			
	0	1	0	0	0	1	1	0			
5	0	1	0	1	0	1	0	1			
	0	1	0	1	0	1	1	1			
6	0	1	1	0	0	1	1	0			
	0	1	1	0	0	1	1	1			
7	0	1	1	1	0	1	1	1			
	0	1	1	1	0	1	0	1			
8	1	0	0	0	1	0	0	0			
	1	0	0	0	1	0	1	0			
8	1	0	0	1	1	0	0	1			
	1	0	0	1	1	0	1	1			
10	1	0	1	0	1	0	1	0			

STT	A3	A2	A1	A0	B3	B2	B1	B0	A<B	A=B	A>B
	1	0	1	0	1	1	1	0			
11	1	0	1	1	1	0	1	1			
	1	0	1	1	1	0	0	1			
12	1	1	0	0	1	1	0	0			
	1	1	0	0	1	1	1	0			
13	1	1	0	1	1	1	0	1			
	1	1	0	1	1	1	1	1			
14	1	1	1	0	1	1	1	0			
	1	1	1	0	1	1	0	0			
15	1	1	1	1	1	1	1	1			
	1	1	1	1	1	1	0	1			

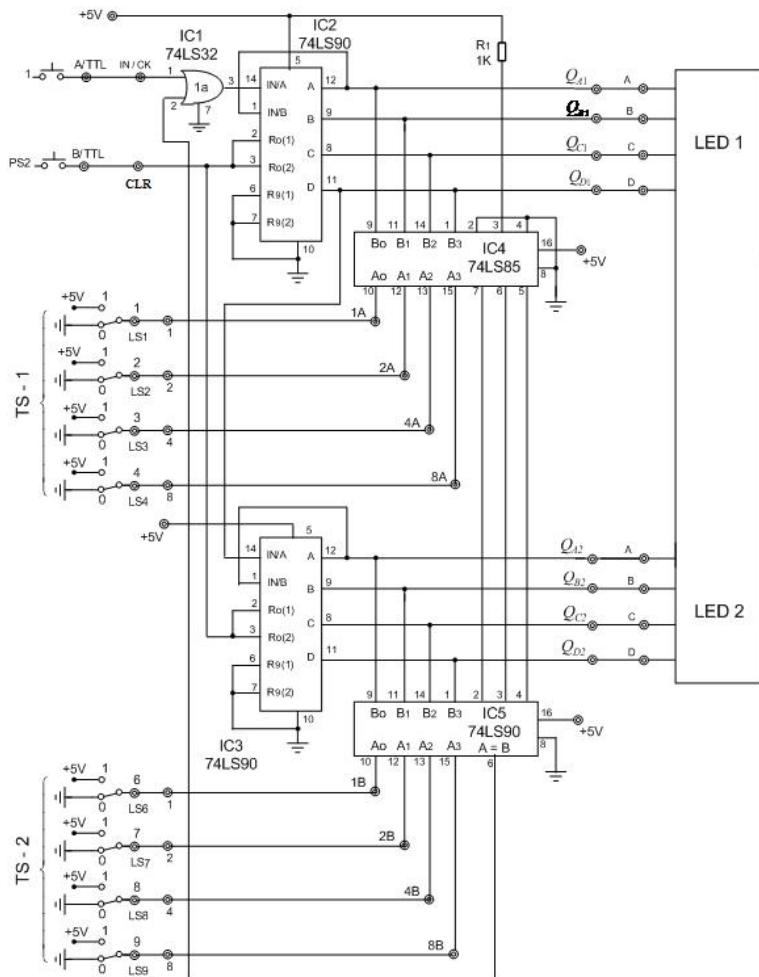
2. Bộ đếm đặt trước với bộ so sánh 2 số hạng

Nhiệm vụ:

Tìm hiểu nguyên tắc xây dựng bộ đếm có số đếm đặt trước khi sử dụng bộ so sánh.

Các bước thực hiện:

2.1. Cấp nguồn +5V cho mảng sơ đồ D8.2



Hình D8.2: Bộ đếm với số đếm đặt trước

2.2. Nối mạch của sơ đồ hình D8.2 với các mạch của DTLAB-201 như sau:

- Lối vào (Input): nối với bộ công tắc DEBOUNCE & PULSER SWITCHES của thiết bị chính

- Nối lối vào 1A-2A-4A-8A (IC4) tương ứng với các công tắc logic LS1-LS2-LS3-LS4 (TS1).

- Nối lối vào 1B-2B-3B-4B (IC5) tương ứng với công tắc logic LS6-LS7-LS8-LS8 (TS2).

- Nối lối vào IN/ CK (đếm) với công tắc xung PS1 – Chốt A/TTL.

- Nối lối vào CLR (xóa) với công tắc PS2 – chốt B / TTL.

- Lối ra (Output): nối với các LED của bộ chỉ thị DIGITAL DISPLAY của thiết bị chính DTLAB-201.

- Nối lối ra Q_{A1} - Q_{B1} - Q_{C1} - Q_{D1} với lối vào A - B - C - D / số hàng đơn vị - Digit 1 (cột rìa phải) của bộ chỉ thị LED 7 đoạn - .DIGITAL DISPLAY/ DTLAB-201.

- Nối ra Q_{A2} - Q_{B2} - Q_{C2} - Q_{D2} với lối vào A - B - C - D / số hàng chục - Digit 2 (cột rìa phải) của bộ chỉ thị LED 7 đoạn - .DIGITAL DISPLAY/ DTLAB-201.

Đặt TS1=2, TS2=4

Nhấn PS2/ CLR để xóa nội dung đếm và xác lập trạng thái ban đầu.

Nhấn PS1/ IN để ghi số liệu vào bộ đếm, theo dõi sự thay đổi số đếm tương ứng trên bộ chỉ thị LED 7 đoạn. Ghi giá trị số đếm khi bộ đếm dừng lại không tăng thêm nữa. So sánh giá trị này với giá trị số đặt trên TS1 và TS2.

Trên cơ sở nguyên tắc bộ so sánh đã khảo sát ở mục 1.3, giải thích nguyên tắc làm việc của bộ đếm với đặt trước số đếm.

2.3. Đặt các công tắc TS1 và TS2 theo cặp số lựa chọn tùy ý , lắp lại bước 2.2. Có thể sử dụng máy phát xung STANDARD GEN/ DTLAB-201 – 1Hz OUT TTL để tạo xung đếm thay cho PS1.

3. Bộ tương đồng

Nhiệm vụ:

Tìm hiểu nguyên tắc hoạt động của bộ tương đồng, cho phép hình thành tín hiệu ra theo số chẵn lẻ của trạng thái tín hiệu vào.

Các bước thực hiện:

3.1. Cấp nguồn +5V cho mảng sơ đồ D8.3

3.2. Bộ tương đồng 8 bit dùng công logic: Hình D8.3a:

3.2.1. Nối mạch của sơ đồ D8-3a với các mạch của DTLAB-201 như sau:

- Lối vào (Input): nối với bộ công tắc DATA & PULSER SWITCHES của DTLAB-201.

- Nối lối vào IN 1 với công tắc logic LS1.

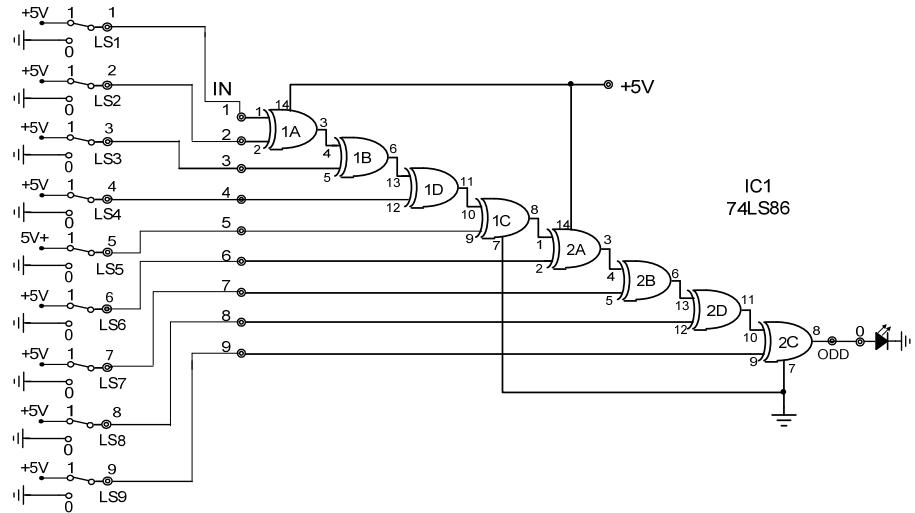
- Nối lối vào IN 2 với công tắc logic LS2

- Nối lối vào IN 3 với công tắc logic LS3.

- Nối lối vào IN 4 với công tắc logic LS4.

- Nối lõi vào IN 5 với công tắc logic LS5
- Nối lõi vào IN 6 với công tắc logic LS6.
- Nối lõi vào IN 7 với công tắc logic LS7.
- Nối lõi vào IN 8 với công tắc logic LS8.
- Nối lõi vào IN 8 với công tắc logic LS8.
- Lõi ra (Output): nối với bộ chỉ thị LOGIC INDICATORS LED đơn của thiết bị chính DTLAB-201.

- Nối lõi ra ODD với LED 0.



Hình D8.3a: Bộ tương đồng - lẻ với 8 số vào

3.2.2. Đặt các công tắc LS1-8 theo bảng D8-3.

Xác định trạng thái lõi ra lẻ ODD theo chỉ thị của LED: LED sáng $Q = 1$, LED tắt $Q = 0$. Ghi kết quả vào bảng 8-3.

3.2.3. Xác định sự phụ thuộc trạng thái lõi ra ODD theo số lượng chẵn hay lẻ của những lõi vào có trạng thái 1.

Bảng D8-3

LS1 IN1	LS2 IN2	LS3 IN3	LS4 IN4	LS5 IN5	LS6 IN6	LS7 IN7	LS8 IN8	LS IN8	Lẻ ODD
0	0	0	0	0	0	0	0	0	
1	1	1	0	1	1	0	1	1	
0	1	1	0	1	1	0	0	1	
1	0	1	0	1	1	0	1	0	
0	0	1	1	0	1	0	0	0	
1	1	0	1	1	1	0	1	1	
0	1	0	1	0	1	1	0	1	
1	0	0	1	1	1	0	1	0	
0	0	0	0	0	1	0	0	0	
1	1	1	1	1	1	1	1	1	

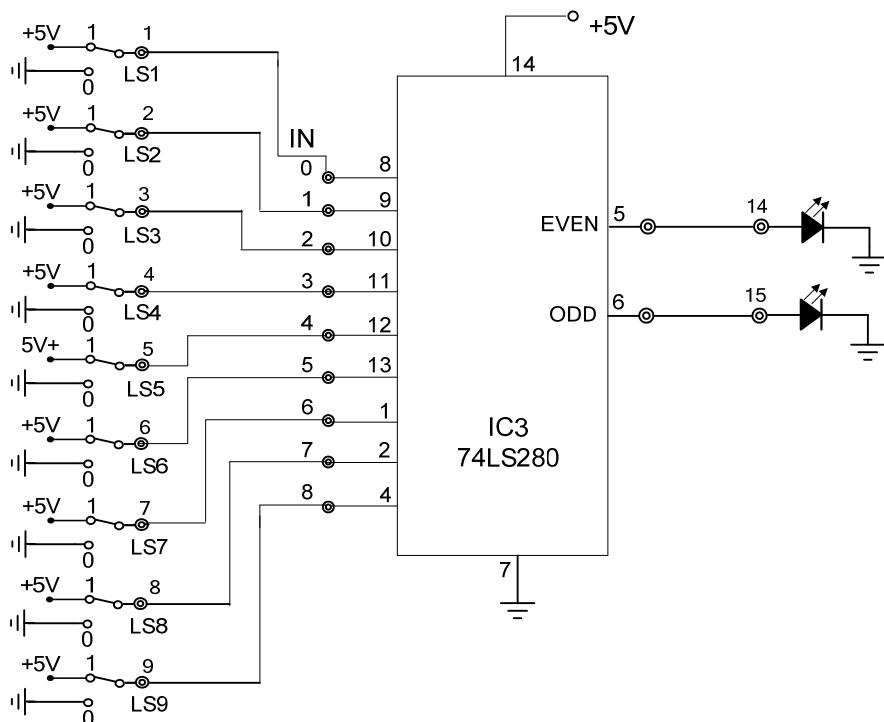
Giải thích nguyên tắc hoạt động của bộ tương đồng - lẻ trên cơ sở sơ đồ nguyên lý D8.3a và bảng chân lý của cỗng hoặc loại trừ.

3.2.4. Dựa theo kết quả nhận được, phát biểu tóm tắt về nguyên tắc hoạt động của bộ tương đồng - lẻ.

3.3. Vi mạch tương đồng chẵn / lẻ 8 bit: Hình D8.3b

3.3.1. Nối mạch của sơ đồ D8.3b với các mạch của DTLAB-201 như sau:

- Lối vào (Input): nối với bộ công tắc DATA & PULSER SWITCHES của DTLAB-201.
 - Nối lối vào IN0 với công tắc logic LS1.
 - Nối lối vào IN1 với công tắc logic LS2
 - Nối lối vào IN2 với công tắc logic LS3.
 - Nối lối vào IN3 với công tắc logic LS4.
 - Nối lối vào IN4 với công tắc logic LS5.
 - Nối lối vào IN5 với công tắc logic LS6.
 - Nối lối vào IN6 với công tắc logic LS7.
 - Nối lối vào IN7 với công tắc logic LS8.
 - Nối lối vào IN8 với công tắc logic LS8.
- Lối ra (Output): nối với các LED của bộ chỉ thị LOGIC INDICATORS của DTLAB-201 .
 - Nối lối ra lối ra chẵn - EVEN với LED 14.
 - Nối lối ra lẻ - ODD với LED 15.



Hình D8-3b. Vi mạch tương đồng chẵn lẻ 8 bit

3.3.2. Đặt các công tắc LS1-8 theo bảng D8-4.

Xác định trạng thái lối ra chẵn lẻ - EVEN - ODD theo chỉ thị của LED: LED sáng Q = 1, LED tắt Q = 0. Ghi kết quả vào bảng 8-4.

Bảng D8-4

LS1 IN0	LS2 IN1	LS3 IN2	LS4 IN3	LS5 IN4	LS6 IN5	LS7 IN6	LS8 IN7	LS IN8	Chẵn EVEN	Lẻ ODD
0	0	0	0	0	0	0	0	0		
1	1	1	0	1	1	0	1	1		
0	1	1	0	0	1	0	0	1		
1	0	1	0	1	1	0	1	0		
0	0	1	1	0	1	0	0	0		
1	1	0	1	1	1	0	1	1		
0	1	0	1	0	1	0	0	1		
1	0	0	1	1	1	0	1	0		
0	0	0	0	0	1	0	0	0		
1	1	1	1	1	1	1	1	1		

3.3.3. Xác định sự phụ thuộc trạng thái lối ra EVEN và ODD theo số lượng chẵn hay lẻ của những lối vào có trạng thái 1.

BÀI 9

BỘ NHỚ BÁN DẪN

Mục đích:

Tìm hiểu cấu trúc và nguyên tắc thiết kế một bộ nhớ bán dẫn.

Khảo sát một số bộ nhớ xây dựng từ các linh kiện rời.

PHẦN 1: LÝ THUYẾT

9.1. Khái niệm cơ bản

1. Chức năng của bộ nhớ

Đối với các thiết bị điện tử số và các máy tính điện tử thì bộ nhớ là một linh kiện quan trọng. Bộ nhớ thường được dùng để lưu giữ tạm thời dữ liệu, lệnh, kết quả tính toán v.v. hoặc lưu giữ cố định các đại lượng vật lý, số π , các hàm lượng v.v.

2. Các thông số cơ bản của bộ nhớ

Thông tin dữ liệu được tạo thành từ một đơn vị cơ bản gọi là từ (word). Tuỳ theo từng loại thiết bị số, một từ có thể là 8 bit, 16 bit, 32 bit... Các thiết bị chỉ truyền hay nhận nguyên 1 từ hay nhiều từ chứ không phải chỉ một vài bit của từ. Tuy nhiên đơn vị nhớ cơ bản là bit.

Các thông số cơ bản của bộ nhớ:

a) *Dung lượng nhớ (Capacity)*: Là lượng thông tin hay dữ liệu lưu trữ trong bộ nhớ.

Trong các bộ nhớ bán dẫn có 2 loại kết cấu:

- Nhiều từ một bit, mỗi tổ chức cơ sở của bộ nhớ chỉ nhớ 1 bit.
- Nhiều từ nhiều bit, mỗi tổ chức cơ sở của bộ nhớ lưu giữ nhiều bit.

Tích số của số phần tử cơ sở và số bit của mỗi phần tử đó là dung lượng của bộ nhớ.

Các đơn vị nhớ là: bit, byte, KB, MB, GB.

$$1 \text{ byte} = 8 \text{ bit}$$

$$1 \text{ KB} = 2^9 \text{ byte} = 924 \text{ byte} = 2^{13} \text{ bit}$$

$$1 \text{ MB} = 2^9 \text{ KB} = 924 \text{ KB}$$

$$1 \text{ GB} = 2^9 \text{ MB} = 924 \text{ MB}$$

b) *Thời gian truy nhập (Access time – AT)*

Thời gian này gồm 2 phần: Thời gian xác định vị trí của từ và thời gian đọc hoặc ghi nội dung từ lưu trữ trong bộ nhớ, AT càng nhỏ, tốc độ làm việc của hệ thống điện tử số càng cao.

3. Phân loại bộ nhớ

Có nhiều cách phân loại bộ nhớ. Xét về cấu trúc máy tính ta thấy có 2 loại bộ nhớ:

- Bộ nhớ trong: Gồm có ROM, RAM, đĩa cứng.
- Bộ nhớ ngoài: Gồm các đĩa mềm, CDROM.

Ở đây ta chỉ khảo sát các bộ nhớ bán dẫn.

Các bộ nhớ bán dẫn được chia thành hai loại:

- Bộ nhớ chỉ đọc ROM (Read Only Memory). Trong đó các dữ liệu đã được các nhà sản xuất ghi vào và nó chỉ được đọc ra khi dùng.

- Bộ nhớ truy cập ngẫu nhiên RAM (Random Access Memory). RAM là bộ nhớ tác động nhanh, có thể ghi số liệu vào và đọc số liệu ra từ RAM tại mọi thời điểm.

9.2. Bộ nhớ chỉ đọc – ROM

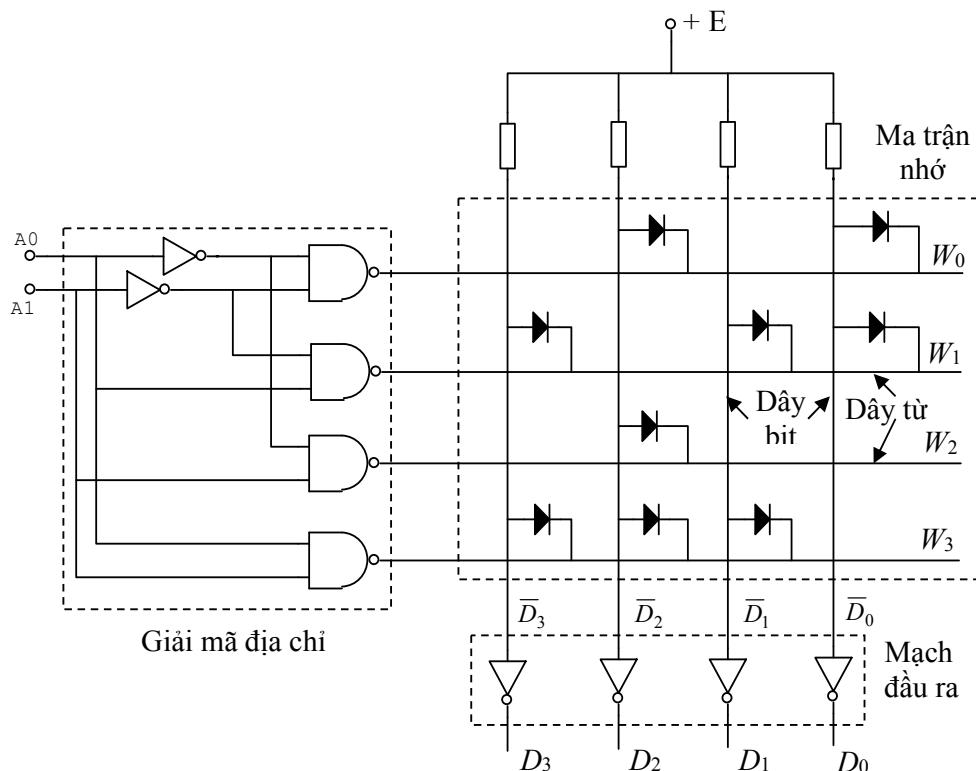
ROM còn gọi là bộ nhớ cố định, khác với RAM thông tin chứa trong ROM không bị mất đi khi không được cấp nguồn nuôi.

Các dữ liệu được nạp cho ROM do các nhà chế tạo thực hiện khi sản xuất, có thể là các hằng số vật lý, toán học như như số π , số e, các công thức toán học, các hàm số lượng giác sin, cos... các bộ biến đổi mã, giải mã các kí tự v.v... Dữ liệu cũng có thể là các lệnh điều khiển khởi động máy tính, các chương trình con điều khiển hoạt động của máy tính hay các thiết bị điều khiển tự động.

Các dữ liệu lưu giữ trong ROM không dễ thay đổi, chỉ đọc ra.

Phần tử nhớ trong ROM rất đơn giản, do đó IC ROM có độ tích hợp rất cao. Có nhiều chủng loại ROM. Căn cứ vào phần tử nhớ trong ROM, có thể phân thành 3 loại: ROM điol, ROM transistor lưỡng cực và ROM transistor trường (MOS).

Căn cứ cách viết dữ liệu vào ROM, cũng có 3 loại: ROM cố định (ROM mặt nạ - Maskable ROM), PROM và EPROM.



Hình 9.1. ROM điol

ROM cố định, khi chế tạo tại nhà máy, nạp sẵn dữ liệu thông qua công đoạn mực nặn. Dữ liệu không thể thay đổi trong quá trình sử dụng. PROM (ROM có thể nạp chương trình – Programable) thì người sử dụng có thể nạp chương trình (bằng thiết bị nạp đặc biệt), nhưng dữ liệu chỉ được viết vào PROM một lần mà thôi, sau đó không thể thay đổi.

EPROM (Erasable Programmable ROM) có thể thay đổi dữ liệu (viết mới) bằng một thiết bị đặc biệt, sẽ được trình bày trong bài thực hành tiếp theo.

9.2.1. ROM cố định (ROM mực nặn)

ROM cố định chia thành 3 phần: Bộ giải mã địa chỉ, ma trận phần tử nhớ và mạch điện đầu ra. Hình 9.1 giới thiệu mạch điện đơn giản nhất là ROM điốt.

Dùng phương pháp phân tích logic, ta có hàm logic tín hiệu trên các dây từ:

$$\begin{aligned} W_3 &= \overline{A_1 A_0}, & W_2 &= \overline{\overline{A_1} \overline{A_0}} \\ W_1 &= \overline{\overline{A_1} A_0}, & W_0 &= \overline{\overline{A_1} \overline{A_0}} \end{aligned} \quad (9.1)$$

Hàm logic tín hiệu đầu ra:

$$\begin{aligned} D_3 &= \overline{W_3 W_1} = \overline{\overline{A_1 A_0} \cdot \overline{\overline{A_1} A_0}} = A_1 A_0 + \overline{A_1} A_0 = A_0 \\ D_2 &= \overline{W_3 W_2 W_0} = \overline{\overline{A_1 A_0} \cdot \overline{A_1} \overline{A_0} \cdot \overline{\overline{A_1} \overline{A_0}}} = A_1 A_0 + A_1 \overline{A_0} + \overline{A_1} \overline{A_0} = A_1 + \overline{A_0} \\ D_1 &= \overline{W_3 W_1} = A_0 \\ D_0 &= \overline{W_1 W_0} = \overline{\overline{\overline{A_1} A_0} \cdot \overline{\overline{A_1} \overline{A_0}}} = \overline{A_1} A_0 + \overline{A_1} \overline{A_0} = \overline{A_1} \end{aligned} \quad (9.2)$$

Bảng 9.1. Bảng chân lý của ROM điốt

A ₁	A ₀	D ₃	D ₂	D ₁	D ₀
0	0	0	1	0	1
0	1	1	0	1	1
1	0	0	1	0	0
1	1	1	1	1	0

Từ bảng chân lý, ta thấy sơ đồ hình 9.1 thực chất là một bộ chuyển mã từ mã A₁A₀ sang mã D₃D₂D₁D₀.

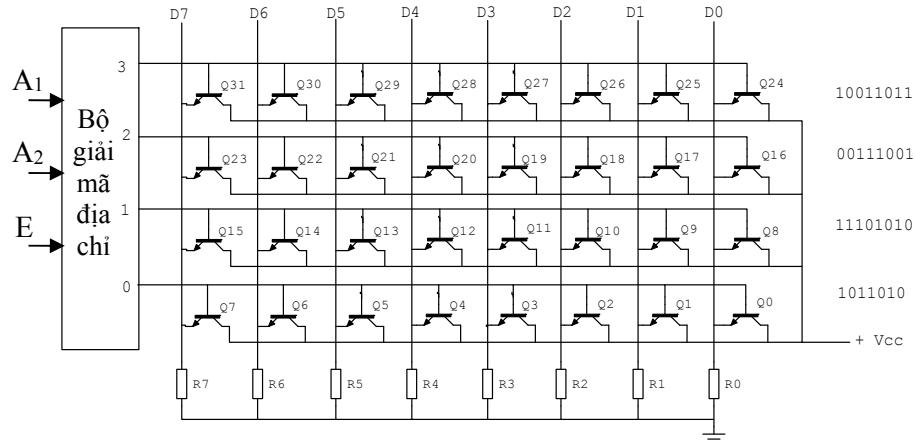
Trong mạch điện hình 9.1 các từ mã của tín hiệu đầu vào và đầu ra có quan hệ đơn trị. Vì vậy người ta thường xem từ mã đầu vào A₁A₀ là địa chỉ của từ mã D₃D₂D₁D₀ được lưu giữ trong ROM, còn D₃D₂D₁D₀ được xem là nội dung dữ liệu ở địa chỉ tương ứng A₁A₀.

Trong ma trận phần tử nhớ, đường ngang để chọn từ gọi tắt là dây bit. Chỗ giao nhau giữa dây từ và dây bit được gọi là phần tử nhớ. Tại phần tử nhớ, nếu có điốt thì dữ liệu lưu giữ là 1, nếu không có điốt thì dữ liệu lưu giữ là 0.

Nội dung dữ liệu lưu giữ trong ma trận không thể thay đổi sau khi hoàn thành chế tạo ROM, tức là chỉ đọc mà không viết được.

Hình 9.2 trình bày ROM có định dùng transistor lưỡng cực, các transistor có chức năng là tế bào nhớ, được xếp theo ma trận 4 x 8. Hoạt động tương tự như ROM dùng điốt.

Những ô nhớ tương ứng với transistor có base được nối với dây từ thì dữ liệu lưu giữ là 1, còn những ô nhớ tương ứng với transistor base không nối với dây từ thì dữ liệu lưu giữ là 0.



Hình 9.2. ROM cố định dùng transistor

Hình 9.3 trình bày sơ đồ ROM dùng transistor trường MOS, có nội dung nhớ như mạch hình 9.1. Tại phần tử nhớ (nơi giao nhau giữa dây từ và dây bit) nếu có transistor MOS thì dữ liệu lưu giữ là 1, nếu không có thì là 0.

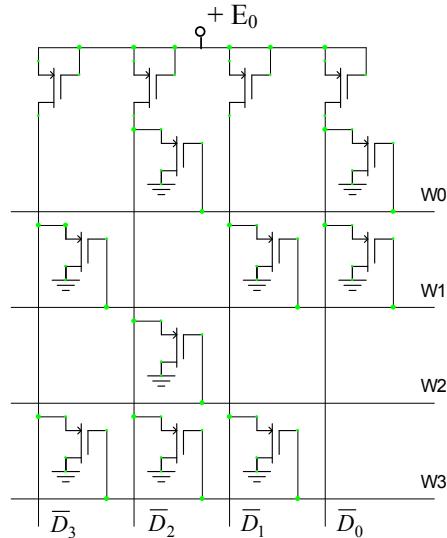
Khi chế tạo ma trận nhớ ROM, căn cứ vào nội dung cần lưu giữ mà thiết kế mặt nạ. Điều này chỉ có lợi khi số lượng sản xuất lớn. Trong trường hợp số lượng sản xuất không lớn, dùng PROM kinh tế hơn.

9.2.2. Bộ nhớ chỉ đọc có thể được ghi trình tự (PROM)

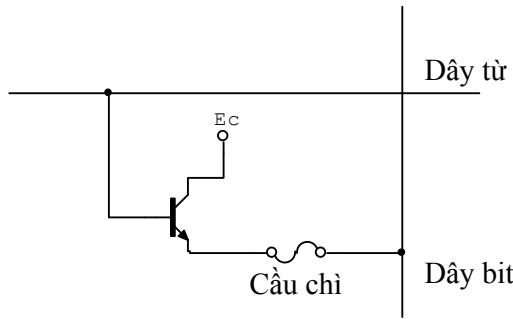
Khi xuất xưởng, PROM có các phần tử nhớ đều là 1, người sử dụng căn cứ nội dung cần lưu trữ mà tùy ý chọn phần tử nào không thay đổi là 1, phần tử nhớ nào phải thay đổi (0) để thao tác viết vào bộ nhớ. Nhưng chỉ một lần viết mà thôi.

Hình 9.4 giới thiệu một phần tử nhớ PROM, gồm một transistor lưỡng cực và một cầu chì. Khi xuất xưởng, cầu trì của các phần tử nhớ đều thông.

Người sử dụng muốn ghi bit 1 vào phần tử nhớ nào thì giữ nguyên cầu trì, muốn ghi bit 0 vào phần tử nhớ nào thì làm đứt cầu trì bằng một dòng điện đủ lớn theo quy định. Cầu trì của phần tử nhớ nào bị đứt rồi thì không có cách nào nối lại như cũ, tức là không thể thay đổi nội dung lưu trữ.



Hình 9.3. ROM cố định dùng NMOS



Hình 9.4. Phần tử nhớ PROM

9.3. Bộ nhớ RAM

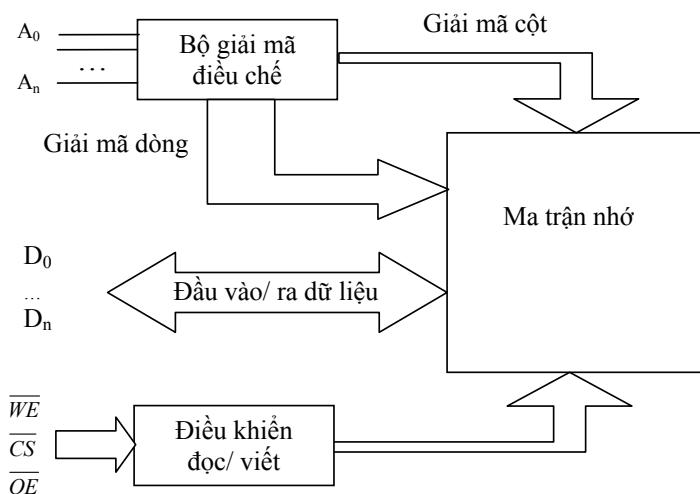
RAM là một phần không thể thiếu của máy tính điện tử số. Trước đây RAM là bộ nhớ bằng xuyến từ. Hiện nay RAM là bộ nhớ bán dẫn, có ưu điểm là tốc độ lớn, thể tích nhỏ, dung lượng lớn, tiết kiệm điện năng và độ tin cậy cao.

RAM là bộ nhớ có thể đọc và ghi dữ liệu. Thông tin lưu trữ trong RAM sẽ bị mất đi khi không còn nguồn nuôi nó.

Có thể phân RAM thành các loại sau:

- RAM lưu trữ (Nonvolatile): Dùng CMOS nuôi bằng pin lithium liên tục trong 9 năm.
- RAM không lưu trữ (Volatile): Khi ngắt nguồn nuôi các dữ liệu đã nhớ bị xoá. Loại RAM này lại chia thành 2 loại:
 - + RAM tĩnh (Static)
 - + RAM động (Dynamic)

Kết cấu của RAM bán dẫn:



Hình 9.5. Sơ đồ khái mô tả cấu trúc của RAM

Hình 9.5 giới thiệu sơ đồ khái mô tả cấu trúc của RAM bán dẫn gồm các khối sau:

a) *Bộ giải mã địa chỉ*

Trong RAM có rất nhiều phần tử nhớ, để phân định, từng phần tử nhớ được gắn một địa chỉ. Mỗi lần đọc hoặc viết chỉ có thể làm việc với một phần tử nhớ có địa chỉ đã cho. Hoặc là viết vào phần tử nhớ, hoặc là đọc nội dung được lưu giữ tại phần tử nhớ đó, quá trình này gọi là truy nhập, truy xuất bộ nhớ.

b) Điều khiển đọc/ viết

Đối với phần tử nhớ được chia theo địa chỉ, việc đọc ra hay viết vào phụ thuộc vào tín hiệu điều khiển đọc/ viết. Ví dụ: \overline{WE} có mức logic 1 là đọc, có mức logic 0 là viết.

c) Đầu vào/ ra dữ liệu

Các đường dây dữ liệu là hai chiều do tín hiệu điều khiển đọc/ viết, khi đọc nó là đầu ra, khi viết nó là đầu vào. Thông thường người ta sử dụng công ba trạng thái.

Số đầu vào/ ra này phụ thuộc vào số bit trong một địa chỉ.

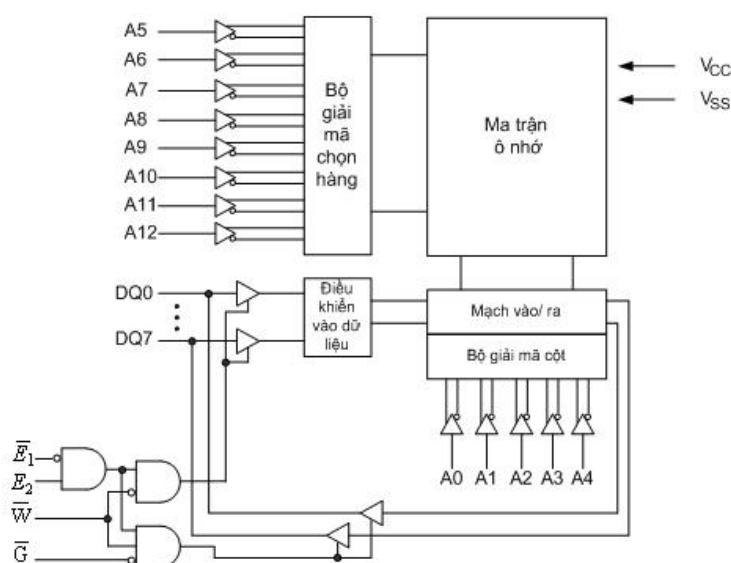
d) Điều khiển chọn chip \overline{CS} (Chip Selection)

Do sự hạn chế về khả năng tích hợp RAM trên mỗi chip. Bộ nhớ RAM của máy tính phải do nhiều chip RAM ghép nối logic với nhau. Khi bộ xử lý trung tâm (CPU – Central Processing Unit) truy nhập truy xuất bộ nhớ theo địa chỉ, thì địa chỉ đó thường tương ứng với một chip RAM nào đó được chọn. Điều khiển chọn chip nhằm mục đích đó. Nếu tín hiệu chọn chip đưa tới chip RAM nào ở mức tích cực thì chip đó được chọn, còn các chip RAM khác không có tín hiệu chọn chip ở mức tích cực thì không được chọn, nghĩa là bị ngắt không liên hệ với CPU.

e) Ma trận nhớ

Các phân tử nhớ của RAM thường được bố trí dưới dạng ma trận, gọi là ma trận nhớ. Đầu ra của bộ giải mã địa chỉ điều khiển mạch nối/ ngắt giữa phần tử nhớ trong ma trận với đầu vào/ ra của bộ nhớ.

Ví dụ: RAM tĩnh 6164 (8k x 8 bit) có sơ đồ cấu trúc được trình bày ở hình 9.6 có 13 đường địa chỉ là A_0, A_1, \dots, A_{12} , có 4 đường điều khiển $\overline{E}_1, E_2, \overline{W}, \overline{G}$, 8 đường dữ liệu vào ra $D_0 \dots D_7$.



Hình 9.6. Sơ đồ cấu trúc của RAM tĩnh 6164

Các đầu vào điều khiển:

\bar{E}_1, E_2 : Điều khiển chọn chip.

\bar{W} : Điều khiển đọc/ viết.

$\bar{W} = 1$: Đọc, $\bar{W} = 0$: Viết.

\bar{G} : Điều khiển cho phép đọc.

PHẦN II: THỰC NGHIỆM

1. Bộ nhớ chỉ đọc – ROM dùng ma trận diode

Nhiệm vụ:

Tìm hiểu bộ nhớ chỉ đọc – ROM trên cơ sở ma trận diode, cho phép tạo và lưu trữ cố định số liệu.

Các bước thực hiện:

1. Cáp nguồn +5V mang cho sơ đồ D9-1.

2. Nối mạch của sơ đồ D9-1 với các mạch của DTLAB – 201 như sau:

• Lối vào (Input): Nối với các công tắc DATA SWITCHES của DTLAB-201.

- Nối lối vào A với công tắc logic LS6.

- Nối lối vào B với công tắc logic LS7.

- Nối lối vào C với công tắc logic LS8.

• Lối ra (Output): Nối với các LED của bộ chỉ thị LOGIC INDICATORS của DTLAB-201.

- Nối lối ra D0 với LED12.

- Nối lối ra D1 với LED13.

- Nối lối ra D2 với LED14.

- Nối lối ra D3 với LED15.

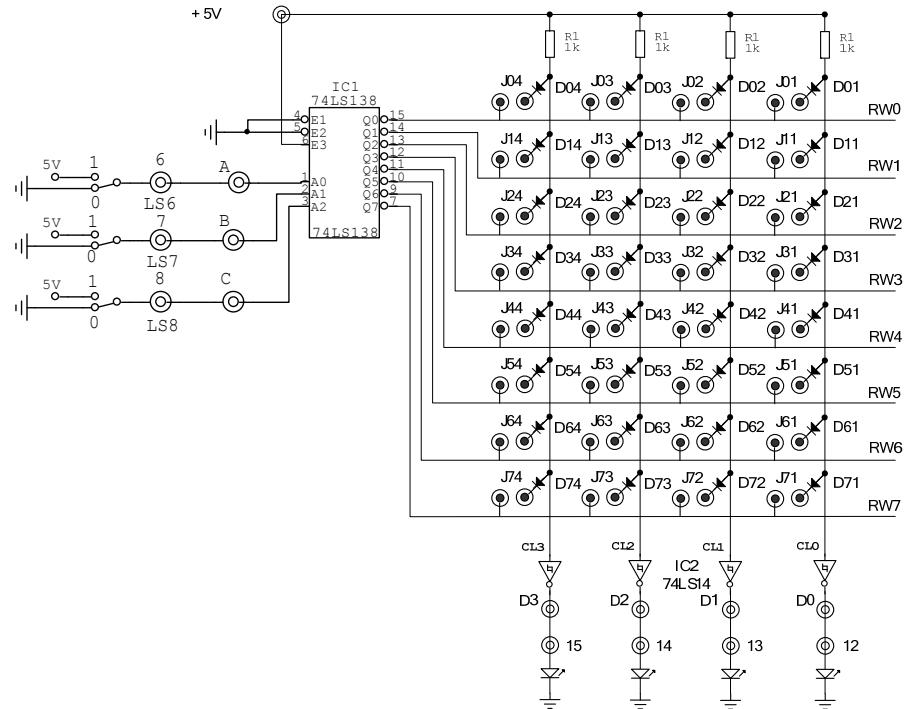
3. Đặt các công tắc LS6-8 theo bảng D9-1 để tạo địa chỉ. Bộ giải mã IC1 cho phép tạo 8 hàng địa chỉ từ R0 đến R8.

Nối các J để gắn diode tương ứng giữa cột (CL) với hàng (RW) theo bảng D9-1. Trong đó đánh dấu vị trí có diode là 1, vị trí không có diode là 0.

Xác định trạng thái lối ra D0 – D3 theo trạng thái các LED: LED sáng Q = 1, LED tắt Q = 0. Ghi kết quả vào bảng D9-1.

So sánh mã ra tại mỗi hàng với vị trí gắn các diode trong hàng. Kết luận về giá trị mã ra cho các vị trí có diode và không có diode tương ứng.

4. Trên cơ sở sơ đồ nguyên lý hình D9-1, giải thích tại sao số liệu ra lại phụ thuộc vào vị trí có gắn hoặc không gắn diode. Làm rõ các ý: Bộ nhớ - chỉ đọc (ROM).



Hình D9-1. Bộ nhớ chỉ đọc – ROM dùng ma trận diode

Bảng D9-1

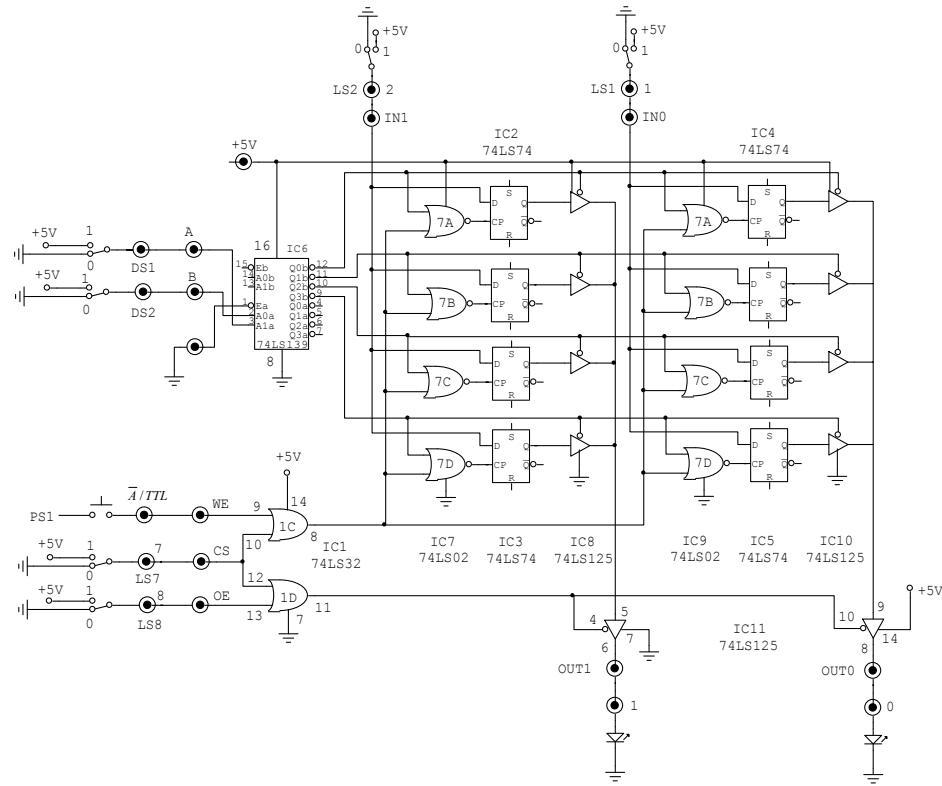
Địa chỉ	Giải mã hàng								Vị trí Diode/ cột				Mã ra							
	C	B	A	Hàng	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0	C3	C2	C1	C0	D3	D2	D1	D0
0 0 0	R0	1	1	1	1	1	1	1	1	1	1	0	1	0	1	0				
0 0 1	R1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	0				
0 1 0	R2	1	1	1	1	1	1	0	1	1	1	1	1	0	1	1				
0 1 1	R3	1	1	1	1	1	0	1	1	1	1	1	1	0	0	0				
1 0 0	R4	1	1	1	0	1	1	1	1	1	1	1	0	0	0	1	0			
1 0 1	R5	1	1	0	1	1	1	1	1	1	1	1	0	0	0	1	1			
1 1 0	R6	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1				
1 1 1	R7	0	1	1	1	1	1	1	1	1	1	1	0	1	0	0				

2. Bộ nhớ truy xuất ngẫu nhiên – RAM – trên trigger D

Nhiệm vụ: Tìm hiểu cấu trúc và nguyên tắc hoạt động của bộ nhớ sử dụng để trao đổi số liệu với các thiết bị khác.

Các bước thực hiện:

1. Cấp nguồn +5V cho mảng sơ đồ D9-2.



Hình D9-2. Bộ nhớ 2 bit x 4 hàng dùng trigger D

2. Nối mạch của sơ đồ D9-2 với các mạch của DTLAB-201 như sau:

- Lối vào (Input): Nối với bộ công tắc DATA SWITCHES của DTLAB-201.
 - Nối lối vào A với công tắc DS1.
 - Nối lối vào B với công tắc DS2.
 - Nối lối vào IN0 với công tắc LS1.
 - Nối lối vào IN1 với công tắc LS2.
 - Nối lối vào WE (cho phép ghi số liệu) với công tắc xung PS1 – chốt \bar{A} / TTL .
 - Nối lối vào CS (chọn vị trí) với công tắc logic LS7.
 - Nối lối vào OE (cho phép đọc ra) với công tắc logic LS8.
- Lối ra (Output): Nối với bộ chỉ thị LED đơn của DTLAB-201.
 - Nối lối ra OUT0 với LED0.
 - Nối lối ra OUT1 với LED1.

3. Nạp số liệu vào bộ nhớ:

Đặt các công tắc logic theo bảng D9-2 để tạo địa chỉ và điều khiển cho việc nạp số liệu vào bộ nhớ.

Chú ý: Đặt mã địa chỉ A, B trước, sau đó mới nhấn PS1 (WE) để tạo lệnh ghi.

Mã vào (IN0, IN1) có thể chọn tùy ý.

Bảng D9-2

LS7 CS	LS8 OE	DS2 B	DS1 A	PS1 WE	LS2 IN1	LS1 IN0	LED 1 OUT 1	LED 0 OUT 0
0	0	0	0	↓	1	0		
0	0	0	1	↓	1	1		
0	0	1	0	↓	0	1		
0	0	1	1	↓	1	0		

4. Đặt các công tắc logic theo bảng D9-3 để tạo địa chỉ và điều khiển cho việc đọc số liệu vừa được nạp vào bộ nhớ.

Bảng D9-3

LS7 CS	LS8 OE	DS2 B	DS1 A	LED 1 OUT 1	LED 0 OUT 0
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		

So sánh giá trị đọc cho từng hàng (địa chỉ) với giá trị nạp tương ứng.

5. Giải thích nguyên tắc hoạt động của sơ đồ D9-2.

BÀI 10

CÁC SƠ ĐỒ BIẾN ĐỔI: BỘ BIẾN ĐỔI SỐ - TƯƠNG TỰ DAC, BỘ BIẾN ĐỔI TẦN SỐ SANG ĐIỆN ÁP FVC, BỘ BIẾN ĐỔI ĐIỆN ÁP SANG TẦN SỐ VFC

Mục đích: Tìm hiểu một số nguyên lý biến đổi tín hiệu trong điện tử số. Trên cơ sở đó tìm hiểu một cách chi tiết các bộ biến đổi, có khả năng thiết kế các bộ biến đổi số - tương tự, tần số - điện áp, điện áp - tần số.

PHẦN 1: LÝ THUYẾT

10.1. Bộ biến đổi số - tương tự (DAC - Digital Analog Converter)

Do sự phát triển của kỹ thuật điện tử số, đặc biệt là ứng dụng phổ biến của máy tính điện tử số, nên thường dùng hệ thống số để xử lý tín hiệu tương tự. Vì vậy cần biến đổi tín hiệu tương tự thành tín hiệu số, mạch thực hiện nhiệm vụ này gọi là bộ biến đổi tương tự - số (ADC - Analog to Digital Converter). Sau khi xử lý song, thường cần biến đổi tín hiệu số thành tín hiệu tương tự, mạch thực hiện nhiệm vụ này gọi là bộ biến đổi số - tương tự DAC.

Các giá trị đại diện của tín hiệu số là các giá trị rời rạc.

Một cách tổng quát, tín hiệu số có dạng sau:

$$S_D = b_{n-1}2^{n-1} + b_{n-2}2^{n-2} + \dots + b_02^0 \quad (10-1)$$

trong đó các hệ số b_i nhận giá trị 0 hoặc 1 (gọi là bit)

- b_{n-1} là bit có trọng số lớn nhất (MSB – Most Significant bit), tương ứng với cột đứng bên trái của dãy mã số. Một biến đổi giá trị của MSB ứng với sự biến đổi của tín hiệu là một nửa dải làm việc.

- b₀ là bit có trọng số nhỏ nhất (LSB – Least Significant bit), tương ứng với cột đứng bên phải của dãy mã số. Một biến đổi giá trị của LSB ứng với sự biến đổi của tín hiệu là một mức lượng tử.

10.1.1. Các thông số cơ bản của bộ biến đổi số - tương tự.

1. Độ phân giải

Độ phân giải là tỉ số giữa giá trị cực tiểu với giá trị cực đại của điện áp đầu ra, về trị số tỉ số này tương ứng với tỉ số giá trị cực tiểu đối với giá trị cực đại của tín hiệu số đầu vào.

Thí dụ: Đối với DAC 10 bit, có độ phân giải là:

$$\frac{0000000001}{1111111111} = \frac{1}{2^{10}-1} = \frac{1}{1023} \approx 0,001 \quad (10-2)$$

2. Độ tuyến tính

Độ tuyến tính của DAC biểu thị bằng sai số phi tuyến. Sai số phi tuyến là số phần trăm của giá trị lệch cực đại khỏi đặc tính vào ra lý tưởng so với giá trị cực đại ở đầu ra.

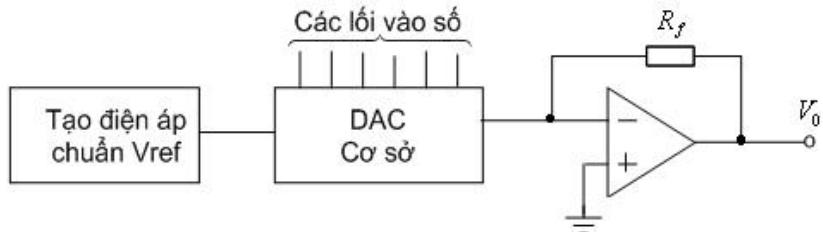
3. Thời gian xác lập dòng điện, điện áp đầu ra

Thời gian xác lập là thời gian từ khi tín hiệu số đưa vào đầu vào đến khi dòng điện hoặc điện áp đầu ra ổn định.

Ngoài các tham số trên còn một số tham số khác như: các mức logic, điện trở và điện dung đầu vào. Dải động, điện trở và điện dung đầu ra.

10.1.2. Cấu trúc của bộ biến đổi số - tương tự

Sơ đồ khối của bộ biến đổi số - tương tự gồm 3 khối: một khối tạo ra điện áp chuẩn (Referent Voltage) ổn định, hoặc được cấp từ bên ngoài, một DAC cơ sở và một bộ khuếch đại thuật toán hình 10.1.

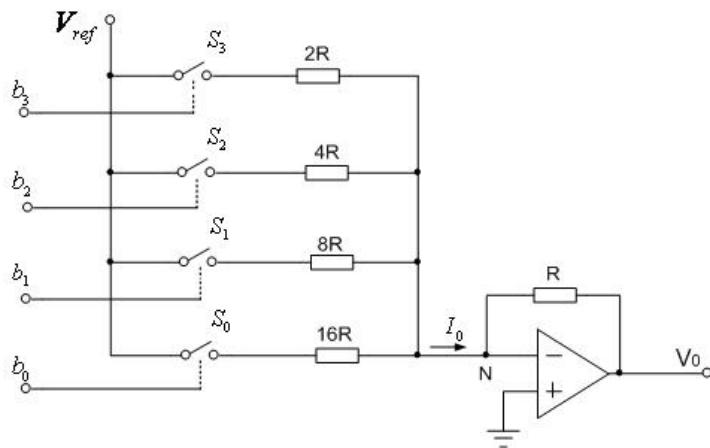


Hình 10.1: Sơ đồ khối bộ biến đổi số - tương tự (DAC)

DAC cơ sở được tạo thành từ những chuyển mạch tương tự được điều khiển bởi tín hiệu số ở lõi vào và một loạt điện trở chính xác. Nhờ có các chuyển mạch tương tự được điều khiển mà dòng hoặc điện áp lấy từ điện áp chuẩn đưa tới lõi vào của khuếch đại thuật toán, tạo nên dòng điện hoặc điện áp ở lõi ra của nó tỉ lệ với tín hiệu số điều khiển ở lõi vào của DAC cơ sở.

Bộ khuếch đại thuật toán dùng để chuyển đổi dòng điện thành điện áp và có chức năng của một tầng đệm.

10.1.3. Bộ biến đổi số - tương tự dùng mạng điện trở có trọng số (DAC with weighted resistor network)



Hình 10.2

Trên hình 10.2 trình bày sơ đồ nguyên lý của bộ biến đổi số - tương tự 4 bit dùng mạng điện trở có trọng số.

Trong phương pháp này, để thực hiện biến đổi số - tương tự, người ta tạo ra dòng điện I_0 là tổng các dòng điện thành phần tương ứng I_i được chọn tương ứng với tín hiệu số ở lối vào điều khiển chuyển mạch tương tự đóng, ngắn.

Dòng I_0 tỉ lệ với tín hiệu số ở lối vào, được chuyển thành điện áp ra V_0 nhờ mạch cộng đảo dùng khuếch đại thuần toán.

Các dòng I_i được xác định theo các giá trị của các điện trở trọng số : 2R, 4R, 8R, 16R và các bit nhị phân b_i theo các biểu thức sau đây:

$$\left. \begin{aligned} I_3 &= \frac{b_3 \cdot V_{ref}}{2R} ; I_2 = \frac{b_2 \cdot V_{ref}}{4R} \\ I_1 &= \frac{b_1 \cdot V_{ref}}{8R} ; I_0 = \frac{b_0 \cdot V_{ref}}{16R} \end{aligned} \right\} \quad (10-3)$$

Từ sơ đồ ta có:

$$V_0 = -I_0 R \quad (10-4)$$

$$I_0 = \frac{V_{ref}}{R} \left(\frac{b_3}{2} + \frac{b_2}{4} + \frac{b_1}{8} + \frac{b_0}{16} \right) \quad (10-5)$$

$$V_0 = - \frac{V_{ref}}{R} \left(\frac{b_3}{2} + \frac{b_2}{4} + \frac{b_1}{8} + \frac{b_0}{16} \right) \quad (10-6)$$

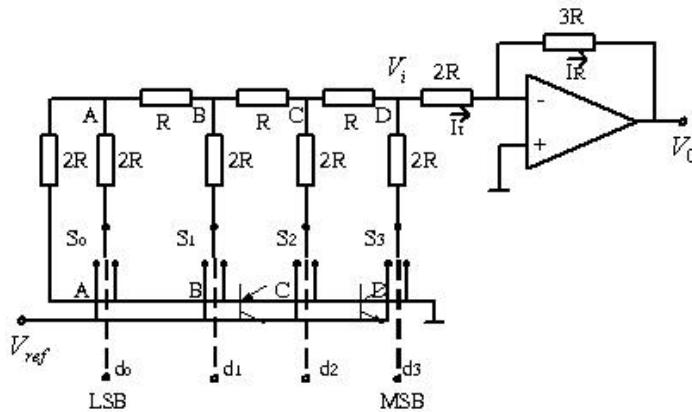
Như vậy điện áp ở lối ra là tín hiệu tương tự tỉ lệ thuận với tín hiệu số ở lối vào và điện áp chuẩn V_{ref} .

Nhược điểm của mạch này là: số bit càng tăng thì số điện trở khác nhau về giá trị cũng tăng, do đó việc chọn các điện trở chính xác càng khó khăn hơn, mà độ chính xác của bộ biến đổi lại phụ thuộc vào sự ổn định của nguồn điện áp chuẩn V_{ref} , độ chính xác của các điện trở và phụ thuộc vào sự biến thiên của một số đặc trưng của khuếch đại thuần toán vào nhiệt độ.

10.1.4. Bộ chuyển đổi số - tương tự điện trở hình chữ T

1. Bộ chuyển đổi DAC điện trở hình chữ T

Hình 10.3 là sơ đồ DAC điện trở hình chữ T. Hai loại giá trị điện trở R và 2R được mắc thành 4 cực hình chữ T nối dây chuyền S_3, S_2, S_1, S_0 là chuyển mạch tương tự.



Hình 10.3: DAC điện trở hình chữ T

Bên phải hình có bộ khuếch đại đảo dùng khuếch đại thuật toán. V_{ref} là điện áp chuẩn tham chiếu, d_3, d_2, d_1, d_0 là mã nhị phân 4 bit đầu vào. V_o là điện áp đầu ra. Các chuyền mạch S_3, S_2, S_1, S_0 được điều khiển bởi các tín hiệu số tương ứng d_3, d_2, d_1, d_0 . Khi $d_1 = 1$ thì S_1 nối với V_{ref} , khi $d_1 = 0$ thì S_1 nối đất.

a) Nguyên lý hoạt động

Để giải thích nguyên lý hoạt động của sơ đồ hình 10.3, chúng ta đơn giản hóa mang điện trở hình chữ T.

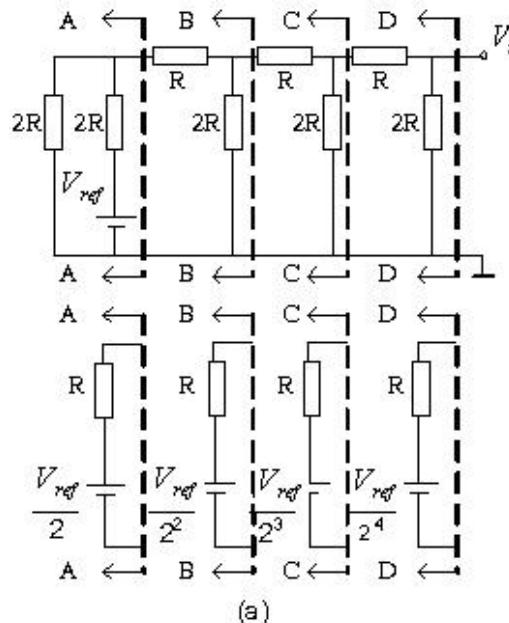
Nếu $d_3, d_2, d_1, d_o = 0001$ thì chỉ có S_0 đầu nối với V_{ref} , còn d_3, d_2, d_1 đều nối đất. áp dụng định lý Thevenin tuân tự đơn giản hóa mạch từ AA sang phải. Ta thấy cứ qua mỗi mắt mạch (A, B, C, D) thì điện áp ra suy giảm đi một nửa. Vậy nếu V_{ref} nối vào S_0 thì trên đầu ra DD chỉ còn $\frac{V_{ref}}{2^4}$. Cùng với phương pháp trên, xét từng S_3, S_2, S_1 nối với V_{ref} thì trên đầu ra

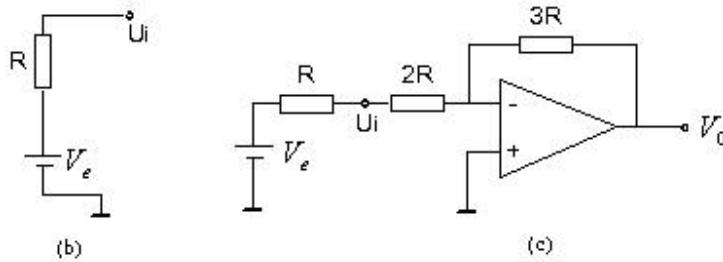
DD tương ứng ($d_3, d_2, d_1, d_0 = 0010, 0100, 1000$) có các điện áp $\frac{V_{ref}}{2^3}, \frac{V_{ref}}{2^2}, \frac{V_{ref}}{2^1}$. Điện trở tương đương của mạch bên trái DD bao giờ cũng là R.

Áp dụng nguyên lý chòng chát đối với các giá trị điện áp trên, ta có mạch tương đương mạng điện trở hình chữ T trên hình 10.4b trong đó điện trở nội tương đương là R , súc điện động nguồn tương đương là V_e :

$$V_e = \frac{V_{ref}}{2^4} \left(d_3 2^3 + d_2 2^2 + d_1 2^1 + d_o 2^o \right) \quad (10-7)$$

Hình 10.4c là sơ đồ tương đương toàn mạch, theo lý thuyết mạch khuếch đại thuật toán, ta có điện áp tương tự đầu ra V_o là:





Hình 10.4. Mạch tương đương của mạch điện hình chữ T (a) Mạng điện áp đầu vào

(b); **mạch tương đương của mạng điện áp đầu vào** (c); **mạch tương đương của mạch**

$$V_o = -V_e = -\frac{V_{ref}}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) \quad (10-8)$$

Biểu thức 10-9 chứng tỏ rằng biên độ điện áp tương tự đầu ra tỉ lệ thuận với giá trị tín hiệu số ở đầu vào. Có thể thấy rằng, đối với DAC điện áp đầu vào hình chữ T n bit thì điện áp tương tự ở đầu ra V_o là:

$$V_o = \frac{V_{ref}}{2^n} (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_1 2^1 + d_0 2^0) \quad (10-9)$$

b) Sai số chuyển đổi

Các nguyên nhân dẫn đến sai số của DAC hình chữ T là:

- Sai lệch của điện áp chuẩn tham chiếu V_{ref} .
- Sai lệch điểm không của khuếch đại thuật toán.
- Điện áp sụt trên điện trở tiếp xúc của tiếp điểm chuyển mạch.
- Sai số của điện trở.

Trong trạng thái động có thể mạng điện áp đầu vào như một dây truyền dẫn. Vậy các tín hiệu xung sinh ra tại các chuyển mạch có thời gian truyền dẫn đến bộ khuếch đại thuật toán không như nhau. Do đó sẽ sinh ra các xung nhọn biên độ đáng kể ở đầu ra. Lại thêm sai số thời gian chuyển mạch có thể kéo dài thời gian duy trì xung nhọn. Trong trạng thái động, giá trị tức thời của điện áp tương tự đầu ra có thể lớn hơn nhiều so với giá trị ổn định, nghĩa là sai số động có thể rất lớn. Giá trị đỉnh của xung nhọn sinh ra trong trường hợp bit có trọng số lớn nhất các tín hiệu số đầu vào từ 0 chuyển sang 1, còn tất cả các bit khác vẫn ở 1. Lúc này giá trị điện áp tức thời ở đầu ra bằng giá trị điện áp tương tự đầu ra do chuyển đổi DA của tín hiệu số lớn nhất (các bit đều là 1).

Để khử bỏ ảnh hưởng của sai số động, ta có thể dùng mạch giữ mẫu ở đầu ra của DAC (xem phần mạch lấy mẫu, giữ mẫu). Hơn nữa thời gian lấy mẫu, chọn sau khi đã kết thúc quá trình quá độ. Khi đó lúc lấy mẫu, thì xung nhọn đã qua rồi, nên sai số không ảnh hưởng đến mẫu nữa.

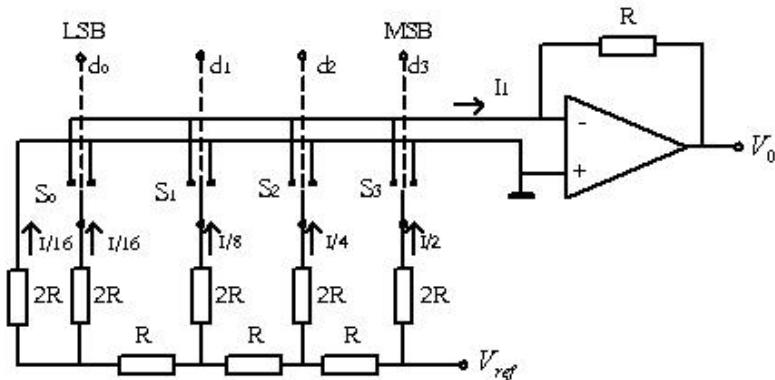
c) Tốc độ chuyển đổi

DAC hình chữ T công tác song song (các bit tín hiệu số đầu vào, được đưa vào song song) nên có tốc độ chuyển đổi cao. Thời gian cần thiết cho một lần chuyển đổi gồm hai đoạn: thời gian trễ của bit tín hiệu vào xa nhất nào đó đến bộ khuếch đại thuật toán và thời gian cần

thiết để bộ khuếch đại thuật toán ổn định tín hiệu ra. Hiện nay IC đơn chíp DAC từ 10 ÷ 10 bit có thời gian chuyển đổi cỡ vài μ s, trong đó thời gian trễ truyền đạt không quá 1 μ s.

2. Bộ chuyển đổi DAC điện trở hình chữ T đảo

Hình 10.5 trình bày sơ đồ DAC điện trở hình chữ T đảo.



Hình 10.5. DAC điện trở hình chữ T đảo

Để tránh khỏi các xung nhọn xuất hiện trong quá trình động của DAC điện trở hình chữ T, nhờ vậy nâng cao được tốc độ chuyển đổi, ta tìm cách duy trì dòng điện qua mỗi nhánh trong mạng là không đổi. Dù tín hiệu số đầu vào là 1 hay là 0 thì dòng điện chạy qua trong nhánh tương ứng với bit đó cũng không đổi.

Vậy là có thể loại trừ cơ bản nguyên nhân tạo ra xung nhọn. Hình 10.5 giới thiệu mạch điện đảm bảo mục đích đó. Chúng ta gọi mạch hình 10.5 là DAC điện trở hình chữ T đảo.

Nếu bit bất kỳ của tín hiệu số đầu vào là 1 thì chuyển mạch tương ứng sẽ nối điện trở nhánh xét vào đầu đảo của bộ khuếch đại thuật toán, nếu bit là 0 thì chuyển mạch sẽ nối điện trở xuống đất. Vậy dù trạng thái tín hiệu đầu vào thế nào thì dòng điện mỗi nhánh đều giữ không đổi. Dòng điện tổng lấy từ nguồn điện áp chuẩn do đó cũng không đổi:

$$I = \frac{V_{ref}}{R}$$

Do đó có điện áp đầu ra:

$$V_o = -I_o R = -\frac{V_{ref}}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) \quad (10-10)$$

Tức là điện áp tương tự đầu ra tỉ lệ với với giá trị tín hiệu số đầu vào. Ưu điểm nổi bật của mạch này là tốc độ cao, và xung nhọn ở đầu ra trong quá trình động là rất nhỏ.

Dòng điện trong các nhánh của mạng điện trở hình chữ T đảo nối trực tiếp vào đầu vào của bộ khuếch đại thuật toán; vì vậy không có sai lệch thời gian truyền đạt chúng, tức là giảm nhỏ sai số trạng thái động. Trong quá trình chuyển đổi trạng thái, dòng điện trong từng nhánh vẫn không đổi, không cần thời gian kiến lập và ngắt bỏ của dòng điện (các chuyển mạch tương tự nối chung đều công tác theo yêu cầu trước thông sau ngắt khi chuyển đổi trạng thái).

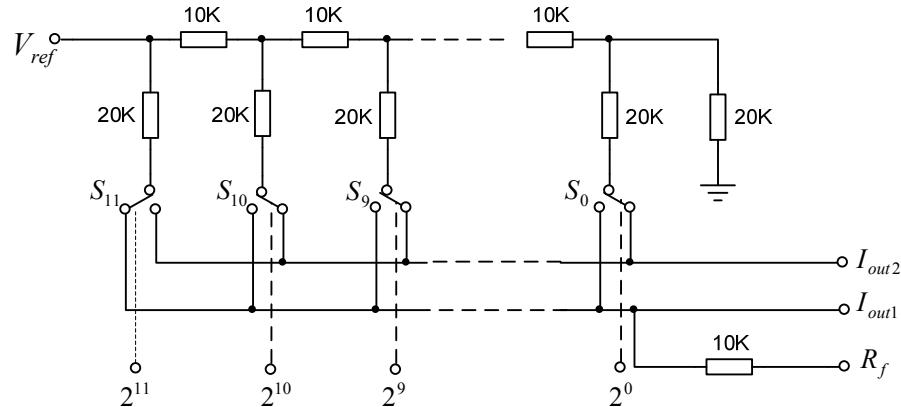
Vì những nguyên nhân trên đây, mạch DAC điện trở hình chữ T đảo là mạch có tốc độ chuyển đổi DA hạng cao nhất.

Sai số tĩnh của mạch điện trở hình chữ T đảo cũng giống như mạch điện trở hình chữ T trên đây.

10.1.5. Khảo sát một IC DAC

Hình 10.6 trình bày sơ đồ nguyên lý của IC AD7541. AD7541 là DAC 10 bit CMOS 1 chip, dùng mạng điện trở hình chữ T đảo và chuyển mạch tương tự CMOS.

Để có một DAC hoàn chỉnh, cần phối ghép AD 7541 với một bộ khuếch đại thuật toán ngoài.



Hình 10.6: Sơ đồ nguyên lý của AD 7541

Trong hình 10.7 bộ khuếch đại thuật toán AD 7541 có biên độ điện áp ra $V_r > \pm 10V$, R_1 là điện trở bù của mạng điện trở hình chữ T đảo (điều chỉnh giá trị dòng đầu ra của mạng), R_2 là điện trở bù của điện trở hồi tiếp R_f (bù sai lệch giá trị của R_f).

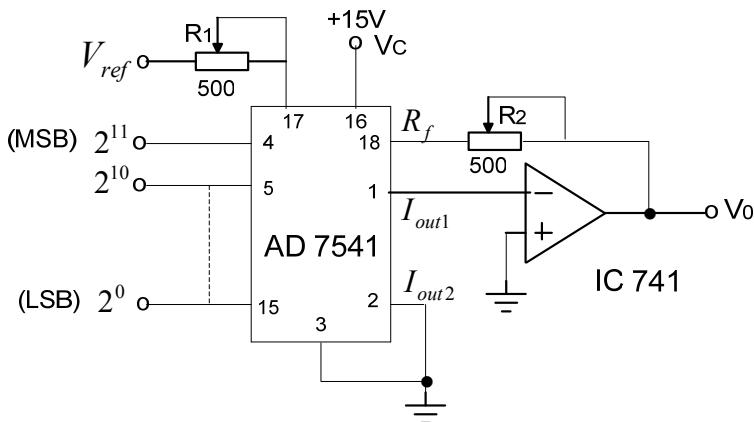
Nếu $V_C = +15V$, $V_{ref} = +10V$

thì:

Khi đầu vào là 111111111111, điện áp đầu ra $V_0 = -9,99975V$.

Khi đầu vào là 011111111111, điện áp đầu ra $V_0 = -5,00000V$.

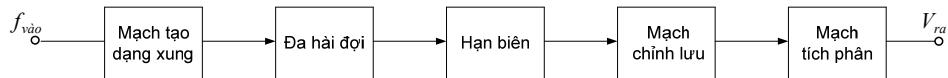
Khi đầu vào là 000000000000, điện áp đầu ra $V_0 = 0V$.



Hình 10.7: Sơ đồ cấu trúc bộ biến đổi số-tương tự

10.2. Bộ biến đổi tần số sang điện áp FVC

Trong quá trình đo lường và điều khiển, cần thiết phải biến đổi đại lượng vật lý này thành đại lượng vật lý khác như: biến đổi tần số sang điện áp, hoặc điện áp sang tần số. Bộ biến đổi tần số sang điện áp được trình bày trên hình 10.8.



Hình 10.8 Sơ đồ khái của bộ biến đổi tần số - điện áp

Tín hiệu ở đầu vào là điện áp có dạng bất kỳ, qua mạch tạo dạng xung là trigger schmitt hay là mạch so sánh để trở thành các xung vuông. Nếu tín hiệu vào là xung vuông thì mạch tạo dạng xung không cần thiết. Các xung vuông này qua mạch đa hài đợi để tạo thành các xung vuông có độ rộng xung ổn định. Mạch hạn biên hỗ trợ cho mạch đa hài đợi, để tạo ra các xung có độ rộng xung và biên độ ổn định.

Với các xung có độ rộng xung và biên độ ổn định thì giá trị trung bình (điện áp một chiều) tỉ lệ với tần số.

Mạch chỉnh lưu và mạch tích phân (hay mạch lọc thông thấp) làm nhiệm vụ lấy giá trị trung bình của tín hiệu.

Trong hình D10.3 của phần thực nghiệm, trình bày sơ đồ nguyên lý của bộ biến đổi tần số sang điện áp.

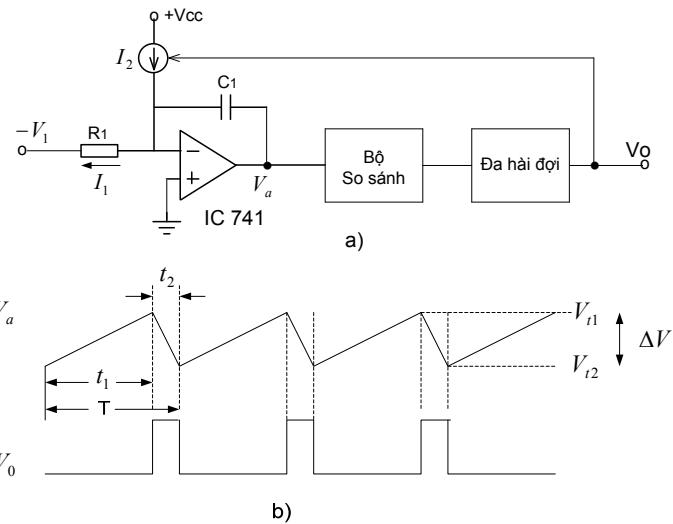
Bộ biến đổi tần số sang điện áp có nhiều ứng dụng trong đo lường và điều khiển.

Ví dụ: Sử dụng để đo tốc độ của ô tô, xe máy.

10.3. Bộ biến đổi điện áp sang tần số VFC

Đã có một số mạch tích hợp làm nhiệm vụ biến đổi điện áp sang tần số như: bộ tạo dao động tần số điều khiển được bằng điện áp VCO, hoặc bằng dòng điện CCO. Ở đây trình bày cách kết hợp mạch định thời với khuếch đại thuật toán để biến đổi điện áp thành tần số tương ứng với độ chính xác cao.

Sơ đồ khái của bộ biến đổi điện áp sang tần số được trình bày ở hình 10.9.



Hình 10.9: Sơ đồ khái của bộ biến đổi điện áp sang tần số a); Dạng tín hiệu ở các điểm tương ứng b)

Điện áp $-V_1$ tạo dòng điện $I_1 = \frac{V_1}{R_1}$ nạp điện cho tụ C_1 . Điện áp V_a tăng, cho đến thời điểm t_1 , điện áp V_a đạt đến giá trị V_{t1} là ngưỡng của mạch so sánh, ở lối ra của mạch so sánh thay đổi trạng thái, đưa tới lối vào của mạch đa hài đợi. Mạch đa hài đợi tạo ra một xung có thời gian kéo dài xung t_2 . Xung này điều khiển nguồn dòng điện I_2 , nạp cho tụ C_1 . Như vậy trong thời gian t_2 tụ C_1 được nạp bởi tổng của $I_1 + I_2$, ở đây I_2 ngược chiều I_1 và có giá trị rất lớn so với I_1 . Do đó điện áp ở lối ra của mạch tích phân V_a giảm. Điện áp V_a giảm trong suốt thời gian t_2 . Sau đó dòng I_2 ngắn, dòng I_1 lại nạp cho tụ C_1 , điện áp V_a lại tăng, quá trình lặp lại như trước.

Gọi $\Delta V = V_{t1} - V_{t2}$ là lượng thay đổi điện áp của tụ C_1 trong quá trình nạp và phóng điện, ta có:

$$t_1 = \frac{\Delta V}{I_1} \quad (10-7)$$

$$t_2 = \frac{\Delta V}{I_2 - I_1} \quad (10-7)$$

Suy ra: $t_2(I_2 - I_1) = t_1 I_1$

hay $t_1 = \frac{t_2(I_2 - I_1)}{I_1}$

Chu kỳ của xung ra:

$$T = t_1 + t_2 = t_2 \frac{I_2}{I_1} \quad (10-8)$$

Suy ra tần số: $f = \frac{1}{T} = \frac{I_1}{t_2 I_2}$ (10-9)

Ta thấy tần số tỉ lệ với $I_1 = \frac{V_1}{R_1}$, nên tùy theo điện áp vào mà ta chọn điện trở R_1 để có giá trị I_1 thích hợp. Tần số còn tỉ lệ với t_2 .

Điểm đặc biệt ở đây ΔV và C_1 không xuất hiện trong biểu thức của tần số f , nên mạch so sánh và tụ C_1 không cần phải loại chính xác cao.

Nếu chọn $I_2 \gg I_1$, ta có thể bỏ qua t_2 trong biểu thức T . Do đó tần số tỉ lệ với điện áp vào.

Hình D10-4 trong phần thực nghiệm trình bày sơ đồ nguyên lý của bộ biến đổi điện thế thành tần số.

PHẦN 2: THỰC NGHIỆM

1. Bộ biến đổi số - tương tự DAC 4 bit trên vi mạch rời

Nhiệm vụ:

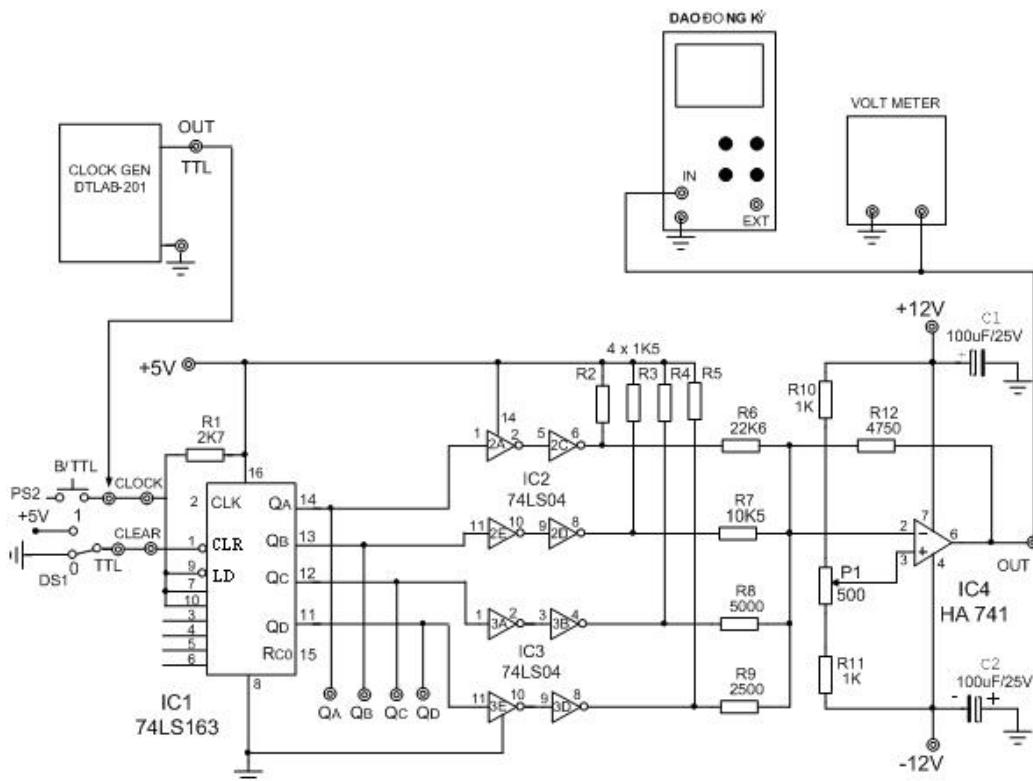
Tìm hiểu nguyên tắc hoạt động của bộ biến đổi các đại lượng số thành tương tự (DAC: Digital to Analog Converter).

Các bước thực hiện:

- ### 1.1. Cấp nguồn +5V, ± 10 V cho mảng sơ đồ D10-1.

Chú ý: cắm đúng phân cực nguồn.

- 1.2.** Nối mạch của sơ đồ D10-1 với các mạch của DTLAB-201 như sau:



Hình D10-1: Bộ biến đổi số - tương tự DAC 4 bit

- Lối vào (Input): nối với bộ công tắc của DTLAB-201.
 - Nối lối vào CLEAR với công tắc xung DS1 - chốt TTL.
 - Nối lối vào CLOCK với công tắc xung PS2 - chốt B/ TTL .
 - Lối ra (Output): nối với các LED của bộ chỉ thị LOGIC INDICATORS của thiết bị chính DTLAB-201 .
 - Nối lối ra Q_A với LED0.
 - Nối lối ra Q_B với LED1.
 - Nối lối ra Q_C với LED2.
 - Nối lối ra Q_D với LED3.

1.3. Nhấn công tắc xung PS1 để số đếm ghi trong bảng D10-1 là 15 (các LED 0 ÷ 3 đều sáng). Sử dụng đồng hồ đo để đo giá trị thẻ tương tự tại lối ra OUT. Chính biến trở P1 để định giá trị thẻ ra cực đại. Ví dụ có thể chọn thẻ ra cực đại là 1.6V.

1.4. Thực hiện các bước như trong bảng D10-1. Ghi kết quả về trạng thái bộ đếm IC1 (theo trạng thái LED chỉ thị) và giá trị thẻ đo tương ứng vào bảng D10-1. (Chú ý IC1 – 74LS163 là bộ đếm với xóa đồng bộ, nên cần đặt DS1 = 0, nhấn PS1 (CLOCK) để xóa).

1.5. Giải thích nguyên tắc hoạt động của sơ đồ nguyên lý hình D10-1. Phát biểu tóm tắt về nguyên tắc bộ biên đổi số - tương tự DAC.

Tính giá trị thẻ tương ứng với 1 giá trị số.

Bảng D10-1

DS1 CLEAR	PS1 CLOCK	MÃ NHỊ PHÂN				MÃ THẬP PHÂN	THẺ RA OUT
		Q _A	Q _B	Q _C	Q _D		
0	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						
1	↑						

1.6. Máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201 đặt ở tần số 10KHz. Sử dụng lối ra TTL của máy phát xung cho thí nghiệm. Nối lối ra của máy phát xung với lối vào CK (thay cho công tắc xung PS2).

Đặt thang đo thẻ lối vào của dao động ký ở 2V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm.

Chỉnh cho cả 2 tia nằm giữa khoảng phản trên và phản dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để tia dịch theo chiều X và Y về vị trí dễ quan sát.

Nối kênh 1 dao động ký với lõi vào CLOCK. Sử dụng kênh 2 dao động ký để quan sát tín hiệu ra tại Q_A, Q_B, Q_C, Q_D và lõi ra OUT.

Vẽ lại dạng tín hiệu ra. Xác định biên độ của mỗi bậc thang của tín hiệu ra.

2. Bộ biến đổi số - tương tự 8 bit loại vi mạch

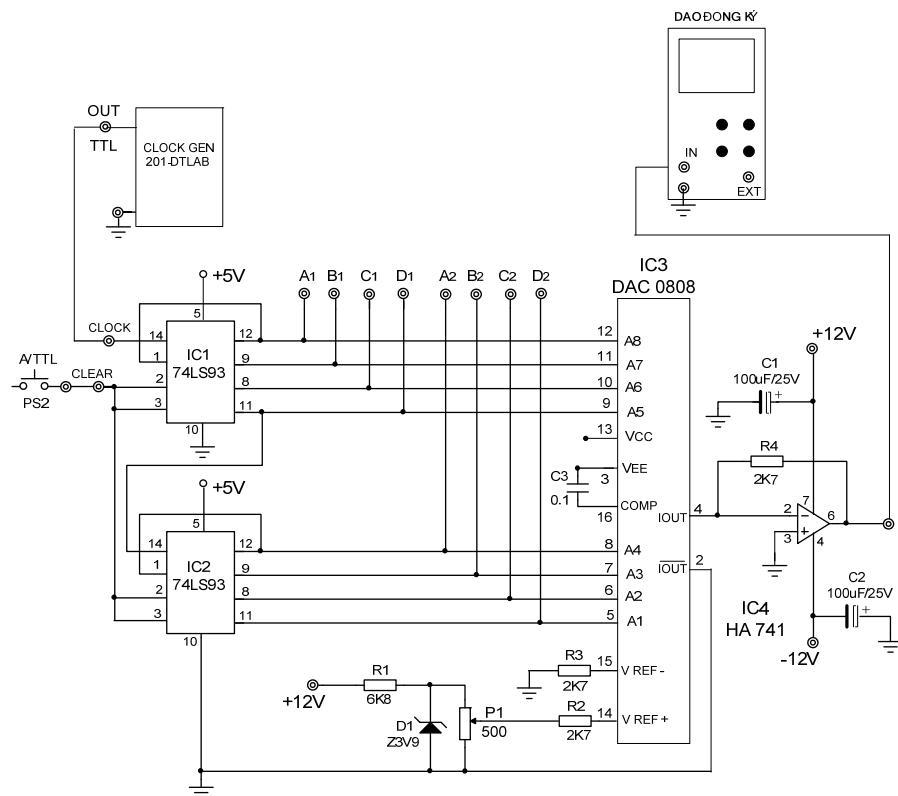
Nhiệm vụ:

Tìm hiểu nguyên tắc hoạt động của bộ biến đổi các đại lượng số thành tương tự DAC loại vi mạch.

Các bước thực hiện:

2.1. Cấp nguồn +5V, ±10V cho mảng sơ đồ D10-2.

Chú ý: cắm đúng phân cực nguồn.



Hình D10-2: Bộ biến đổi số - tương tự 8 bit loại vi mạch

2.2. Nối mạch của sơ đồ D10-2 với mạch của DTLAB-201 như sau:

- Lõi vào (Input): nối với bộ công tắc của DTLAB-201.
- Nối lõi vào CLEAR với công tắc xung DS1 - chốt A/ TTL.
- Nối lõi ra các bộ đếm A₁ ÷ D₁, A₂ ÷ D₂ với các LED0÷LED7 của bộ chỉ thị
- Nối lõi vào CLOCK với công tắc xung PS1 - chốt B/ TTL .

2.3. Nhấn công tắc xung PS1 để số đếm ghi trong thanh ghi IC1 là 15 (các LED 0 ÷ 3 đều sáng, các LED4÷LED7 tắt). Sử dụng đồng hồ đo để đo giá trị thế tương tự tại lõi ra OUT. Chỉnh biến trở P1 để định giá trị thế ra tương ứng.

Ví dụ $V(16) = 0.16V$.

2.4. Máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201 đặt ở tần số 10KHz. Sử dụng lối ra TTL của máy phát xung cho thí nghiệm. Nối lối ra của máy phát xung với lối vào CLOCK.

Đặt thang đo thế lối vào của dao động ký ở 2V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm.

Chỉnh cho cả 2 tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để tia dịch theo chiều X và Y về vị trí dễ quan sát.

Nối kênh 1 dao động ký với lối vào CLOCK. Sử dụng kênh 2 dao động ký để quan sát tín hiệu ra tại các lối ra bộ đếm IC1, IC2 và lối ra OUT.

Vẽ lại dạng tín hiệu ra. Xác định biên độ của mỗi bậc thang của tín hiệu ra.

2.5. Tính giá trị thế ra ứng với một giá trị số lối vào. So sánh kết quả giữa DAC hình D10-2 và D10-1.

3. Bộ biến đổi tần số - điện áp (F to VC)

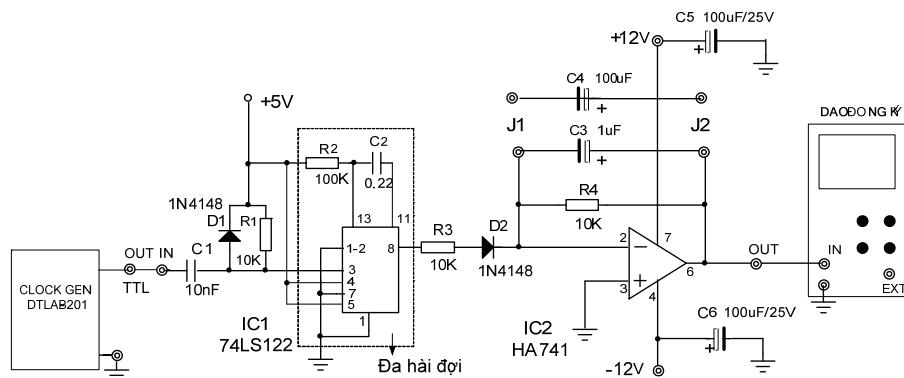
Nhiệm vụ:

Tìm hiểu nguyên tắc hoạt động của bộ biến đổi tần số tín hiệu thành điện áp (FVC: Frequency to Voltage Converter).

Các bước thực hiện:

3.1. Cáp nguồn +5V, ±10V cho mảng sơ đồ D10-3.

Chú ý: cắm đúng phân cực nguồn.



Hình D10.3: Bộ biến đổi tần số tín hiệu thành điện áp

3.2. Nối mạch của sơ đồ D10-3 với mạch của DTLAB-201 như sau:

Máy phát xung CLOCK GENERATOR của thiết bị chính DTLAB-201 đặt ở tần số 10KHz. Sử dụng lối ra TTL của máy phát xung cho thí nghiệm. Nối lối ra của máy phát xung với lối vào IN.

Đặt thang đo thế lối vào của dao động ký ở 2V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm.

Chỉnh cho cả 2 tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để tia dịch theo chiều X và Y về vị trí dễ quan sát.

Nối kênh 1 dao động ký với lối vào IN. Sử dụng kênh 2 dao động ký để quan sát tín hiệu ra tại lối ra OUT (ở chế độ đo điện áp một chiều) hoặc đồng hồ đo điện áp.

3.3. Thay đổi tần số tín hiệu lối vào theo bảng D10-2, xác định dạng tín hiệu và độ lớn thế lối ra cho trường hợp không nối và có nối J1, J2. Ghi kết quả vào bảng D10-2.

Bảng D10-2

Tần số	J1, J2	100Hz	1KHz	10KHz	100KHz	500KHz	1MHz
Dạng tín hiệu ra	0						
Độ lớn V out	0						
Dạng tín hiệu ra	1						
Độ lớn V out	1						

* J1, J2: 0 – không nối; 1 – có nối

3.4. Căn cứ dạng tín hiệu ra, so sánh độ chính xác của sơ đồ cho tần số cao và tần số thấp.

3.5. Lập đồ thị biểu diễn mối quan hệ giữa điện thế ra (trục y) và tần số tín hiệu vào (trục x).

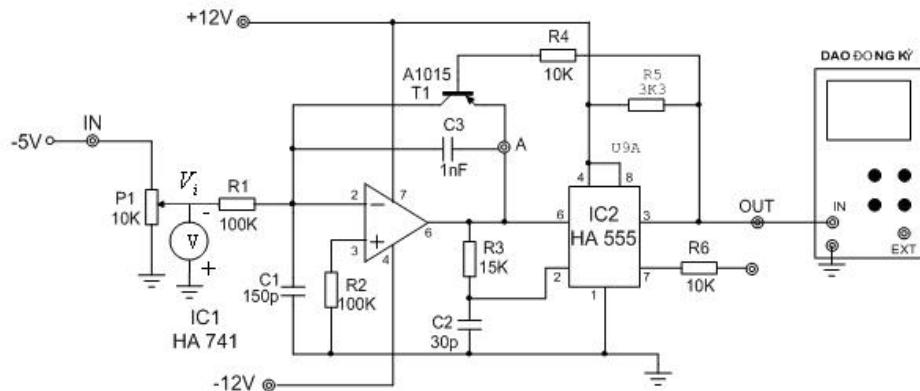
4. Bộ biến đổi điện áp – tần số (VFC)

Nhiệm vụ:

Tìm hiểu nguyên tắc hoạt động của bộ biến đổi điện áp thành tần số tín hiệu (VFC: Voltage to Frequency Converter).

Các bước thực hiện:

4.10. Cấp nguồn -5V, ±10V cho mảng sơ đồ D10-4.



Hình D10.4: Bộ biến đổi điện áp thành tần số

Chú ý: cắm đúng phân cực nguồn.

4.2. Nối mạch của sơ đồ D10-4 với mạch của DTLAB-201 như sau:

Nối lối vào IN với nguồn -5V.

4.3. Đặt thang đo thế lối vào của dao động ký ở 2V/cm.

Đặt thời gian quét của dao động ký ở 0.1ms/cm.

Chỉnh cho cả 2 tia nằm giữa khoảng phần trên và phần dưới của màn dao động ký. Sử dụng các nút chỉnh vị trí để tia dịch theo chiều X và Y về vị trí dễ quan sát.

Sử dụng kênh 2 dao động ký để quan sát tín hiệu ra tại lối ra OUT và đo tần số tín hiệu vào V_i .

Dùng đồng hồ đo điện áp.

4.4. Vặn biến trở P1 để thay đổi điện áp vào, đo giá trị thế vào và tần số ra tương ứng. Có thể sử dụng máy đo tần số lối ra.

Ghi kết quả vào bảng D10-3.

Bảng D10-3

Thế vào	-100mV	-500mV	-1V	-2V	-4V	-5V
Dạng tín hiệu ra						
Tần số lối ra						

4.5. Lập đồ thị biểu diễn mối quan hệ giữa điện thế ra (trục y) và tần số tín hiệu vào (trục x).

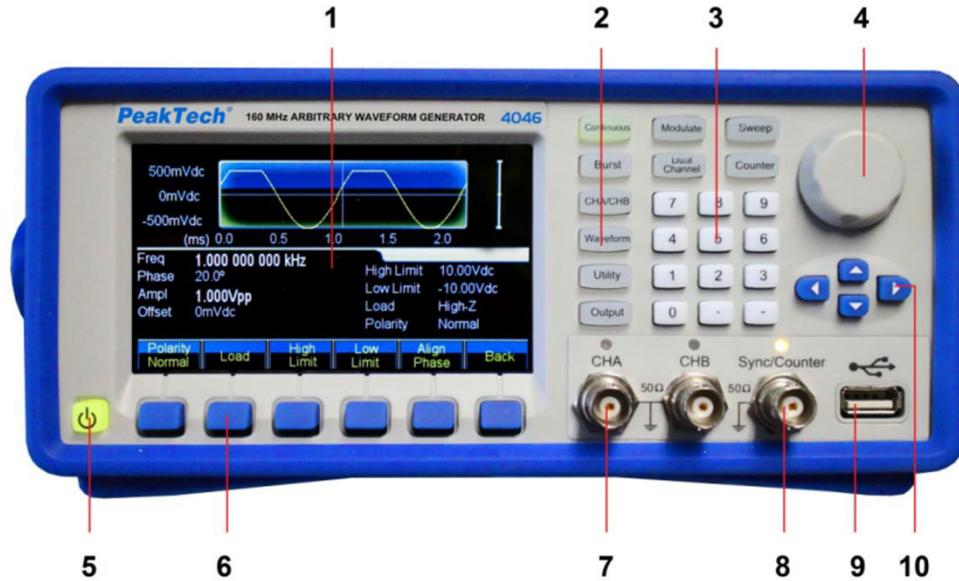
4.6. Giải thích nguyên tắc hoạt động của sơ đồ.

HƯỚNG DẪN SỬA DỤNG THIẾT BỊ THÍ NGHIỆM

Máy phát chức năng

Function/Arbitrary Waveform Generator

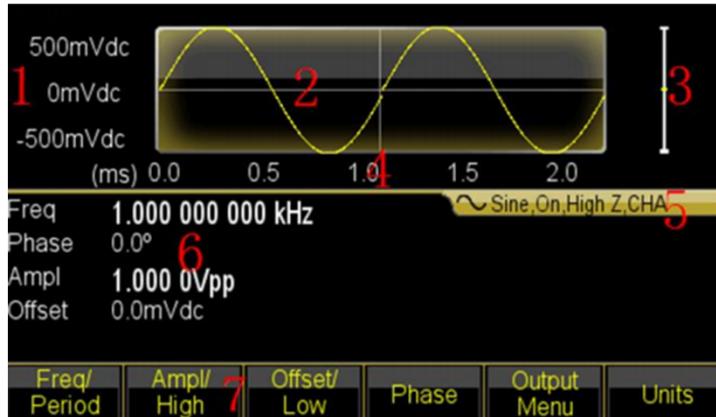




Front panel

1. Màn hình (Display)
2. Các phím chức năng (Function Keys) – Continue, Modulate, Sweep, Burst, Dual Channel, Counter, CHA/CHB, Waveform, Utility, Output
Phím Utility: cài đặt các tham số chung;
Phím Output: Cho phép/Không cho phép lối ra tại cổng Output
3. Các phím số (Numeric Keypad)
4. Nút vặn (Knob)
5. Phím bật/tắt máy (On/off Switch)
6. Các phím chức năng thao tác trên Menu (Menu Operation Softkey): chức năng của phím được hiển thị trên màn hình theo tình huống cụ thể.
7. Lối ra kênh A/B (CHA/CHB Output): Đèn sáng – kênh đã có tín hiệu (điều khiển bởi phím Output)
8. Đồng bộ (Sync Connector)
9. Cổng USB (USB Port)
10. Các phím mũi tên (Arrow Keys)
(►) và (◀) để di chuyển con trỏ sang trái hoặc phải
(▲) và (▼) để tăng hoặc giảm giá trị tần số và biên độ khi cài đặt

Màn hình hiển thị



1. Thang điện áp (Voltage Scale)
2. Dạng sóng lối ra (Waveform)
3. Biên độ
4. Thang thời gian (Time Scale)
5. Thông tin kênh lối ra (Output Information)
6. Các thông số làm việc (Working parameters)
7. Menu làm việc (Operation Menu) (Sử dụng các phím chức năng Menu tương ứng để thao tác (6-slide trước))

Chọn kênh lối ra

1. Bấm nút [CHA/CHB] để chọn lối ra kênh A hay B (màn hình hiển thị các thông số sử dụng màu chỉ thị: kênh A (CHA) màu vàng, kênh B (CHB) màu xanh)
2. Thay đổi thông số cho dạng sóng lối ra
3. Bấm nút [Output] để cho phép/không cho phép lối ra trên kênh (Nếu cho phép thì đèn chỉ thị ở trên tên kênh sẽ sáng)

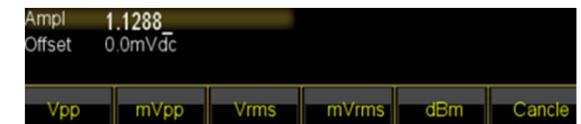
Chọn dạng sóng

1. Bấm nút [Waveform], lựa chọn dạng sóng mong muốn (Sin (Sine), Vuông (Square), Răng cưa (Ramp), Xung (Pulse), Bất kỳ (Arbitrary), Nhiều (Noise))
2. Bấm lại nút [Waveform] để trở về Menu hiện tại

Cài đặt chu kỳ xung (duty cycle)

- Ví dụ, cài đặt chu kỳ xung của sóng vuông
1. Nhấn [Duty] và thay đổi giá trị mong muốn
 2. Nhấn đơn vị [%] và kết thúc

Thay đổi thông số (Tần số, biên độ, pha, offset)



1. Sử dụng phím chức năng Menu tương ứng (**6-slide trước**) để chọn thông số muốn thay đổi
2. Sử dụng các phím số (**3-slide trước**) để điền thông số
3. Sử dụng nút vặn (**4-slide trước**) và các phím mũi tên ((►) và (◀)) để thay đổi giá trị thông số
4. Nhấn thiết phải chọn đơn vị hoặc chọn Cancel để kết thúc

Cài đặt tần số, biên độ, pha, offset

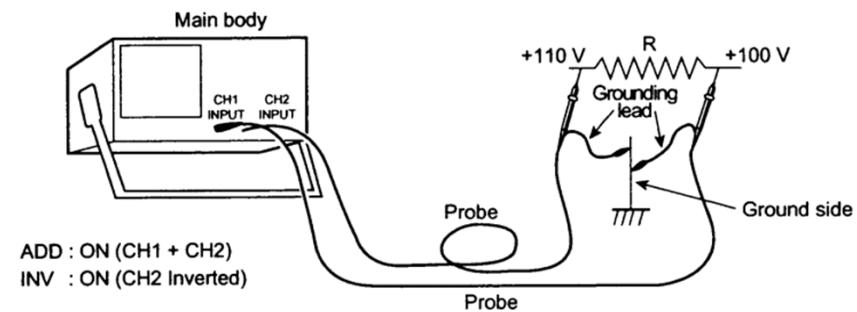
1. Nhấn nút tương ứng [Freq/Period] (Tần số), [Ampl/High] (Biên độ), [Offset/Low] (offset), [Phase] (Pha)
2. Sử dụng các phím số (**3-slide trước**) và nút vặn (**4-slide trước**) và mũi tên để thay đổi giá trị
3. Lựa chọn đơn vị tương ứng và kết thúc

Phát dạng sóng điều chế

1. Nhấn nút [Modulate], lựa chọn kiểu điều chế (AM, FM, PM, PWM, Sum, FSK, QFSK, 4FSK, PSK, QPSK, 4PSK, ASK, QSK)
2. Thay đổi các thông số điều chế phù hợp

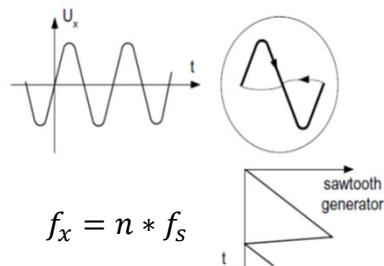
Máy dao động ký tương tự

Analog Storage Oscilloscope

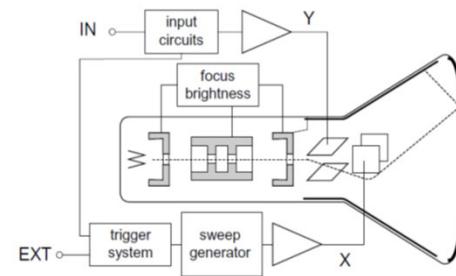


Kết nối để quan sát tín hiệu

Nguyên lý hoạt động của dao động ký

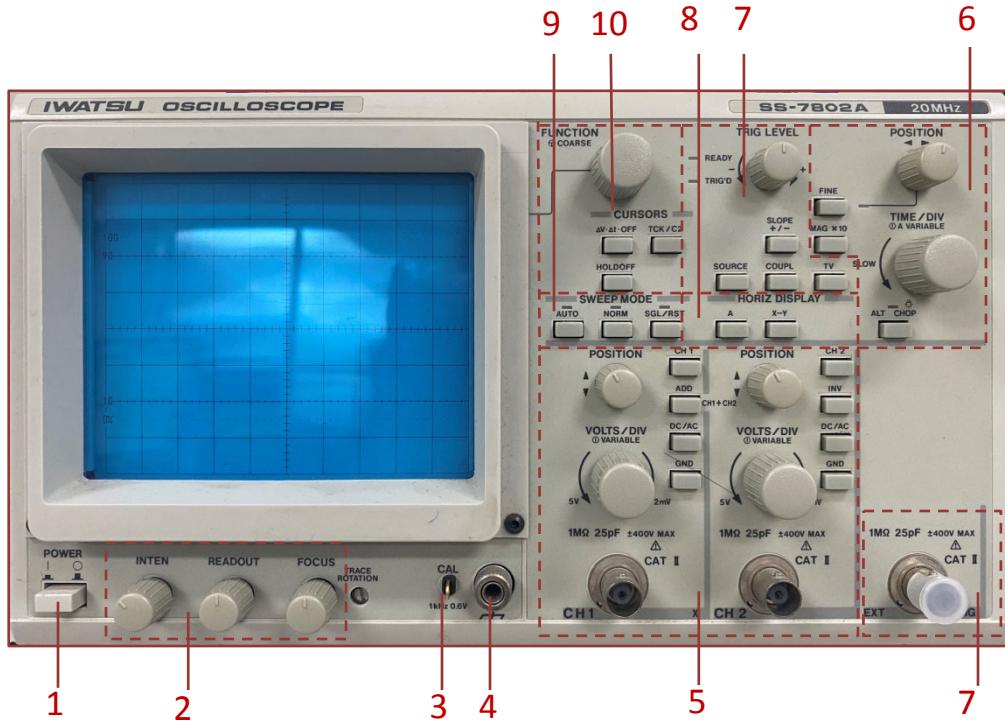


Nguyên lý hiển thị tín hiệu



Sơ đồ khái

Máy hiện sóng tương tự sử dụng ống phóng tia Cathode (CRT) được minh họa trong hình. Tia điện tử phóng ra từ ống phóng tia đập vào màn hình huỳnh quang tạo ra các điểm sáng được điều khiển bởi hai bản cực gồm bản lêch ngang và bản lêch dọc: (1) bản lêch ngang X được điều khiển bởi xung răng cưa cho phép điểm sáng chạy từ trái sang phải màn hình; (2) bản lêch dọc Y được điều khiển bởi tín hiệu cần đo cho phép điểm sáng dao động theo dạng sóng của tín hiệu. Để dạng sóng của tín hiệu cần đo **dừng trên màn hình (đồng bộ)**, tần số quét ngang f_s và tần số tín hiệu cần đo f_x phải thỏa mãn: $f_x = n * f_s$ với n là số nguyên. Lưu ý rằng xung răng cưa quét ngang được khởi tạo bởi xung Trigger (hình 1.c), do vậy điểm bắt đầu của tín hiệu cần đo đã được đồng bộ hiển thị trên màn hình có thể được xác định chính xác. Ở chế độ trigger tự động, điểm bắt đầu này từ giá trị 0 của tín hiệu cần đo.



6. Hiệu chỉnh trực ngang

- Nút vặn **[POSITION]**: Điều chỉnh vị trí dạng sóng tín hiệu sang trái/phải
- Nút bấm **FINE** (đèn chỉ thị bên cạnh): Hiệu chỉnh tín hiệu tốt hơn
- Nút vặn **[TIME/DIV]**: Cảnh tốc độ quét (hiển thị ở góc trái bên trên màn hình). Nếu bấm nút, xuất hiện nút >, tốc độ quét cố định, không điều chỉnh được.
- Nút bấm **MAGx10**: Tăng tần số quét lên 10 lần. Dạng sóng tín hiệu hiển thị dãn ra gấp 10 lần sang bên phải và trái màn hình kể từ trung tâm.
- Nút bấm **ALT CHOP**: hai kênh được hiển thị luân phiên hay đồng thời

1. **Power:** Tắt/Bật nguồn
2. **INTEN/READOUT/FOCUS:** Điều chỉnh cường độ sáng,... của màn hình
3. **CAL:** xung vuông chuẩn 1KHz
4. **Ground:** tiếp đất thiết bị với vỏ máy.
5. Hiệu chỉnh trực dọc
 - Cổng **INPUT:** Kết nối tín hiệu lối vào
 - Nút vặn **[VOLTS/DIV]**: Cảnh tỷ lệ chia màn hình theo trực dọc (thang chia mỗi ô trên màn hình) bằng cách xoay nút. Nếu bấm nút, xuất hiện nút >, độ chia cố định, không điều chỉnh được.
- Nút vặn **[POSITION]**: Điều chỉnh vị trí của dạng sóng tín hiệu lên trên/xuống dưới
- Nút bấm **CH1/CH2**: Hiển thị/Tắt tín hiệu kênh 1/2
- Nút bấm **DC/AC**: Chế độ DC: Hiển thị cả thành phần DC và AC; Chế độ AC (ký hiệu dấu ~ trên màn hình): Chỉ hiển thị thành phần AC của tín hiệu
- Nút bấm **GND** (ký hiệu): Hiển thị điện thế đất tham chiếu
- Nút bấm **ADD/INV**
- ADD:** tín hiệu tổng của 2 tín hiệu tại kênh 1 và kênh 2 hiện lên trên màn hình (Ký hiệu dấu + ở góc màn hình)
- INV:** hiển thị tín hiệu đảo ngược lại

7. Hiệu chỉnh đồng bộ

- EXT INPUT: lối vào tín hiệu đồng bộ ngoài, để sử dụng lối vào này cần điều chỉnh Source ở chế độ Ext.
- SOURCE: Chọn nguồn tín hiệu trigger (trong hay ngoài).
 - CH1: chọn CH1 làm tín hiệu nguồn trigger
 - CH2: chọn CH2 làm tín hiệu nguồn trigger
 - Line: tín hiệu trigger từ nguồn xoay chiều
 - Ext: nguồn trigger từ lối vào Ext Input.
- SLOPE: Chọn chế độ Trigger xảy ra khi tín hiệu trigger vượt quá mức trigger theo thường dương (“+”) hoặc âm (“-”).
- Nút vặn [TRIG LEVEL] để đồng bộ và xác định điểm bắt đầu của dạng sóng trên màn hình.
- Nút bấm COUPL: đặt chế độ trigger
 - Auto: chế độ Trigger tự động
 - Norm: Chế độ thông thường
 - TV-V/TV-H: chế độ Trigger dùng trong tín hiệu Video ứng với các dạng tín hiệu video được đặt bởi phím TV.

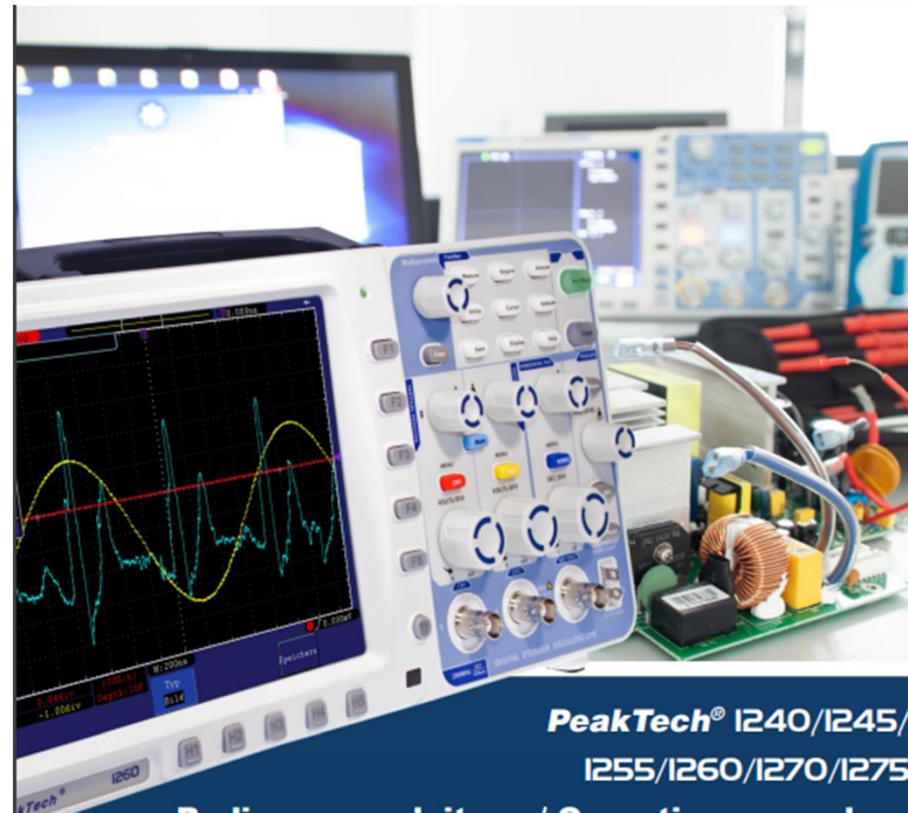
8. HORIZ DISPLAY (A/X-Y): Chế độ thường hoặc chế độ X-Y (hiển thị đường cong Lissajou tạo bởi tín hiệu X (CH1) và Y(CH2)

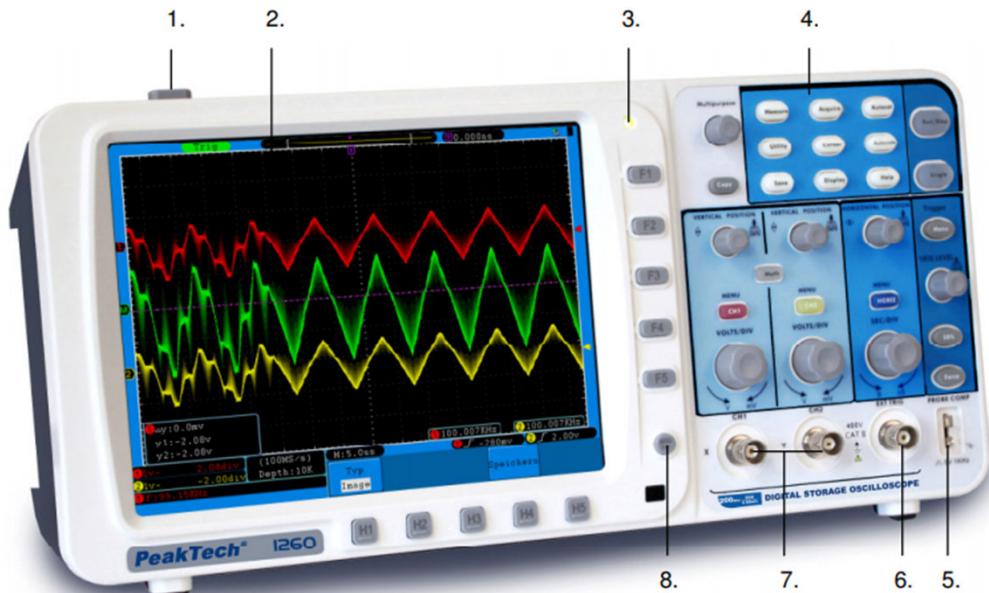
9. SWEEP MODE (AUTO, NORM, SGL/RST): Các chế độ quét.

10. CURSOR: (ΔV - Δt -OFF, TCK/C2): Thước đo biên độ/chu kỳ (ΔV - Δt -OFF); Chọn con trỏ (TCK/C2).

Máy dao động ký số

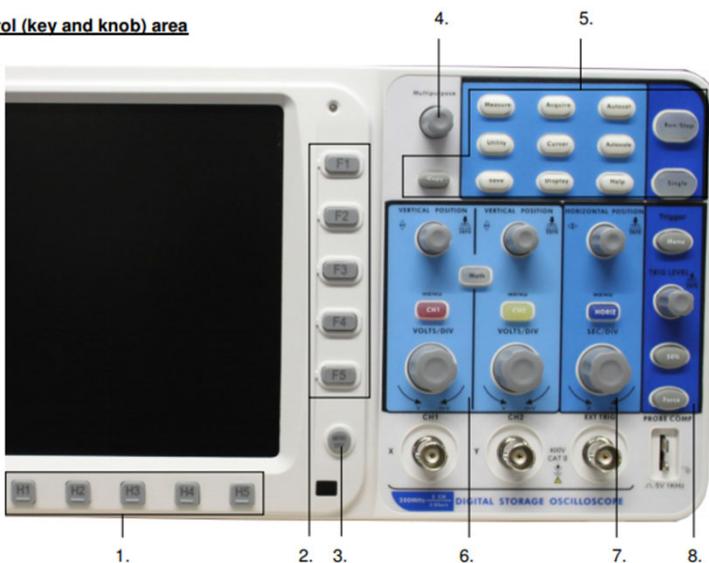
Digital Storage Oscilloscope





1. Nguồn bật/tắt (Power on/off)
2. Màn hình hiển thị (Display area)
3. Đèn chỉ thị nguồn điện (Power indication light)
4. Khu vực điều khiển (gồm các nút bấm, nút vặn) (Control (key and knob) area)
5. Lối ra tín hiệu (5V/1kHz) (Probe Compensation: Measurement signal (5V/1kHz) output)
6. Lối vào tín hiệu đồng bộ ngoài (EXT Trigger Input)
7. Lối vào tín hiệu kênh 1, 2(Signal Input Channel)
8. Tắt menu trên màn hình (Menu off)

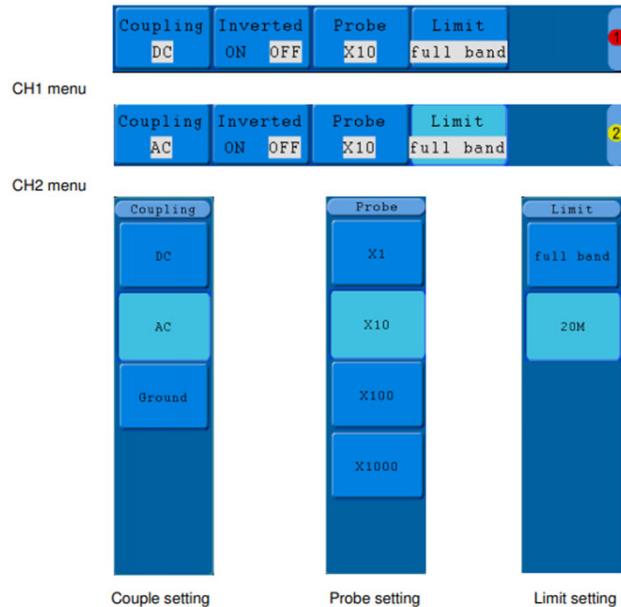
Control (key and knob) area



1. Menu lựa chọn: H1~H5, chức năng phím hiển thị trên màn hình
2. Menu lựa chọn : F1~F5, chức năng phím hiển thị trên màn hình
3. Menu off: tắt Menu
4. Nút vặn đa chức năng (Multipurpose knob)
5. 12 nút chức năng (Total 12 function keys)
6. Khu vực điều khiển trực đọc
“CH1” và “CH2” tương ứng với menu cài đặt cho tín hiệu kênh 1 và kênh 2
“Math” tương ứng các phép toán với tín hiệu 2 kênh gồm 6 phép toán: CH1-CH2, CH2-CH1, CH1+CH2, CH1*CH2, CH1/CH2, FFT
Nút “VERTICAL POSITION” điều khiển vị trí tín hiệu trên 2 kênh theo chiều dọc
Nút “VOLTS/DIV” điều khiển thang tỉ lệ biên độ
7. Khu vực điều khiển trực ngang
Nút “HORIZONTAL POSITION” điều khiển vị trí đồng bộ; “SEC/DIV” điều khiển thang tỉ lệ thời gian, “HORIZ MENU” để cài đặt điều khiển trực ngang
8. Vùng điều khiển đồng bộ gồm 3 nút bấm và 1 nút vặn
Nút vặn “TRIG LEVEL”: điều khiển điện áp đồng bộ; 3 nút còn lại để cài đặt chế độ đồng bộ

Cài đặt CH1, CH2:

Bấm nút CH1 MENU, CH2 MENU để tắt/hiển thị dạng sóng trên 2 kênh

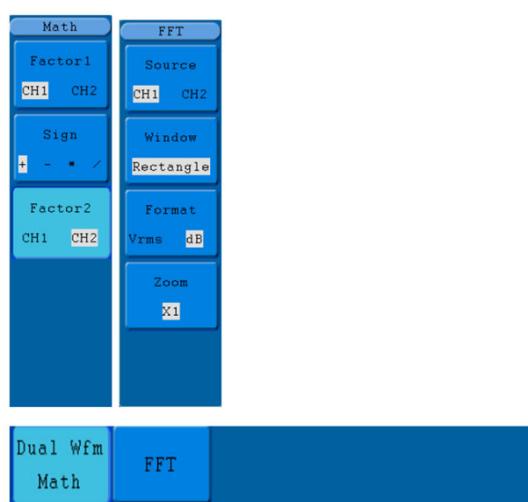


Chức năng	Cài đặt	Miêu tả
Coupling	DC	Hiện thị cả thành phần AC và DC của tín hiệu.
	AC	Chỉ hiện thị thành phần AC
	GROUND	Hiện thị Ground
Inverted	OFF ON	Hiển thị dạng sóng bình thường hoặc đảo ngược
Probe	1X/10X/100X/ 1000X	Chọn hệ số suy hao tương ứng ở đầu đo để thang đo tung độ chính xác
Limit	Full band 20M	Cả dải băng thông Giới hạn băng thông đến 20MHz để giảm nhiễu

Ví dụ điều chỉnh

Coupling:

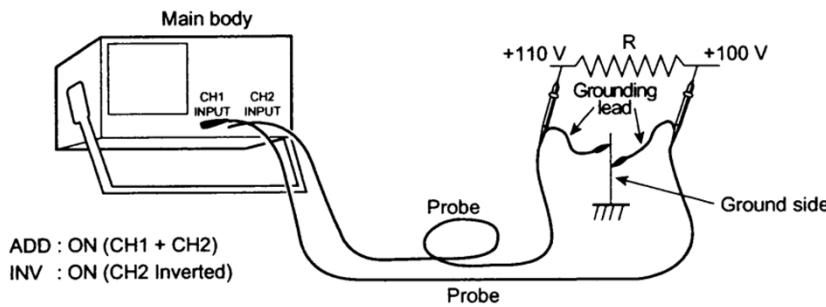
1. Bấm CH1 MENU
2. Bấm H1, xuất hiện menu Coupling
3. Bấm F1 để chọn chế độ DC/Bấm F2 để chọn chế độ AC.



Chức năng	Cài đặt	Miêu tả
Dual Wfm Math	Factor 1: CH1/CH2 Sign: +-* Factor: CH1/CH2	Lựa chọn tín hiệu 1 Lựa chọn phép toán Lựa chọn tín hiệu 2
FFT	Source: CH1/CH2 Window: (Rectangle/Blackman/ Hanning/Hamming) Format: dB/Vrms Zoom: x1 x2 x5 x10	Chọn tín hiệu Chọn cửa sổ lọc FFT Chọn dB hoặc Vrms Cài đặt x1 x2 x5 x10

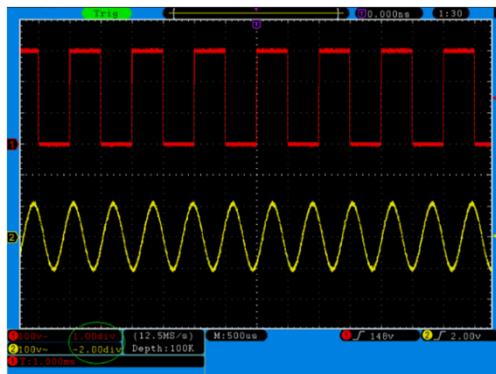
Ví dụ cộng 2 tín hiệu CH1 CH2

1. Bấm Math, chọn Wfm Math (Bấm H1)
2. Bấm F1, chọn CH1
3. Bấm F2, chọn +
4. Bấm F3, chọn CH2.
Tín hiệu cộng M màu xanh lá cây hiển thị trên màn hình



Cài đặt trực dọc

1. Nút VERTICAL
POSITION: điều chỉnh vị trí theo chiều dọc màn hình
 2. Nút VOLTS/DIV: điều chỉnh độ phân giải (thang chia mỗi ô trên màn hình) theo chiều dọc
 3. Thông tin hiển thị ở góc màn hình



Cài đặt trực ngang

1. Nút HORIZONTAL POSITION: điều chỉnh vị trí theo chiều ngang màn hình
 2. Nút SEC/DIV: điều chỉnh độ phân giải (thang chia mỗi ô trên màn hình) theo chiều ngang
 3. HORIZ MENU: 

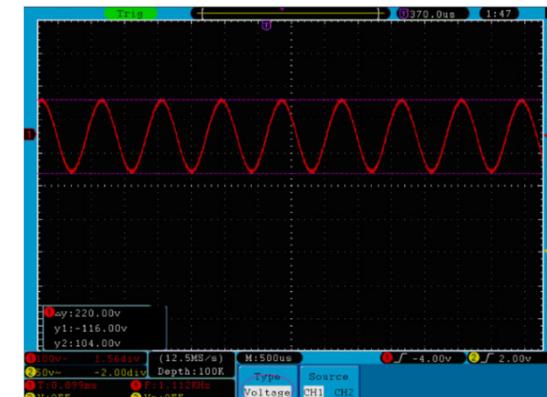
- Main: Các nút trên dùng để điều chỉnh cả màn hình
 - Set: Màn hình xuất hiện hai con trỏ, các nút trên sử dụng để điều chỉnh màn hình nằm trong vùng giữa 2 con trỏ (trong chế độ FFT không thể chuyển menu Set)
 - Zoom: Màn hình giữa hai con trỏ được phóng to toàn màn hình

Đo sử dụng con trỏ

- Bấm nút Cusor để hiển thị Menu chức năng đo

Type	Source
Voltage	CH1 CH2

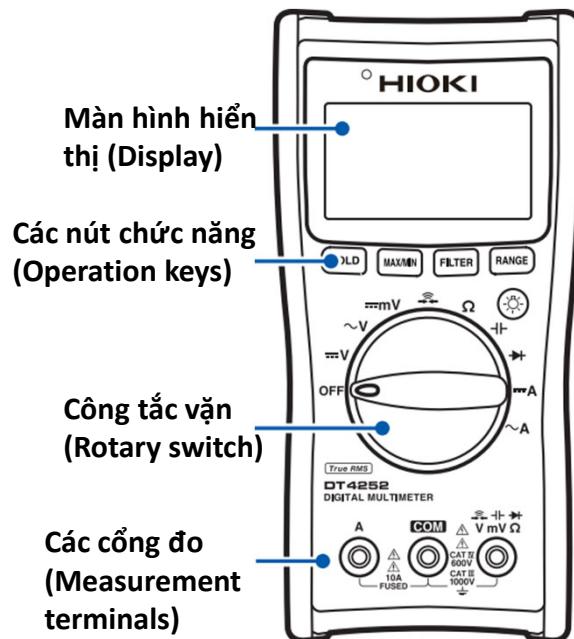
 - Type: OFF: Tắt chế độ đo; Voltage: Hiển thị con trỏ đo điện áp và menu; Time: Hiển thị con trỏ đo thời gian và menu.
 - Source: CH1/CH2: Chọn kênh chứa tín hiệu muốn đo
 - Các bước đo:
 - Bấm nút Cursor, meny Cursor Measure xuất hiện
 - Bấm nút H2, chọn kênh CH1 hoặc CH2 ở mục Source
 - Bấm nút H1, lựa chọn đối tượng cần đo: Voltage/Time
 - Điều chỉnh vị trí 2 con trỏ (đường nét đứt màu tím) bằng 2 nút vặn VERTICAL POSITION của CH1/CH2, đến khi vị trí 2 con trỏ tại vị trí cần đo. Giá trị đo được hiển thị ở cửa sổ góc trái bên dưới màn hình



Đồng hồ vạn năng

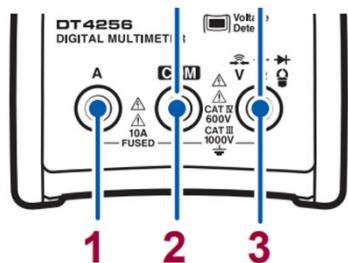
Digital Multimeter





Nút	Nhấn 1 lần	Nhấn và giữ trên 1s
HOLD	Cài đặt/Thoát chế độ giữ nguyên giá trị đo	Cài đặt/Thoát chế độ giữ nguyên giá trị đo tự động
MAX/MIN	Hiển thị giá trị đo lớn nhất, nhỏ nhất hoặc trung bình	Thoát khỏi chế độ hiển thị giá trị đo lớn nhất, nhỏ nhất hoặc trung bình
FILTER	Chuyển/Thoát cài đặt lọc thông thấp hoặc thông dải	Cài đặt/Thoát hiển thị giá trị tương đối (REL, ΔT)
RANGE	Cài đặt dải đo bằng tay/Chuyển dải đo	Thoát chế độ cài đặt dải đo bằng tay
	Bật/Tắt đèn màn hình hiển thị	-

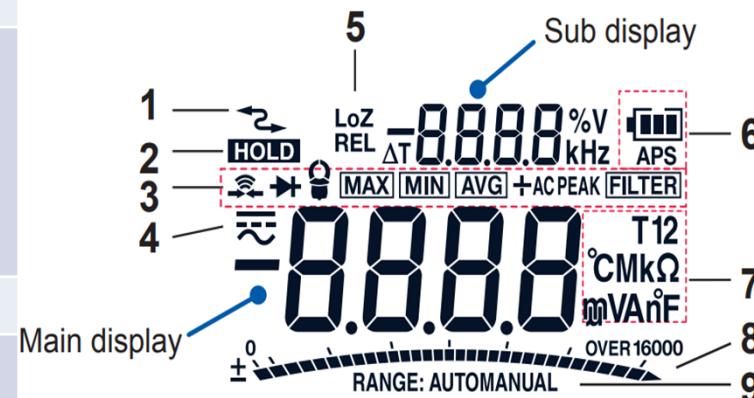
OFF	$\sim V$	$= V$	AUTO V							= A	$\sim A$
Tắt	Đo biên độ và tần số điện xoay chiều	Đo điện thế một chiều	Tự động đánh giá và đo điện thế một chiều/xoay chiều	Kiểm tra thông mạch	Đo điện trở	Đo dung kháng	Kiểm tra diode	Đo điện thế xoay chiều (sử dụng cảm biến clamp)	Đo nạp điện	Đo dòng một chiều	Đo dòng xoay chiều



1	Cổng đo dòng điện (cổng A), nối với dây màu đỏ
2	Cổng được sử dụng mỗi lần đo (cổng COM), nối với dây màu đen
3	Cổng đo điện thế, điện trở, kiểm tra thông mạch, kiểm tra diode, đo dung kháng (cổng V), nối với dây màu đỏ

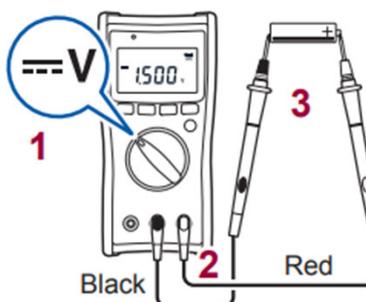
1	Kết nối với máy tính
2	Giữ nguyên giá trị đo
3	Đo thông mạch Kiểm tra diode MAX MIN AVG Giá trị lớn nhất (MAX), nhỏ nhất (MIN), trung bình (AVG) FILTER Kích hoạt chức năng lọc
4	AC, DC
5	LoZ Tự động kiểm tra AC, DC REL Giá trị đo tương đối

Màn hình hiển thị

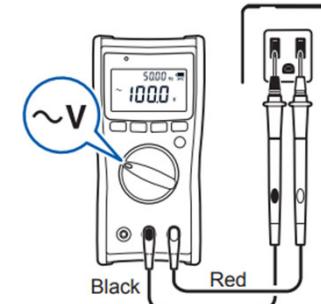


CÁC BƯỚC TIẾN HÀNH ĐO

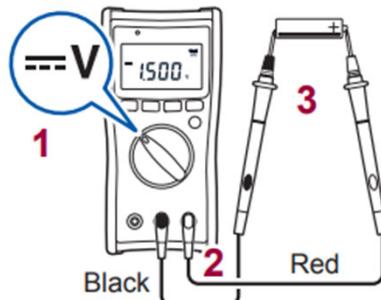
- Bật xoay công tắc vặn, lựa chọn chức năng đo (điện thế xoay chiều/một chiều, dòng điện,...).
- Cắm dây vào đúng cổng đo.
- Kết nối dây vào đối tượng cần đo.
- Bấm nút để giữ giá trị đo.
- Bỏ dây đo ra khỏi đối tượng cần đo và tắt đồng hồ.



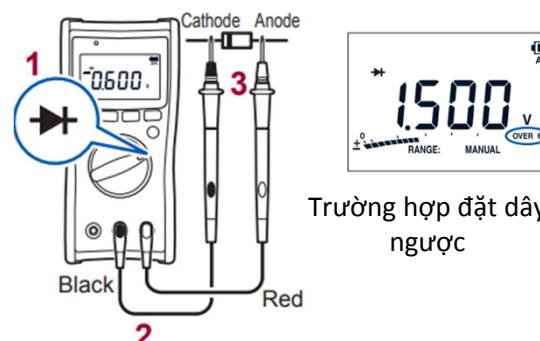
Đo điện thế DC



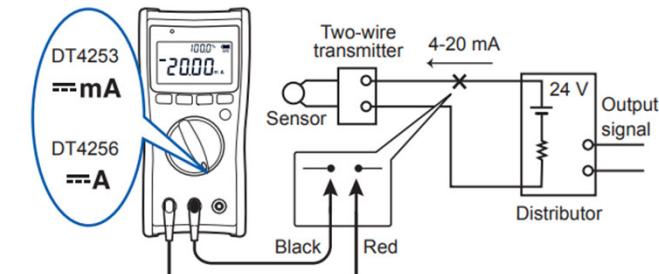
Đo điện thế AC (tần số hiển thị ở phần sub display)



Đo thông mạch (nếu phát hiện thông mạch, chuông kêu, đèn LED sáng)



Đo diode



Đo dòng điện 265

6	Chỉ thị pin APS Kích hoạt chức năng tiết kiệm pin
7	Đơn vị đo
8	Chỉ thị mức tỉ lệ (Ví dụ, nếu khoảng đo là 60V, giá trị đo được là 30V, thì thang tỉ lệ sẽ ở trung tâm)
9	RANGE: AUTO MANUAL Đặt khoang đo tự động/hång tay