

Exercicios Hierarquia de Memória

Questões do POSCOMP

Gustavo Girão

POSCOMP

- Exame nacional para ingresso na Pós-Graduação em Computação (POSCOMP)
- SBC
- http://www.sbc.org.br/index.php?option=com_content&view=category&layout=blog&id=237&Itemid=182

1. [2013] Sobre memória cache, considere as afirmativas a seguir.
- I. **No mapeamento associativo**, cada bloco da memória principal pode ser carregado em qualquer linha da cache.
 - II. **No mapeamento direto**, cada bloco da memória principal é mapeado a apenas uma linha de cache.
 - III. **No mapeamento direto**, o acesso repetido a diferentes blocos de memória mapeados na mesma linha de cache resultará em uma alta taxa de acerto.
 - IV. A técnica de **mapeamento associativo** é simples e pouco dispendiosa para se implementar.

Assinale a alternativa correta.

- a) Somente as afirmativas I e II são corretas.
- b) Somente as afirmativas I e IV são corretas.
- c) Somente as afirmativas III e IV são corretas.
- d) Somente as afirmativas I, II e III são corretas.
- e) Somente as afirmativas II, III e IV são corretas.

2. [2008] O uso de memória caches é muito importante para o desempenho dos processadores atuais.

Analise as afirmativas abaixo relativas ao uso de memórias caches.

I. Em uma memória cache com mapeamento direto um bloco de memória pode ser colocado em qualquer posição (entrada) dessa memória cache.

II. Na política de escrita write-back o bloco modificado é atualizado na memória principal apenas quando for substituído.

III. O uso de associatividade nas memórias cache serve para reduzir o número de falhas por conflito.

A análise permite concluir que

- a) as três afirmativas são falsas.
- b) as três afirmativas são verdadeiras.
- c) apenas a afirmativa I é verdadeira.
- d) apenas as afirmativas II e III são verdadeiras.
- e) apenas a afirmativa III é verdadeira.

23. Das afirmações a seguir, sobre memória cache, quais são verdadeiras?

- (I) Numa estrutura totalmente associativa, um bloco de memória pode ser mapeado em qualquer *slot* do cache.
 - (II) O campo *tag* do endereço é usado para identificar um bloco válido no cache, junto com o campo de índice.
 - (III) Um cache de nível 2 serve para reduzir a penalidade no caso de falta no nível 1.
 - (IV) O esquema de substituição LRU é o mais usado para a estrutura de mapeamento direto.
-
- (a) Somente as afirmações (I), (III) e (IV).
 - (b) Somente as afirmações (II), (III) e (IV).
 - (c) Somente as afirmações (I) e (II).
 - (d) Somente as afirmações (I), (II) e (III).
 - (e) Somente as afirmações (II) e (III).

9) Considere que a latência da cache é de 1 ns e da memória principal é 10ns. Calcule a latência média da hierarquia de memória nos seguintes casos:

- 1) 100% de taxa de hit
- 2) 20% de taxa de miss
- 3) 100% de taxa de miss.

21. [FU] Um processador tem a seguinte hierarquia de memória: uma *cache* com latência de acesso de $1ns$ e uma memória principal com latência de acesso de $100ns$. O acesso à memória principal somente é realizado após o valor não ser encontrado na *cache*.

A **MAIOR** taxa de *cache miss* aceitável para que o tempo médio de acesso à memória seja menor ou igual à $2ns$ é

- (a) 10%
- (b) 5%
- (c) 50%
- (d) 1%
- (e) 2%

7. a) Considere uma cache de 4 linhas que utiliza um mapeamento direto . Considere ainda que o processador realiza a seguinte sequência de solicitações de blocos:

0, 1, 3, 6, 0, 5, 2, 5, 6, 8, 7, 8, 6, 2, 1, 6, 2, 1, 3, 1, 2, 3

Encontre a taxa de miss desta cache.

8) Determine a taxa de miss e o estado final da cache anterior (quais blocos estão em que linhas) considerando um mapeamento associativo e as seguintes políticas de substituição de blocos:

- a) FIFO
- b) LFU
- c) LRU

Utilize os mesmos acessos:

0, 1, 3, 6, 0, 5, 2, 5, 6, 8, 7, 8, 6, 2, 1, 6, 2, 1, 3, 1, 2, 3

Próxima Aula

- Memória Virtual