

Modulador PSK

Modulador PSK desenvolvido e implementado em uma FPGA

Thiago Gomes de Sousa Bezerra

Universidade de Brasília

Faculdade Gama

Gama, Distrito Federal

thiagotnd@hotmail.com

Diogo Gomes de Sousa Bezerra

Universidade de Brasília Faculdade

Gama

Gama, Distrito Federal

diogogsb@hotmail.com

I. INTRODUÇÃO

Rádio Definido por Software ou SDR (Software Defined Radio) é um sistema de radiocomunicação onde os componentes tipicamente implementados em hardware (filtros, amplificadores, moduladores/demoduladores, detectores, etc) são implementadas em software, utilizando uma arquitetura em Hardware. O RDS compreende tanto hardware como software, usando a capacidade reprogramável do Field Programmable Gate Array (FPGA) ou do Digital Signal Processor (DSP) para construir uma arquitetura aberta com implementação de software de frequências de rádio, assim, preveem-se boas expectativas de crescimento do uso do RDS, qual apresenta um aumento na capacidade do sistema e, por conseguinte propicia um aumento de serviços aos usuários.

Em telecomunicações, uma modulação é o processo de variação de altura (amplitude), de intensidade, frequência, do comprimento e/ou da fase de onda numa onda de transporte, que deforma uma das características de um sinal portador (amplitude, fase ou frequência) que varia proporcionalmente ao sinal modulador. Uma dessas modulações é a modulação PSK (*Phase Shift Keying*), a qual consiste na variação da fase da onda portadora em função do sinal digital a ser transmitido. Quando ocorre uma mudança de nível lógico do sinal a ser transmitido há uma mudança na fase da onda portadora para indicar a mudança do nível lógico do sinal a ser transmitido. Essa modulação é a que apresenta melhor imunidade a ruídos e um significativo aumento da velocidade de transmissão.

A figura abaixo ilustra melhor esse tipo de modulação.

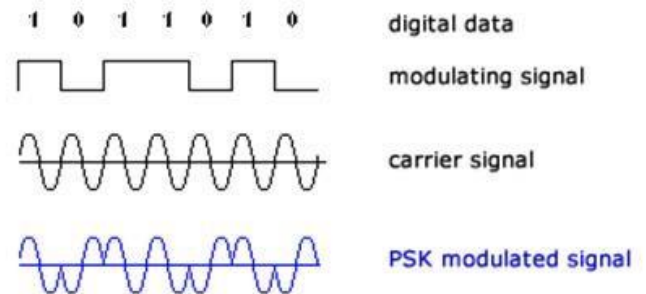


Figura 1: Modulação do tipo PSK.

II. OBJETIVO

Desenvolver um modulador digital PSK de baixo custo em hardware, com a utilização de uma FPGA.

III. BENEFÍCIOS E REQUISITOS A

A partir das situações apresentadas, propõem-se desenvolver um sistema capaz de realizar uma modulação digital em constelação do tipo PSK, com o intuito de minimizar o custo computacional utilizando uma FPGA, programada na linguagem de descrição de hardware VHDL.

Com requisitos mínimos necessários para o desenvolvimento desse projeto, temos:

- Basys 3;
- Software de simulação;
- Computador;

IV. DESCRIÇÃO DO PROJETO

O projeto a ser implementado é um modulador MPSK, ou seja, uma constelação de M níveis, ou oito fases distintas. A função de saída de uma modulação MPSK é dada por:

$$P(t) = A \cos \left(2\pi f_c t + \frac{2\pi}{M} k \right) \quad (1)$$

Onde $K = 0, 1, 2, 3, \dots, M-1$.

Para este projeto, pensou-se em um 8PSK, assim, pode-se enviar palavras/símbolos de três bits, em oito fases diferentes, conforme a equação 2.

$$2^n = 8 \text{ fases ou níveis} \quad (2)$$

$$n = 3 \text{ bits/símbolo} \quad (2.1)$$

Uma representação gráfica de organização desse exemplo de modulação, pode ser observada na figura 2, denominada de constelação. Na constelação, nota-se a distribuição dos símbolos de forma circular, no qual as suas posições são determinadas por uma fase, ou seja, um ângulo.

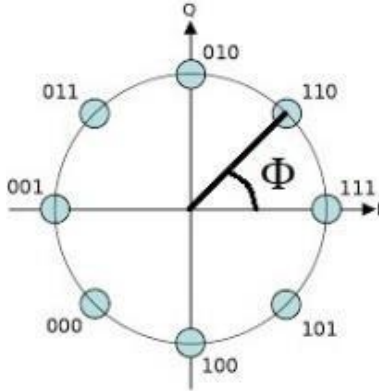


Figura 2: Constelação de um 8PSK.

O ângulo ϕ é dado por:

$$\phi = \frac{2\pi}{M} k \quad (3)$$

Percebe-se também que amplitude de cada simbolo é diferente. Sendo assim, é possível codificar estes símbolos por seus pares ordenados, sendo estes compostos por senos e cossenos.

Para uma melhor compreensão, esta codificação foi também representada em uma tabela, tabela 2, contendo os valores de suas respectivas amplitudes, tendo em vista que o raio do círculo que limita as posições dos simblolos possui módulo 10.

Tabela 2 – Codificação de simboloes em aplitude do 8PSK.

Simbolos	Amplitude	
	Seno	Cosseno
P0- 000	-7	-7
P1- 001	0	-10
P2- 011	7	-7
P3- 010	0	10
P4- 110	7	7
P5- 111	10	0
P6- 101	-7	7
P7- 100	-10	0

Esta codificação foi baseado no código gray, no qual para cada transição de fase, muda-se um único bit, com

isso, se ocorrer um problema de trasmissão, a informação não será totalmente perdida.

O sinal modulado a principio será observado por simulação, no proprio software de desenvolvimento, o vivado.

Afim de gerar formatos de ondas diferentes de apenas impulsos (onda quadrada), nesse caso ondas senoidais, utilizou-se a técnica DDS (Direct Digital Synthesis), essa técnica trabalha partindo do princípio que qualquer sinal gerado, mesmo que não linear, possui a sua variação de fase obedecendo uma função de aspecto linear, assim bastando um conversor de fase para amplitude para que a cada tempo de amostragem “t” um valor numérico seja disponibilizado na saída desse sistema bastando efetuar sua conversão para o domínio analógico através de um conversor D/A.

O sistema de um DDS é ilustrado na figura abaixo, o principal componente é o acumulador de fase (referido na figura como phase accumulator) tem por função como o nome sugere de ir somando os saltos de fase vindos da palavra de frequência (Frequency Tunning Word) com o valor previamente acumulado (sua largura é tipicamente de 24 a 48 bits), onde seu valor é devidamente escalado e enviado ao conversor de fase para amplitude (referido na figura como phase-to-amplitude converter) esse componente tem por função mapear o valor de natureza linear vinda do acumulador de fase para a função (geralmente) não linear, esse conversor costuma tomar a forma de uma tabela que fica armazenada em uma memória não volátil, ainda esse componente armazena exatamente um período completo da forma de onda que se deseja reproduzir, o valor de saída desse componente por fim alimenta o conversor de dados (um conversor D/A por exemplo) reproduzindo amostra a amostra o sinal desejado.

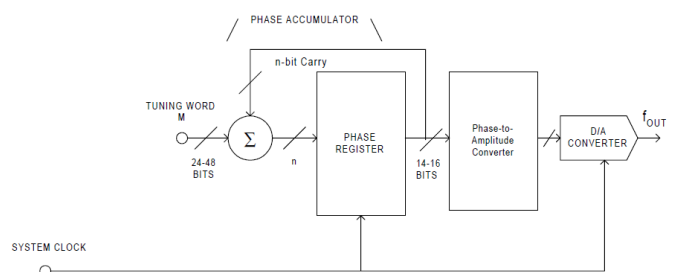


Figura 3: Diagrama de um DDS.

Assim, a frequência do sinal obtido na saída obedece a seguinte relação:

$$f_0 = \frac{M \times f_{clock}}{2^n} \text{ [Hz]} \quad (4)$$

Onde f_0 é a frequência do sinal na saída do sistema DDS, M é o valor da palavra de frequência (Tuning Word); f_{clock} é a frequência do clock que alimenta o sistema (System Clock); e N é a largura em bits do acumulador de fase.

V. MÉTODOLOGIA

O fluxograma proposto para o projeto pode ser observado logo abaixo:

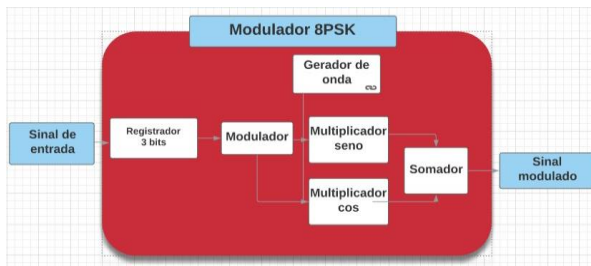


Figura 4: Fluxograma proposto para o desenvolvimento do projeto.

- Registrador SIPO (Serial Input Paralel Output) de 3bits: Visto que o sinal de entrada será um sinal digital (0's e 1's), e que a modulação é realizada por símbolos, tem-se que agrupar 3 bits para cada símbolo.
- Gerador de onda: Para realizar a modulação, é necessário uma portadora, no qual o seu sinal de entrada será transmitido. O gerador de ondas criará um seno e um cosseno que será multiplicado pelo sinal de entrada, além de especificar as determinadas fases a serem utilizadas.
- Modulador: O modulador indicará as determinadas amplitudes para cada fase da modulação.
- Multiplicadores: Operação aritmética que multiplicará o sinal de entrada modulado (amplitudes) com a onda gerada (portadora). A multiplicação será instanciada duas vezes, pois os símbolos são representados por duas ondas, o seno e o cosseno.
- Somador: Operação aritmética que realizará a soma da saída das duas multiplicações, obtendo assim o sinal 8PSK modulado.

V. RESULTADOS

Os módulos criados para este projeto (multiplicador, somador, gerador de ondas e registrador SIPO) estão funcionando de maneira adequada, como pode ser visto nas imagens abaixo, as quais ilustram as simulações realizadas por testbench, com exceção do módulo gerador de onda, o qual ainda apresenta alguns problemas como pode ser visto na figura 4.

A figura 5 ilustra a simulação do registrador SIPO (Serial Input Paralel Output). Como pode-se observar, o registrador funciona de maneira adequada, é importante resaltar que a transmissão da minha entrada de 3 bits deve ocorrer a cada 3 bits.

Como o modulador 8PSK depende dos sinais de saída do bloco gerador de onda, o mesmo não possui uma

simulação própria, mas as flags e sinais estão sendo ativos de maneira correta durante todo processo.

As codificações VHDL e testbenchs estão disponíveis em:

<https://github.com/DiogoGomes/PRAT_CIRC_RECONF/tree/master/PCs>.

Referencias bibliográficas

- [1] EDN network. Modulação FSK/PSK baseada em FPGA. Disponível em: <https://www.edn.com/design/integrated-circuitdesign/4437944/FPGA-based-FSK-PSK-modulation>.
- [2] Synthesisable Sine Wave Generator. Doulos. Disponível em: https://www.doulos.com/knowhow/vhdl_designers_guide/models/sine_wave_generator/
- [3] How To Generate Sine Samples in VHDL. Surf VHDL. Disponível em: <https://surf-vhdl.com/how-to-generate-sine-samples-in-vhdl/>

