Uma Implementação do RISC-I utilizando o simulador Logisim Evolution

Diogo Valadares Reis dos Santos*

2024 v-0.01

Resumo

Este relatório técnico detalha a implementação da arquitetura RISC-I utilizando o software Logisim Evolution. A arquitetura RISC-I foi escolhida por sua simplicidade e importância histórica no desenvolvimento de processadores RISC, com informações obtidas de publicações acadêmicas e outros relatórios técnicos. Várias adaptações foram necessárias para garantir o funcionamento adequado no ambiente de simulação, incluindo ajustes de temporização e na unidade de controle para acomodar as limitações do software e a falta de certas informações dos trabalhos originais. Diferenças notáveis entre o modelo implementado e a arquitetura original do RISC-I incluem a simplificação de certos circuitos e o uso de componentes pré-existentes no Logisim Evolution, o que facilitou a construção e a simulação. Para programar e testar o modelo implementado, foi desenvolvido um *assembler* em C# para converter o código *assembly* em instruções de máquina compatíveis com a memória do simulador, envolvendo a listagem do conjunto de instruções do RISC-I e a implementação de um parser para traduzir o código *assembly*.

Palavras-chaves: RISC, RISC I, RISC II, Arquitetura e Organização de Computadores, Simuladores, Logisim, Assembly, C#.

*diogo-valadares@hotmail.com

1 Introdução

A arquitetura RISC I teve uma grande importância, sendo a definição do conceito de arquiteturas RISC. Ela foi desenvolvida no início dos anos 80, liderada pelos professores David Patterson e Carlos Séquin, e executada pelos seus estudantes (Fitzpatrick, Foderaro, Peek, Peshkess e Van Dyke), com melhorias feitas por outro grupo (Katevenis e Sherburne), resultando no RISC II (Daniel T. Fitzpatrick et al., 1982).

Este relatório técnico é resultado de uma monografia com o objetivo de criar uma arquitetura didática baseada em uma arquitetura já existente. O RISC I foi escolhido por ser uma excelente arquitetura, que além de ser relativamente simples em comparação a arquiteturas atuais, permitindo modificações, também apresenta recursos bem relevantes e que ainda estão presentes em arquiteturas recentes.

Para a replicação do RISC I, foram utilizados dois principais trabalhos realizados pelos estudantes que criaram o RISC I e o RISC II. O primeiro foi feito por Peek (1983), onde ele detalha os diversos componentes da arquitetura, porém o trabalho deixa alguns detalhes de fora, como o funcionamento mais detalhado de interrupções, códigos condicionais, controle da janela de registradores, e leitura/escrita de diferentes tamanhos de dados. Para complementar os detalhes não encontrados no trabalho de Peek, foi utilizado o trabalho de Katevenis (1985), que detalhou diversos aspectos do RISC II, que apesar de conter algumas modificações em relação ao RISC I, ainda possui diversas similaridades que são citadas pelo trabalho.

Neste trabalho, a recriação do RISC I foi realizada como um modelo de simulação dentro do software Logisim Evolution, que é um *fork* do Logisim, descontinuado pelo seu criador. O Logisim Evolution foi escolhido por oferecer visualmente o funcionamento da lógica do circuito de forma interativa, permitindo rápidos testes e entendimento do funcionamento de certas partes, sendo excelente para a criação e prototipagem de circuitos sem conhecimento técnico de linguagens de descrição de hardware.

2 A Arquitetura RISC I

2.1 Formato de Instrução

Há basicamente dois formatos de instrução no RISC I, o com imediato longo e o com dois registradores, ou um registrador e imediato. Estes formatos são demonstrados tanto no trabalho de Katevenis quanto no de Stallings (1988), demonstrado na figura 1.

O formato com o imediato longo é utilizado em instruções relativas, onde o imediato longo é adicionado ao contador de programa para obter um endereço relativo ao atual. Ele também é utilizado na instrução *Load High Immediate* (LDHI), onde os 19 bits são carregados para os bits mais significativos, permitindo o carregamento de constantes que ocupem os 32 bits dos registradores em menos ciclos do que com instruções de carregamento normais. Já o formato com imediato curto é utilizado para quaisquer outras instruções.

Para ambos os formatos, os 3 primeiros parâmetros são iguais. Os primeiros 7 bits representam a instrução que deve ser executada, seguidos de uma *flag* (um bit) para definir códigos de condição, indicando se a instrução deve gravar as *flags* de resultado da ULA na PSW. A última parte possui 5 bits, que podem representar um endereço de destino do resultado ou uma condição. Caso seja uma condição, apenas os 4 bits menos significativos são usados, com o quinto sendo ignorado.

Para o formato com imediato curto, os primeiros 5 bits após o destino são sempre um registrador fonte. Este registrador fonte é então seguido de uma segunda fonte, que pode ser tanto um registrador quanto um imediato de 13 bits. Para que o imediato seja escolhido, o primeiro bit após a primeira fonte deverá ser 1, seguido do valor desejado para o imediato. Caso o bit após a primeira fonte seja 0, os 5 bits menos significativos representam o registrador que será utilizado como segunda fonte.

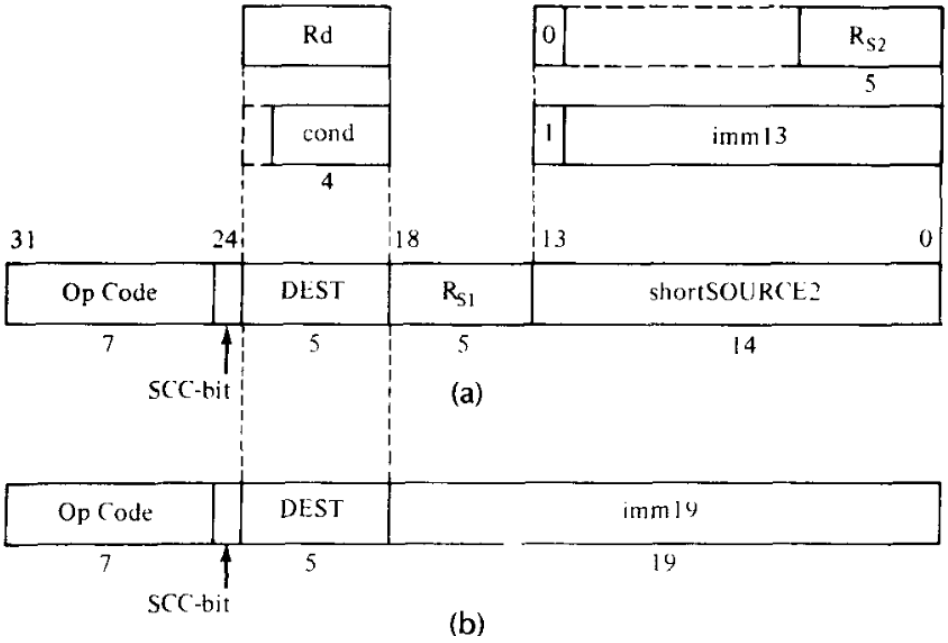

Figura 1 – Formato de instrução do RISC I(STALLINGS, 1988).

2.2 Conjunto de Instruções

+	-	0 —-000	1 —-001	2 —-010	3 —-011	4 —-100	5 —-101	6 —-110	7 —-111
0	0000—	CALLI	SLL		STS	AND	SUB	RET	LDHI
1	0001—				STRS				
2	0010—		GETPSW				SUBC		
3	0011—								
4	0100—			LDBU	STB	XOR	SUBR	RETI	
5	0101—			LDRBU	STRB				
6	0110—			LDBS			SUBCR		
7	0111—			LDRBS					
8	1000—	CALL	SRL	LDW	STW	OR	ADD	GETLPC	
9	1001—			LDRW	STRW				
A	1010—	JMP	PUTPSW						
B	1011—								
C	1100—	CALLR	SRA	LDSU			ADDC		
D	1101—			LDRSU					
E	1110—	JMPR		LDSS					
F	1111—			LDRSS					

Tabela 1 – Conjunto de instruções do RISC I(adaptação de Peek (1983))

A tabela 1 mostra todas as instruções existentes no RISC I. Algumas das instruções tiveram os seus nomes modificados para melhorar a consistência e legibilidade, mas todas mantém as suas funções originais. Das alterações que foram feitas temos a remoção do caractere "X"em instruções como "JMPX", "LDXW", "STXW"ou "CALLX", pois este "X"representa que a instrução utiliza um registrador ao invés de um operante relativo, o que se torna desnecessário já que as instruções que usam relativo já são marcadas com um "R", além de que o "X"pode ser confuso para entender apenas de olhar a instrução. As instruções de subtração foram alteradas para não usar a letra "I", no lugar elas usam "R", um padrão usado por Stallings (1988) que ajuda a não confundir com outras instruções que envolvem interrupções e que também terminam em "I". "GTLPC"foi alterado para "GETLPC"para ficar consistente com a instrução "GETPSW". Por fim, para instruções de *Load* e *Store* foram adotadas as letras "B"para as que utilizam apenas *bytes*, e "S"para as que utilizam *shorts*(*2 bytes*).

Mnemonico	Nome completo	HEX	BIN	Operação
CALLI	**CALL** WITH **I**NTERRUPT	00	000 0XXX	CWP– Rd <= Last pc
CALL	**CALL**	08	000 100X	CWP– Rd <= pc Next pc <= Rx + S2
JMP	CONDITIONAL **JUMP**	0A	000 101X	pc <= Rx+S2
CALLR	**CALL R**ELATIVE	0C	000 110X	CWP– Rd <= pc Next pc <= pc + Y
JMPR	CONDITIONAL **JUMP R**ELATIVE	0E	000 111X	pc <= pc + Y
SLL	**S**HIFT **L**EFT **L**OGICAL	10	001 0X0X	Rd <= Rs « S2
GETPSW	**GET P**ROCESSOR **S**TATUS **W**ORD	12	001 0X1X	Rd <= PSW
SRL	**S**HIFT **R**IGHT **L**OGICAL	18	001 100X	Rd <= Rs » S2
PUTPSW	**PUT P**ROCESSOR **S**TATUS **W**ORD	1A	001 101X	PSW <= Rm
SRA	**S**HIFT **R**IGHT **A**RITHMETIC	1C	001 11XX	Rd <= Rs »> S2
LDBU	**L**OAD **B**YTE **U**NSIGNED	24	010 0100	Rd <= M[Rx+S2]
LDRBU	**L**OAD **R**ELATIVE **B**YTE **U**NSIGNED	25	010 0101	Rd <= M[pc+Y]
LDBS	**L**OAD **B**YTE **S**IGNED	26	010 0110	Rd <= M[Rx+S2]
LDRBS	**L**OAD **R**ELATIVE **B**YTE **S**IGNED	27	010 0111	Rd <= M[pc+Y]
LDW	**L**OAD **W**ORD	28	010 10X0	Rd <= M[Rx+S2]
LDRW	**L**OAD **R**ELATIVE **W**ORD	29	010 10X1	Rd <= M[pc+Y]
LDSU	**L**OAD **S**HORT **U**NSIGNED	2C	010 1100	Rd <= M[Rx+S2]
LDRSU	**L**OAD **R**ELATIVE **S**HORT **U**NSIGNED	2D	010 1101	Rd <= M[pc+Y]
LDSS	**L**OAD **S**HORT **S**IGNED	2E	010 1110	Rd <= M[Rx+S2]
LDRSS	**L**OAD **R**ELATIVE **S**HORT **S**IGNED	2F	010 1111	Rd <= M[pc+Y]
STS	**ST**ORE **S**HORT	30	011 00X0	M[Rx+S2] <= Rm
STRS	**ST**ORE **R**ELATIVE **S**HORT	31	011 00X1	M[pc+Y] <= Rm
STB	**ST**ORE **B**YTE	34	011 01X0	M[Rx+S2] <= Rm
STRB	**ST**ORE **R**ELATIVE **B**YTE	35	011 01X1	M[pc+Y] <= Rm
STW	**ST**ORE **W**ORD	38	011 1XX0	M[Rx+S2] <= Rm
STRW	**ST**ORE **R**ELATIVE **W**ORD	39	011 1XX1	M[pc+Y] <= Rm
AND	**AND**	40	100 00XX	Rd <= Rs & S2
XOR	E**X**CLUSIVE **OR**	44	100 01XX	Rd <= Rs Ŝ2
OR	**OR**	48	100 1XXX	Rd <= Rs | S2
SUB	**SUB**TRACT	50	101 000X	Rd <= Rs - S2
SUBC	**SUB**TRACT WITH **C**ARRY	52	101 001X	Rd <= Rs - S2 - C
SUBR	**SUB**TRACT **R**EVERSED	54	101 010X	Rd <= S2 - Rs
SUBCR	**SUB**TRACT WITH **C**ARRY **R**EVERSED	56	101 011X	Rd <= S2 - Rs - C
ADD	**ADD**	58	101 10XX	Rd <= Rs + S2
ADDC	**ADD** WITH **C**ARRY	5C	101 11XX	Rd <= Rs + S2 + C
RET	**RET**URN	60	110 00XX	pc <=Rx+S2 Next CWP++
RETI	**RET**URN WITH **I**NTERRUPT	64	110 01XX	pc <=Rx+S2 Next CWP++
GETLPC	**GET L**AST **P**ROGRAM **C**OUNTER	68	110 1XXX	Rd <= Last pc
LDHI	**L**OAD **H**IGH **I**MMEDIATE	70	111 XXXX	Rd <= (Y[31:13],13'0)

Tabela 2 – Instruções do RISC I

2.3 *Datapath*

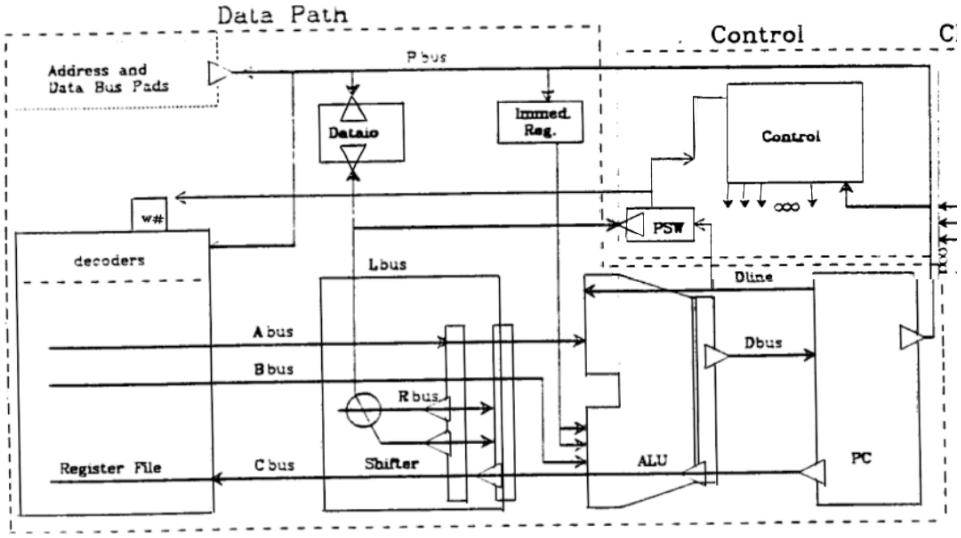

Figura 2 – *Datapath* do RISC I(PEEK, 1983)

A figura 2 mostra uma visão um pouco mais detalhada do RISC em comparação a outros trabalhos relacionados. Ela mostra componentes que geralmente são omitidos como o *DataIO*, que serve como *buffer* de entrada e saída de informações, o registrador imediato, o número de janela e o registrador de estado do processador(PSW). uma boa parte dos barramentos é mostrado de forma atravessada sobre certos componentes pois é assim que estes são colocados no chip como descrito por Peek. Nesse trabalho, como tentativa de deixar as informações mais visíveis, os barramentos não passam por cima dos componentes, no caso os barramentos A, B e C passam abaixo de alguns dos componentes enquanto a linha D passa por cima, como demonstrado na figura 3.

Vale notar que o trabalho disponível do Peek possui erros de impressão nos seus diagramas, onde linhas verticais ficam falhadas. Para tentar diminuir erros, foi executada uma restauração nos diagramas, porém alguns ainda podem conter falta de informações. A conexão entre o PSW, o número da janela estava apagada no trabalho original o que dificulta o entendimento das conexões. Isso veio junto com uma inconsistência, onde há um diagrama que demonstra que o controlador do número de janela se conecta a PSW através do barramento L. A solução para a implementação no simulador foi utilizar a conexão pelo barramento D como demonstrado na figura 3.

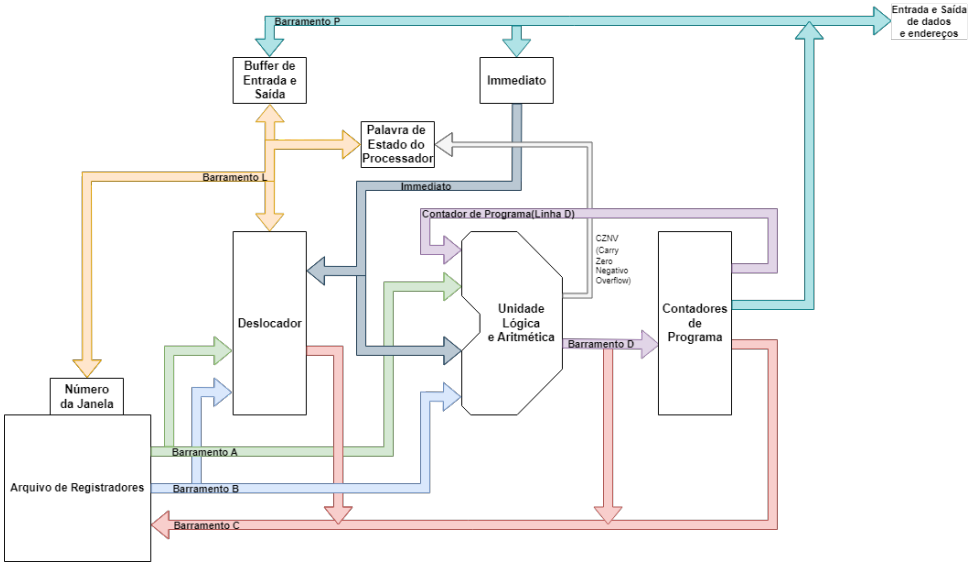

Figura 3 – Arquitetura do RISC I(autoria própria).(Note que componentes de controle e *clock* foram omitidos)

Uma alteração foi realizada entre a unidade lógica e aritmética(ULA) e o contador de programa(PC). No trabalho original, o resultado da ULA se separa internamente entre duas saídas, uma para o barramento C, e outro negada para o barramento D. A negação para o barramento D se deve a implementação física, onde os barramentos A, B, C e D são pré-carregados em alta voltagem, e são lidos descarregando as conexões onde há zeros, resultando em uma inversão da informação. A saída para o barramento C não precisa ser invertida, porque ela é armazenada em registradores que são lidos apenas através dos barramentos A ou B, que invertem a informação de volta ao que era originalmente. O barramento D por outro lado, se conecta diretamente ao contador de programa, que precisa que a informação não esteja negada, pois essa informação são os endereços que são passados para o barramento P, que não é pré-carregado.

Como a implementação no simulador não necessita de pré carregamento dos barramentos, a ULA nesta implementação possui apenas uma saída que conecta ao barramento D. O barramento D ainda conecta a ULA ao PC, porém foi adicionado uma conexão controlada(através de *buffers tri-state*) ao barramento C. Em uma visão geral, esta mudança não altera o funcionamento dos recursos da arquitetura sendo equivalente ao que foi implementado originalmente.

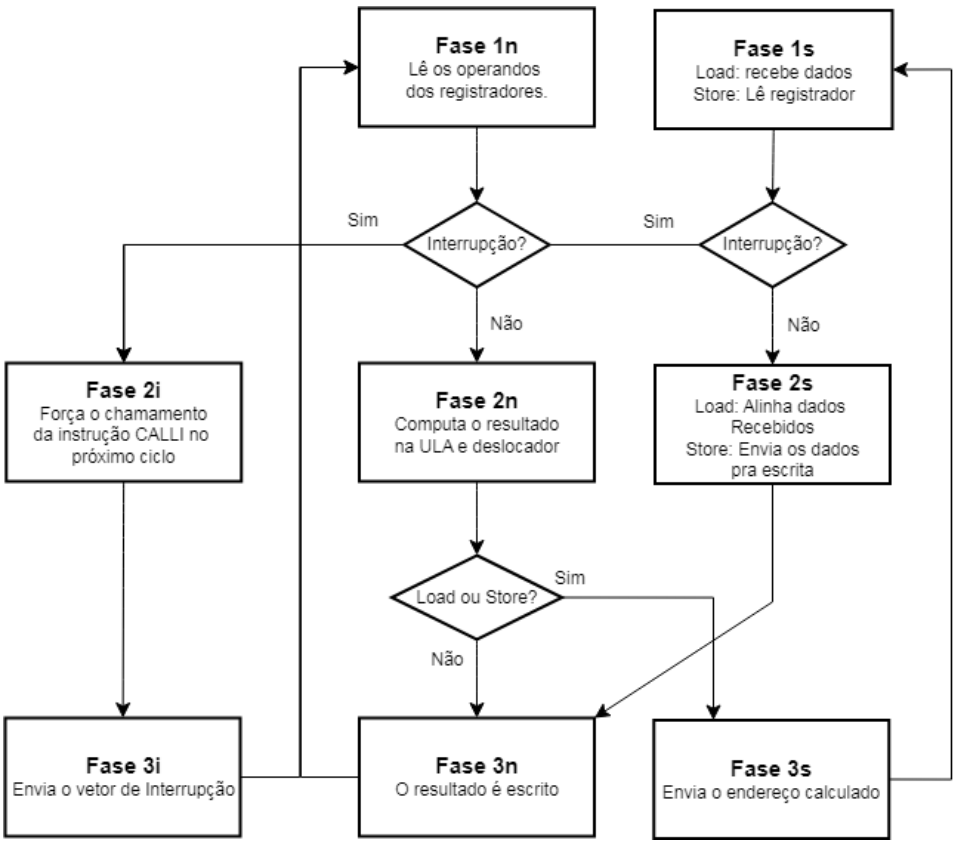

Figura 4 – Temporização do RISC I (adaptado de Peek (1983)

2.4 Temporização

A temporização do RISC I funciona a partir de 3 fases por instrução, o que geralmente envolve o carregamento de alguma informação durante a fase 1, uma execução durante a fase 2 e finalmente o armazenamento do resultado durante a fase 3.

As instruções de *store* e *load* possuem um ciclo secundário (denominado com um **s**), que ocorre entre as fases 2 e 3 do ciclo normal de instruções(denominado com um **n**). Este ciclo secundário ocorre pois para a execução dessas instruções primeiro é necessário calcular o endereço de memória que será utilizado para depois este ser enviado a memória para que a informação seja retornada, o que exige o ciclo adicional.

Além do ciclo secundário para instruções de *load* e *store* existe o ciclo de interrupção. Este ciclo ocorre quando algum problema ou erro ocorre durante a instrução atual. No RISC-I isso envolve o *overflow* ou *underflow* do número de janela de registradores. Para que a interrupção ocorra, também é necessário que a *flag* de interrupções esteja ativa(será discutido na seção 3.3). A interrupção é detectada durante o fase 1, e caso ocorra, as fases 2i e 3i são executadas, forçando a próxima instrução a ser um "CALLI"e enviando o vetor de de interrupção para a memória, que seria o endereço que possui a rotina de tratamento da interrupção.

2.5 *Pipeline*

A *pipeline* de instruções é uma técnica que melhora o desempenho do processador ao dividir a execução de uma instrução em várias etapas, como busca, decodificação, cálculo de operandos, busca de operandos e execução. Semelhante a uma linha de montagem, onde diferentes estágios de produção ocorrem simultaneamente, a *pipeline* permite que várias instruções sejam processadas ao mesmo tempo em diferentes estágios. No entanto, a eficiência da *pipeline* pode ser afetada por fatores como o tempo de execução ser maior que o tempo de busca e instruções de desvio condicional que tornam o endereço da próxima instrução desconhecido. Para mitigar esses problemas, técnicas como a

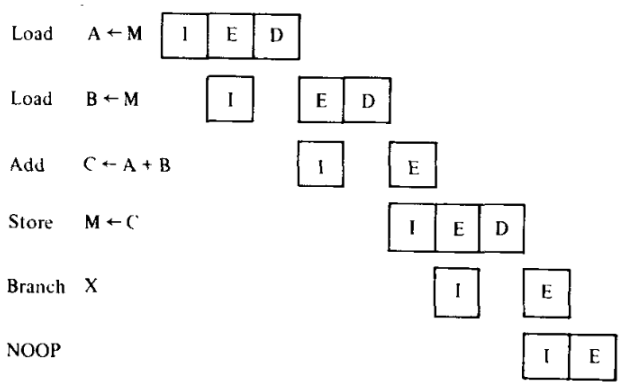

Figura 5 – Demonstração da *pipeline* do RISC I.(STALLINGS, 1988)

predição de desvios são utilizadas, permitindo um aumento significativo na velocidade de execução das instruções. (STALLINGS, 1988, p. 47-51)

A *pipeline* do RISC-I(Figura 5) é bem simples, ela se divide em duas etapas: A busca da próxima instrução seguida da execução. O fato da pipeline ser tão simples pode ajudar a simplificar o entendimento de como uma *pipeline* funciona. Na busca da próxima instrução é possível ver que o processador esta acessando um certo endereço que esta sendo lido e separado entre varias partes pelo circuito. Enquanto isso, é possível também ver os barramentos A,B e C trocando dados como instruído no endereço que estava sendo lido anteriormente. Além disso, diversos registradores mostram no simulador qual é a próxima coisa que será utilizada e qual esta sendo utilizada no momento.

3 Implementação

3.1 Limitações da simulação e principais diferenças da implementação física

Os simuladores de circuitos lógicos são ferramentas poderosas para o desenvolvimento e teste de sistemas digitais. No entanto, esses simuladores possuem limitações que devem ser consideradas. Primeiramente, os simuladores de circuitos lógicos, como o Logisim, são incapazes de replicar com precisão todos os aspectos físicos dos circuitos reais, como atrasos de propagação e efeitos parasitas. Além disso, certos comportamentos complexos e interações entre componentes podem não ser completamente modelados, resultando em discrepâncias entre a simulação e o desempenho real do circuito.

Para poder executar essa implementação, algumas medidas foram tomadas para que o modelo funcione corretamente. Uma destas medidas já foi citada na seção 2.3, onde foi removida a negação do barramento D pelo diferente funcionamento dentro do simulador, onde os barramentos não precisam ser pré carregados.

Outra modificação que foi realizada foi a alteração de todos os *latches* para *flip flops*. Na implementação original, *latches* foram utilizados em diversos dos componentes, porém certos problemas de sincronização surgiram durante a replicação do circuito e foi decidido a substituição para *flip flops*. Com essa modificação ao invés dos registradores armazenarem os valores durante o nível alto, eles apenas gravam durante a subida(ou descida)de *clock*, ajudando na sincronia entre componentes e evitando erros.

Como será discutido no capítulo 3.12, o circuito de controle foi uma das maiores diferenças sobre o circuito original. Isso se deve tanto a falta de informações nos documentos originais quanto a diferenças de implementação nos componentes. Apesar disso o resultado final da execução do conjunto de instruções é igual em ambas implementações.

Uma limitação menos significativa do Logisim é a falta de suporte para conectores que são simultaneamente de entrada e saída(conhecidas como *inout*). Este tipo de conexão tem uma certa importância para poder conectar barramentos a certas partes do circuito, porém pode ser simulada

utilizando uma entrada e uma saída, uma a frente da outra no pacote de componente como mostrado no capítulo 3.6.

3.2 Componentes e Simbologia do Logisim Evolution

O Logisim Evolution oferece componentes prontos para uso em circuitos lógicos. Eles podem servir desde funções lógicas básicas até operações mais complexas, como armazenamento de dados ou decodificação.

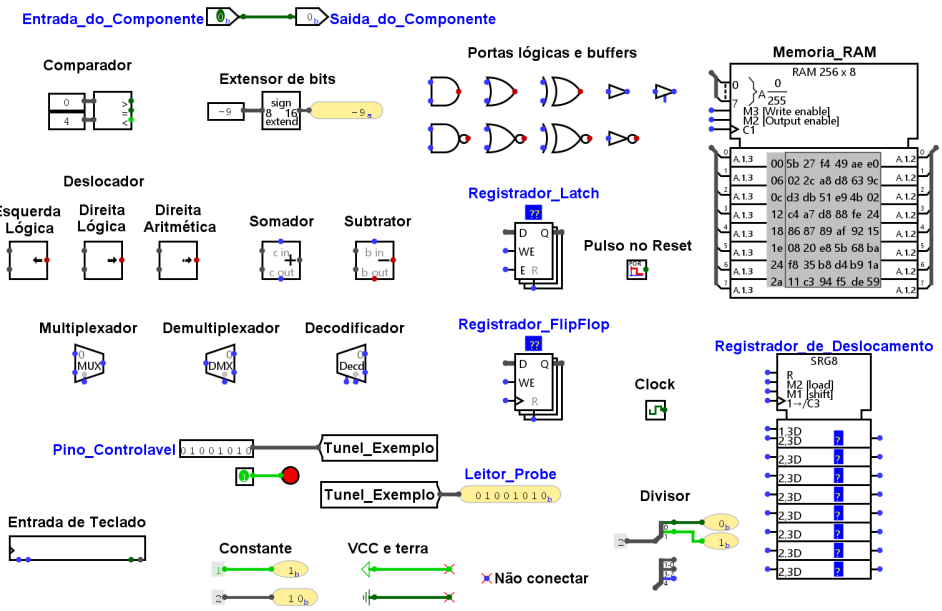

Figura 6 – Componentes do Logisim utilizados no trabalho

A Figura 6 mostra todos os componentes nativos utilizados para a criação do modelo de simulação. Muitos desses componentes podem ter suas propriedades modificadas, o que também pode alterar sua aparência, quantidade de saídas e entradas. No simulador, todas as operações lógicas são suportadas, além de *buffers* que apenas permitem a passagem de informações de um lado para outro, e *buffers tri-state*, que permitem a passagem de dados apenas quando ativos, ficando em alta impedância caso contrário.

Operações de deslocamento podem ser realizadas pelo mesmo componente, desde que suas propriedades sejam modificadas. Operações aritméticas também são suportadas; entretanto, neste trabalho, foi utilizado apenas o subtrator e o somador. O simulador também oferece multiplexadores e de-multiplexadores, que permitem a seleção de uma entre várias conexões para a entrada ou saída de dados. Há também o decodificador, que permite a decodificação de um número binário para um número decimal.

Além das operações comuns, o simulador suporta componentes que armazenam um certo valor até que a simulação reinicie, como os pinos, ou componentes que permanecem com o mesmo valor, como as constantes. Para conectar dois fios sem que eles estejam visivelmente conectados no simulador, podemos usar túneis; todos os túneis com o mesmo nome se comportam como se estivessem conectados ao mesmo fio. Para ler os valores, utilizamos um leitor, ou *probe*, que mostra qual é o valor do fio ou barramento ao qual está conectado. Esse valor pode ser verificado posteriormente em um histórico de valores.

Todas as conexões podem ter quatro estados diferentes, que são diferenciados pelas cores: verde claro (1), verde escuro (0), azul (?,Z ou alta impedância), e vermelho (X ou erro/curto). Todas essas cores podem ser identificadas em fios que possuem apenas 1 bit de dado sendo transmitido; no entanto, há a possibilidade de criar barramentos que utilizam múltiplos bits. No tema original, a cor para esses

barramentos é branca, mas neste trabalho foi alterada para cinza devido à troca da cor de fundo. O simulador possui componentes que podem dividir ou combinar de diversas formas um barramento entre vários outros.

Também é possível criar nossos próprios componentes, que podem ter sua aparência modificada. Neste trabalho, a aparência será referenciada como "pacote". O pacote pode conter entradas e saídas, que são definidas quando componentes específicos de entrada e saída são colocados dentro do circuito do componente. O pacote dos componentes pode conter caixas de texto que indicam o valor dos registradores dentro desses componentes.

3.3 Circuito de *clock*

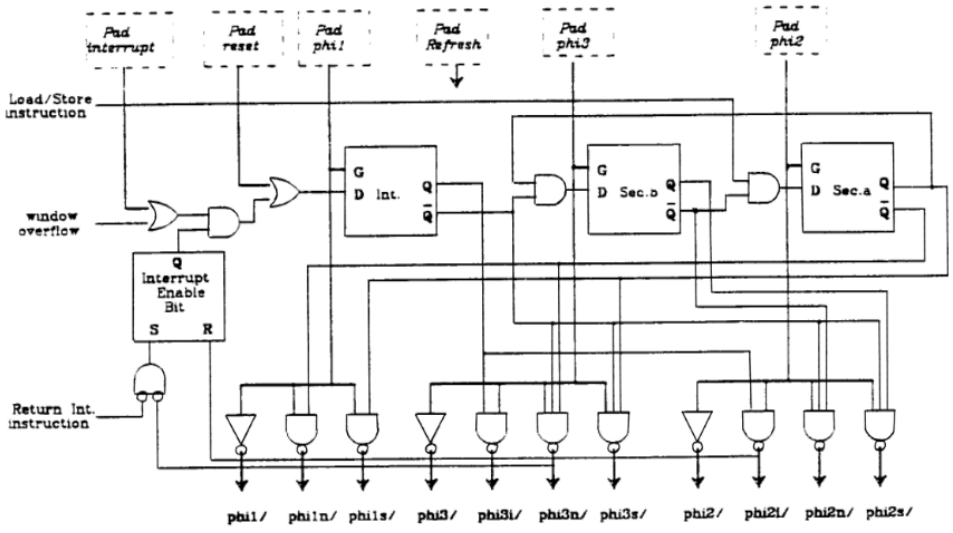

Figura 7 – Circuito de *clock* do RISC-I (PEEK, 1983)

O circuito de *clock* do RISC I é responsável por controlar o funcionamento dos ciclos e fases da arquitetura descritos na seção 2.4. Ele possui uma entrada para cada fase e diversas saídas contendo a fase junto com o tipo de ciclo, este sendo normal(n), secundário(s) e de interrupção(i).

Para o controle de qual tipo de ciclo esta sendo executado, este circuito possui *flip flops* para armazenar se uma interrupção esta ocorrendo e se uma instrução de save/load esta ocorrendo. Para a interrupção ocorrer, há um *flip flop* que deve estar ativo, o *Interrupt_Enable*, que é ligado durante a instrução "RETI".

Na implementação realizada no Logisim, as saídas das fases não foram invertidas, e o mesmo ocorre na entrada das portas logicas conectadas ao *Interrupt_Enable*. Funcionalmente isso não fez diferença para a arquitetura, e os possíveis efeitos disso foram tratados no controlador e outros componentes que fazem uso direto dos sinais de fase.

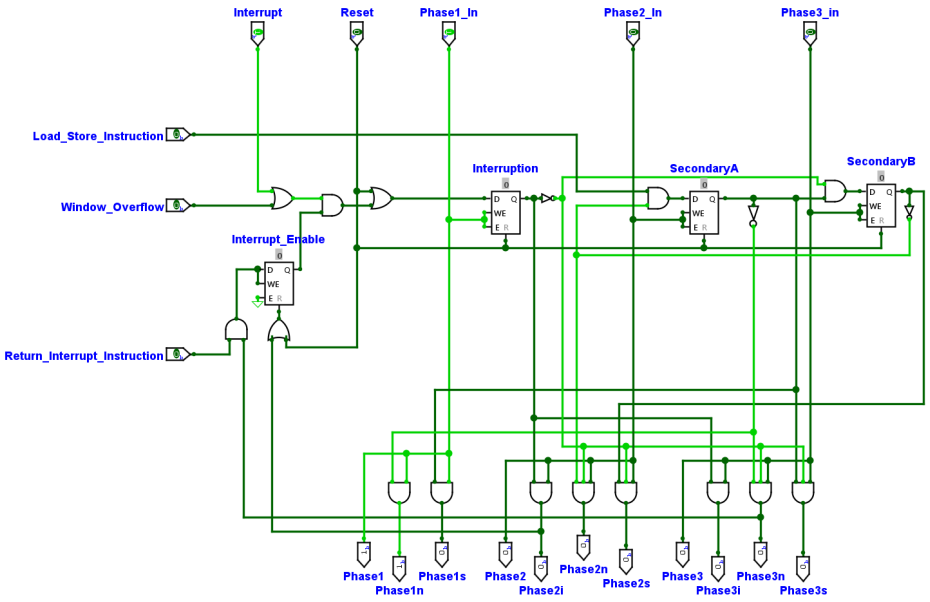

Figura 8 – Circuito de *clock* no Logisim

O pacote do componente visto na figura 9 mostra as entradas de fases por cima e as saídas à direita. À esquerda foram colocados os sinais de controle. Foram adicionados textos para cada um dos *flip flops*, ao lado da entrada ou saída que os representam.

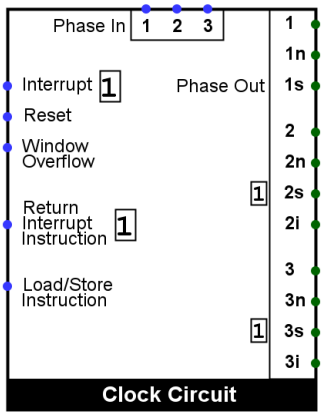

Figura 9 – Pacote do circuito de *clock* no Logisim

A entrada das fases do circuito de *clock* são geradas por um circuito a parte, fora do chip principal. Este gerador foi implementado com 3 flip flops D em cadeia que quando recebem o sinal de *reset* ficam com um ativo, que vai pro próximo em toda borda de descida do *clock*.

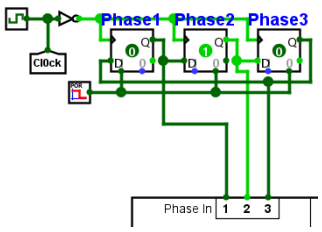

Figura 10 – Gerador de *clock* e fases no Logisim

3.4 Contador de Programa

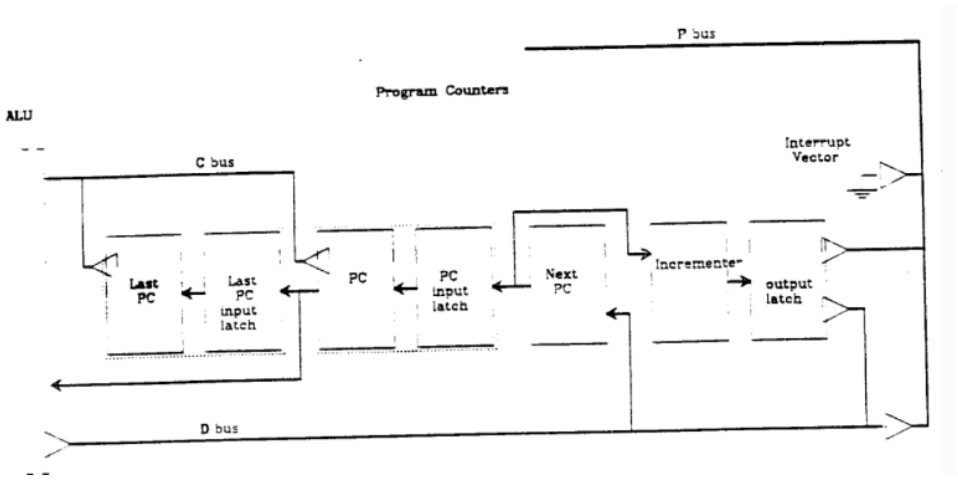

Figura 11 – Contadores de programa(PEEK, 1983)

O RISC I possui um contador de programa dividido em 3 partes: O próximo, o atual e o anterior. No circuito original foram usados *latches master-slave*(ou *flip flops*) tanto para o contador atual quanto para o anterior. O circuito original também faz uso de um *latch* para a saída do próximo contador de programa, que é usado no primeiro ciclo da *pipeline* para dizer qual é o próximo endereço a ser lido.

Para a implementação no Logisim, algumas modificações foram feitas. Os *flip flops* foram colocados diretamente para cada um dos contadores no lugar de *latches master-slave*. O *latch* de saída foi removido, o que causaria oscilação no próximo contador, porém com a troca de *latch* para *flip flop*, este problema foi resolvido.

Parte do controle de *byte* foi transferido para dentro do contador de programa. Este é o registrador *Byte_Select_Latch*, que possui os 2 bits menos significativos de um endereço para instruções de *save* e *load*. Estes 2 bits dizem em qual byte do endereço a informação esta ou será armazenada, por exemplo, se estes bits forem 10, a informação estará armazenada a partir do terceiro byte.

O vetor de interrupção foi modificado para retornar o número hexadecimal 80000000. Essa modificação se deve parcialmente a forma com que este vetor funciona no RISC II, onde os endereços para tratamento de interrupções estão em torno deste valor(KATEVENIS, 1985, p. 198). Outro motivo é que ao reiniciar a simulação, o contador de programa utiliza o endereço 0, o que causaria problemas caso este estivesse ocupado com uma rotina de tratamento de interrupção.

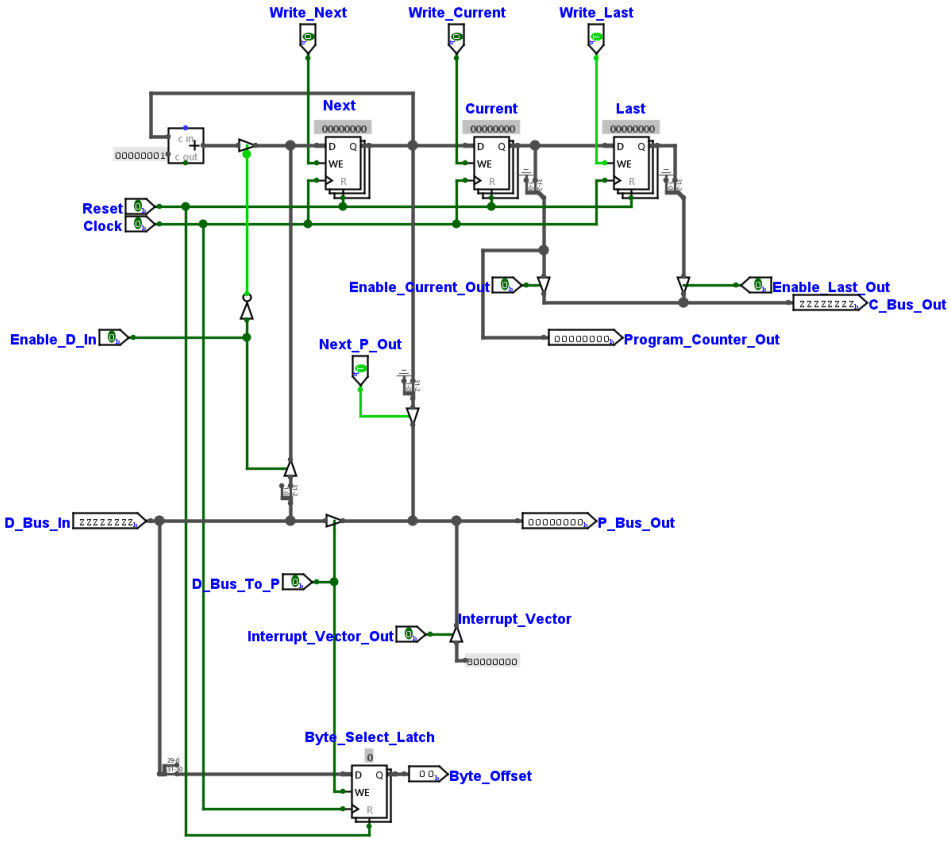

Figura 12 – Contadores de programa no Logisim

O componente mostra o valor de cada um dos contadores em tamanho grande, um seguido pra outro, com a conexão indicado por uma seta. O número de seleção do *byte* também foi adicionado ao lado de sua saída. Todas as entradas ficam à esquerda enquanto as saídas ficam à direita. em cima foram adicionados os sinais de *clock* e *reset*

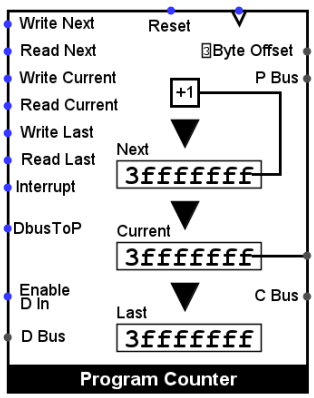

Figura 13 – Pacote dos contadores de programa no Logisim

3.5 Registrador Imediato

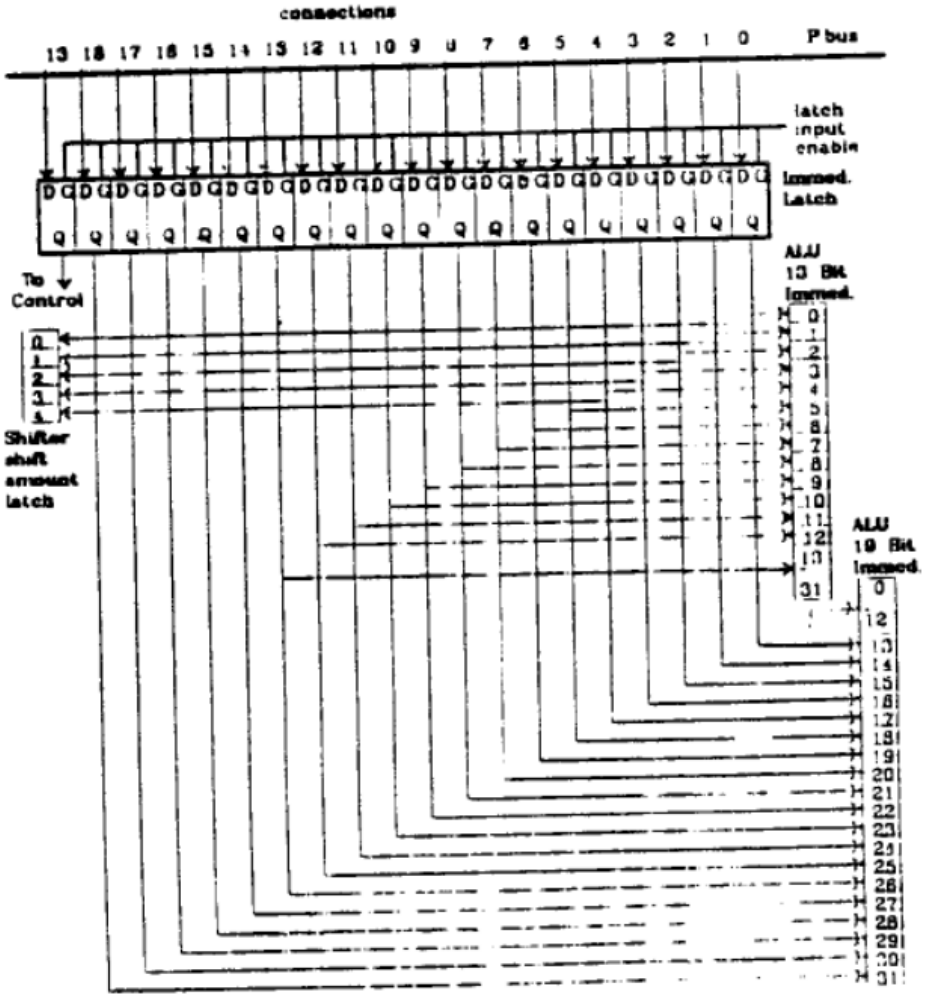

Figura 14 – Registrador imediato(PEEK, 1983)

Para a implementação do imediato foi utilizado um *flip flop* de 19 bits, similar a proposta do original. O diagrama original deixa a ideia de que a saída de 19 bits serve apenas para carregar os 19 bits mais significantes para a ula, porém como indicado por Katevenis (1985, p. 40), as instruções relativas utilizam os 19 bits e não necessariamente carregados nos bits mais significantes. Para a seleção do *Load High* foi adicionada uma entrada no circuito como mostrado na figura 15.

Katevenis também diz que a saída de 13 bits possui sinal estendido, que foi implementado no Logisim com um componente de extensor de bits, que também foi utilizado para estender os bits da saída de 19 bits.

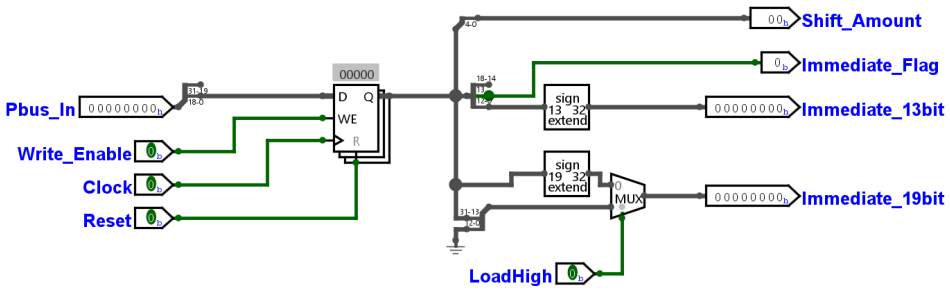

Figura 15 – Registrador imediato no Logisim

O imediato possui todas suas saídas à direita e sinais de controle acima e à esquerda. Adicionalmente foi adicionado um texto com o valor atual do registrador.

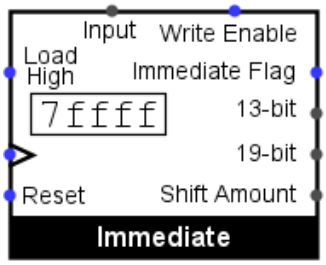

Figura 16 – Pacote do registrador imediato no Logisim

3.6 *Buffer* de entrada e saída

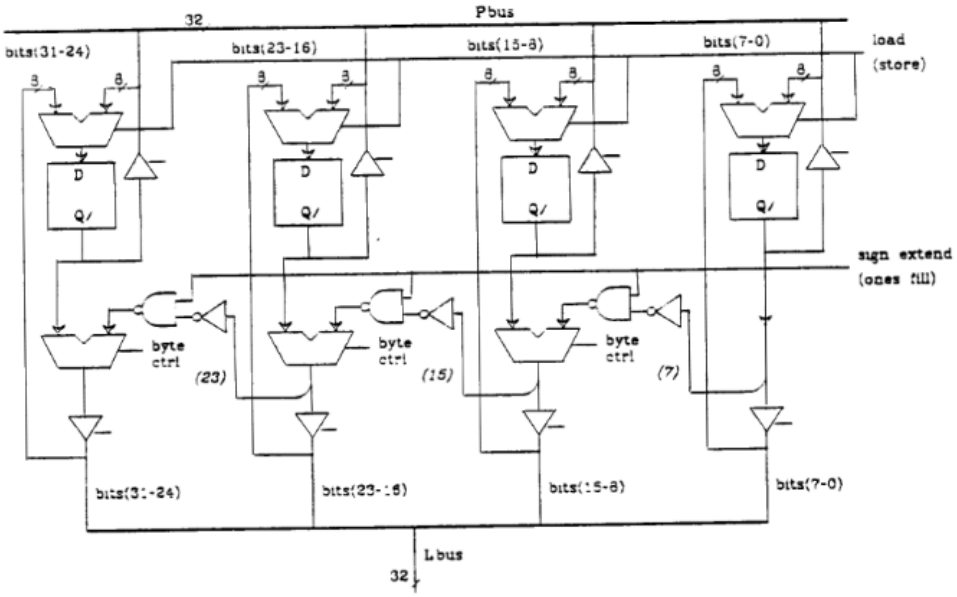

Figura 17 – *Buffer* de entrada e saída(PEEK, 1983)

Para poder haver a troca de informações entre o processador e dispositivos de entrada e saída precisamos de um componente que consiga tratar esta troca de informações. Este componente é o *buffer* de entrada e saída(*dataIO*), que é responsável por receber e enviar dados para a memória do sistema através do barramento P, e estender o sinal caso a informação recebida não ocupe os 32 bits.

No outro lado do *dataIO* temos o barramento L, que é uma conexão com o deslocador, que também é utilizado ao carregar dados da memória. O *dataIO* consegue através de *buffers tri-state* alterar qual barramento esta recebendo informações e qual esta enviando.

Na implementação do Logisim(figura 18), parte do controle de byte(um componente de controle separado na implementação original) foi adicionado ao circuito. Esta parte é o decodificador de byte, que recebe qual é o tamanho da informação(8, 16 e 32 bits) e qual é o seu deslocamento(8, 16 ou 24 bits), como por exemplo, um byte pode estar tanto nos 8 bits mais significativos quanto nos 8 menos significativos. A informação decodificada então controla os *muxes* que selecionam quais *bytes* vão receber a informação e quais serão estendidos. Dos que são estendidos, estes podem estendidos por sinal ou com zeros, o que é definido pela entrada de controle de dado com sinal(*Signed_Data*)

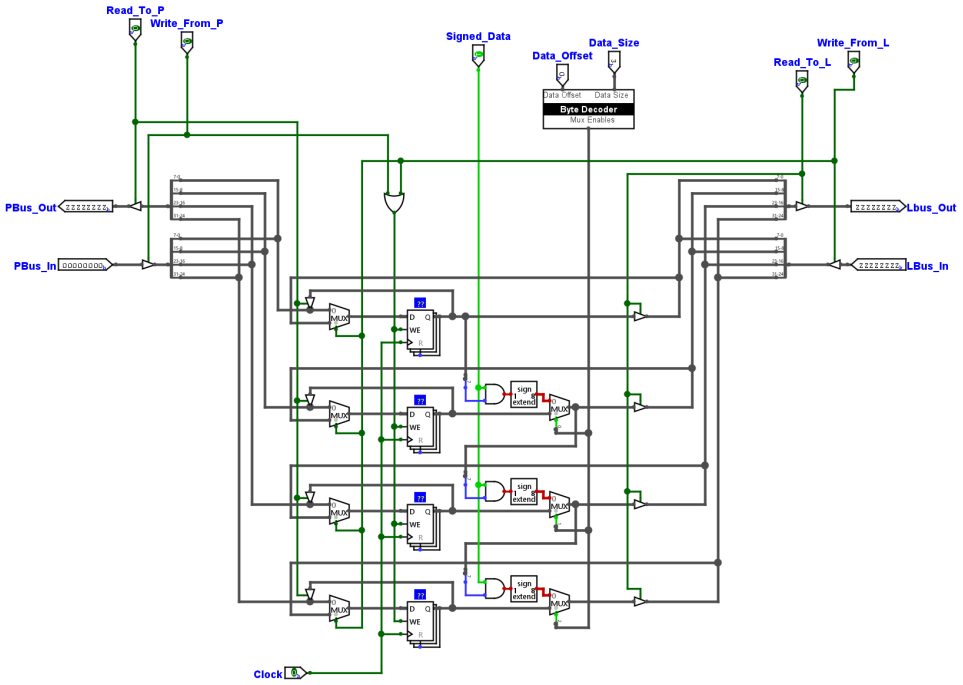

Figura 18 – Circuito do *buffer* de entrada e saída no Logisim

O componente do dataIO possui uma certa simetria, onde tanto em baixo quanto em cima há a entrada e saída dos barramento, um controle para leitura e outro para escrita. Como dito na seção 3.1, as conexões que são tanto entrada quanto saída precisam ser recriadas usando uma entrada e uma saída. Como o Logisim não permite que a entrada e saída fiquem no mesmo lugar, uma das duas conexões é colocada à frente da outra, permitindo que um fio passe por elas e as conecte. Os sinais de controle de *byte* ficaram à direita do componente enquanto o clock ficou à esquerda.

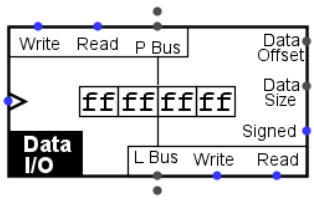

Figura 19 – Pacote do *buffer* de entrada e saída no Logisim

3.7 Unidade Lógica e Aritmética

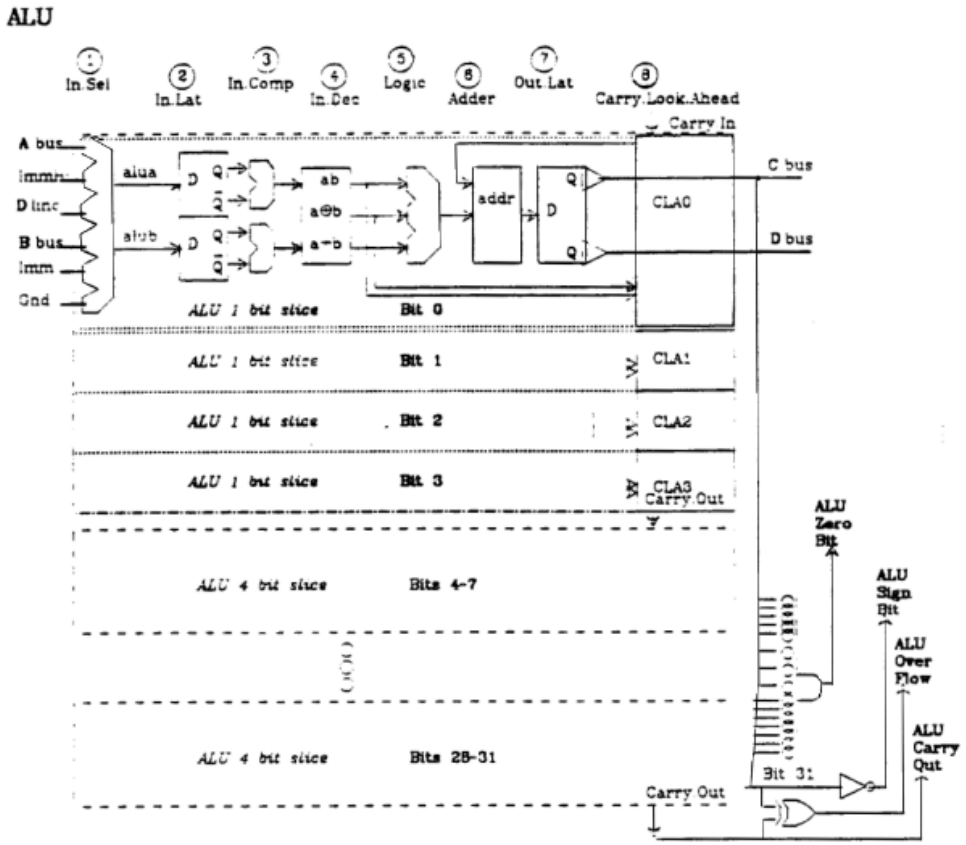

Figura 20 – Unidade lógica e aritmética(PEEK, 1983)

A Implementação original da Unidade Lógica e Aritmética(ULA) possui 7 entradas de valores(Barramentos A e B, imediato de 13 e 19 bits, contador de programa, conexão terra e *carry* in) e 6 saídas(barramentos C e D, e as *flags* zero, sinal, *overflow* e *carry out*). Ela pode ser separada entre 8 partes, porém para a implementação no simulador, houve uma simplificação nos circuitos, resultando em 6 partes:

1. Seleção de entrada: Na implementação do Logisim(figura 21), esta foi feita utilizando 2 *muxes*, um para a entrada do primeiro parâmetro, que escolhe entre o barramento A, o Contador de Programa e a conexão terra, enquanto o outro seleciona entre os imediatos e o barramento B.

2. *Latch* de entrada: Dois *latches*(*flip flops* no Logisim) recebem as entradas que foram selecionadas no passo anterior durante a descida de *clock* com o pino de escrita da ULA ligado, geralmente na fase 1.

3. Troca de operantes: Na implementação original esta parte seria um complementador, porém o trabalho do Peek não explica direito como o complemento dos operadores é utilizado, sem contar que não há nenhuma operação puramente de complementação documentada. No Logisim, esta parte é utilizada para trocar os operantes A e B, para assim realizar as operações de subtração onde o B deve vir primeiro. Para alterar a ordem dos operantes, foi designado o bit 4 da entrada de operação como controle dos *muxes*.

4. Cálculo de operações: Os operantes então passam por diversos circuitos que calculam as operações da ULA. Diferentemente da implementação original, a implementação desse trabalho inclui um bloco de adição e subtração diretamente nessa seção para simplificar o circuito mantendo a mesma funcionalidade. Os circuitos aritméticos possuem saídas de *carry out* que são selecionadas a partir de um *mux* controlado pelo segundo bit da entrada da operação.

5. Seleção do resultado: O resultado é então escolhido por um *mux* que recebe a entrada do operador como controle.

6. *Latch* de saída: Um *latch*, que também foi implementado com um *flip flop* no Logisim, salva o resultado da operação durante a fase 2 para poder ser finalmente lida na fase 3. As *flags* de resultado, comumente chamadas de CNZV, representam respectivamente *carry*, negativo, zero e *overflow*, e são apenas válidas após a escrita do *flip flop* de saída.

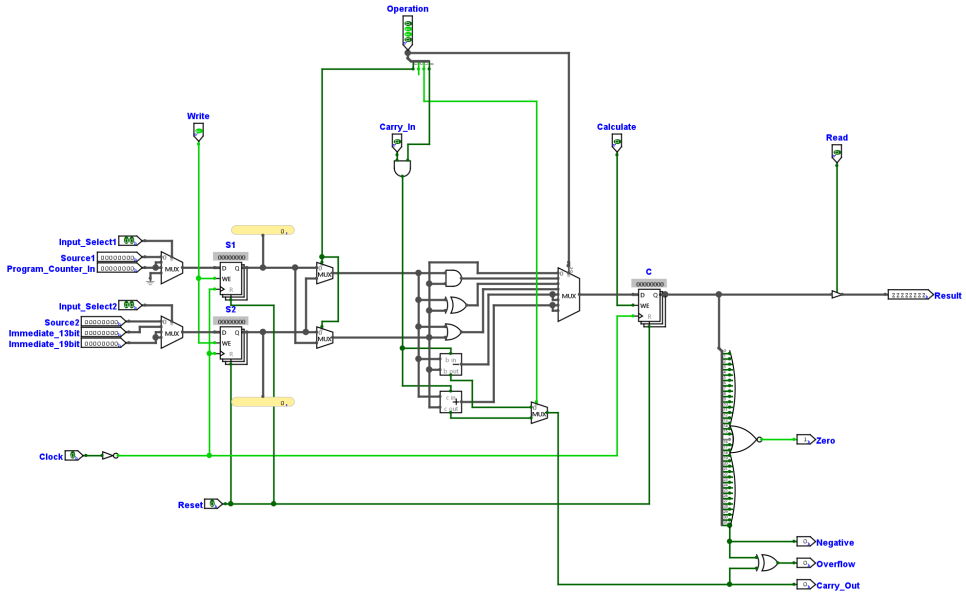

Figura 21 – Implementação da ULA no Logisim

Para a representação visual do componente, adotou-se o formato comumente utilizado em diagramas de arquiteturas, conforme ilustrado na Figura 22. As entradas da Fonte 1, o seletor correspondente e o *carry in* estão posicionados à esquerda, na parte superior da ULA. Na parte inferior esquerda, encontram-se a seleção da Fonte 2 e suas respectivas entradas. A seleção de operação, o *clock* e o *reset* estão centralizados no lado esquerdo. Os sinais de leitura, execução e escrita estão localizados acima do componente. Por fim, a saída das *flags* e do resultado final está à direita do componente.

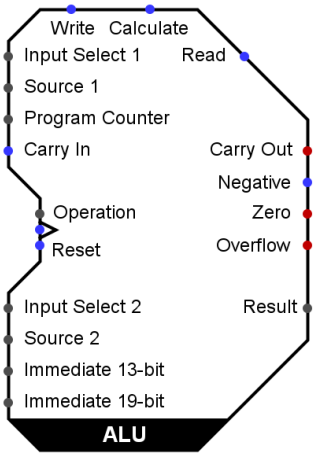

Figura 22 – Pacote da ULA no Logisim

Apesar de ser considerado, não foi adicionado nenhum texto que mostre o valor dos registradores da ULA em seu pacote. isso se deve a falta de espaço utilizável, que torna difícil uma inserção desses

textos sem aumentar o componente de tamanho. Futuramente isto pode ser reconsiderado, pois a exibição desses valores pode ser uma grande ajuda em passos de *debugging*

3.8 Deslocador

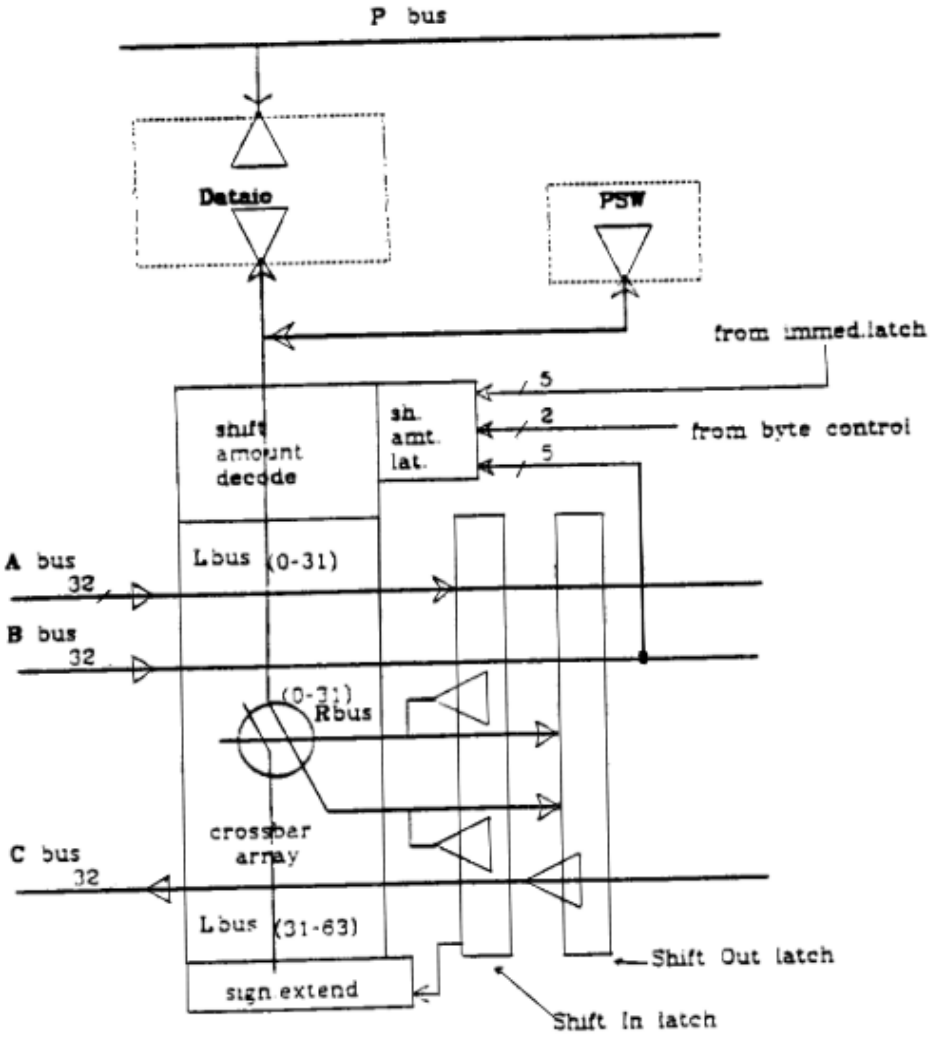

Figura 23 – Deslocador(PEEK, 1983)

O deslocador no RISC I possui uma importância não só para a possibilidade de realizar cálculos de deslocamento, mas também porque ele serve como parte da interface para exterior do processador, juntamente com o *dataIO*. Na implementação original ele possui dois barramentos internos, o barramento R(direita) e L(esquerda), que se conectam utilizando um matriz de conexões transversais, ou *crossbar array*.

Ao invés de recriar o *crossbar array*, foram utilizados diretamente os componentes de deslocamento de bits já prontos do *Logisim*. Isso permite uma visualização mais simplificada do circuito final. O barramento R foi omitido enquanto o L foi mantido explicitamente para conexões externas como a do *dataIO*.

Em instruções de carregamento, assim que uma informação é recebida, esta informação deve ser alinhada pelo deslocador caso ela não comece no primeiro byte. Para isso é realizado um deslocamento aritmético para a direita que alinha a informação ao primeiro byte, enquanto o sinal do valor é mantido.

Assim como a ULA, para haver sincronia de dados, os *clocks* dos registradores de entrada foram invertidos, porém não houve necessidade dessa inversão no registrador de saída.

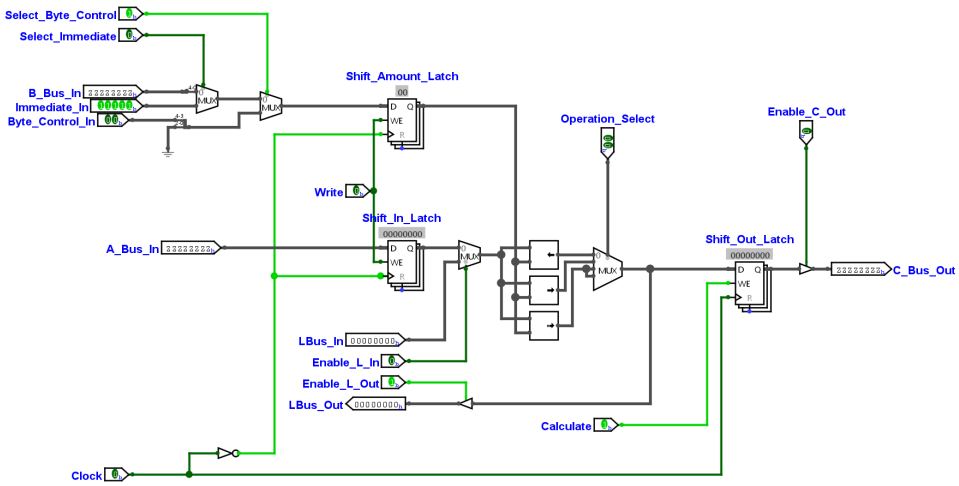

Figura 24 – Deslocador no Logisim

Para o pacote do deslocador foram adicionados textos com os valores dos registradores de entrada e saída, além da quantidade de deslocamento. linhas foram adicionadas para indicar algumas das conexões internas de entrada e saída. À direita foram colocados sinais de controles gerais com a saída para o barramento C na parte mais inferior. À esquerda há a seleção da operação e da entrada da quantidade de deslocamento, com a entrada A na parte mais inferior. No Topo do deslocador ficam o *clock* e a conexão de entrada e saída com o barramento L.

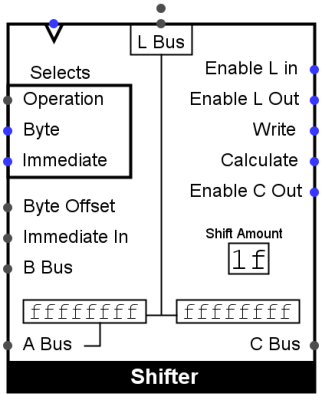

Figura 25 – Pacote do deslocador no Logisim

3.9 Arquivo de Registradores

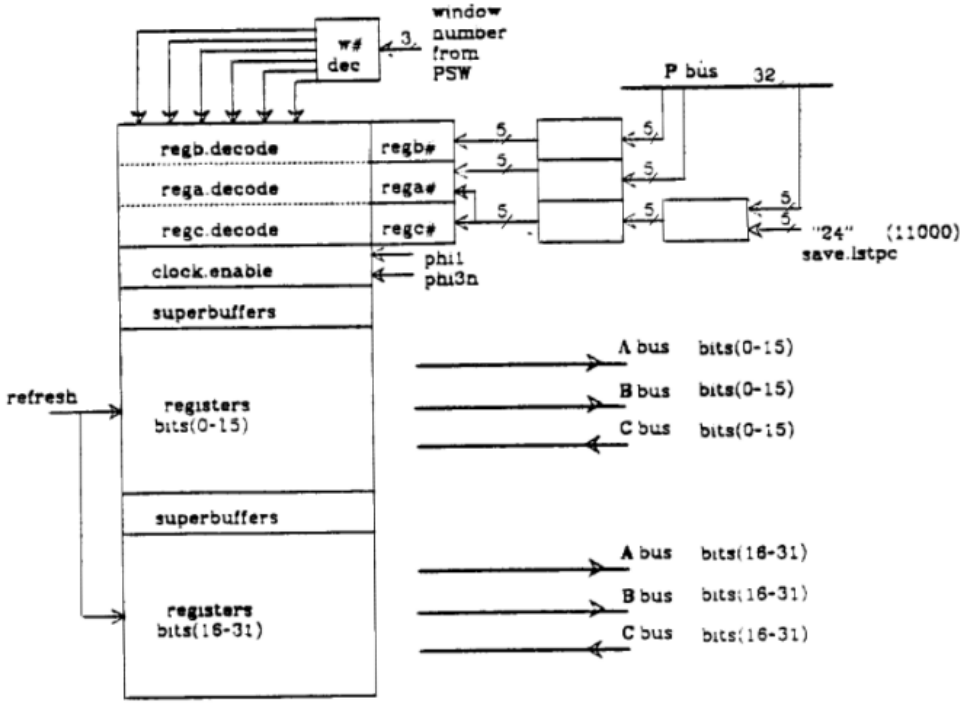

Figura 26 – Arquivo de registradores(PEEK, 1983)

O arquivo de registradores é uma das peças mais importantes da arquitetura RISC I, permitindo a simplicidade de seu funcionamento. Nos chips RISC I e RISC II, ele ocupa a maior parte do chip e armazena informações de forma similar a uma pilha (*stack*).

Os programas têm acesso a 32 registradores. O primeiro registrador é conectado ao terra, retornando 0 quando chamado e não sendo modificado quando utilizado como destino. 17 registradores são globais, e as últimas 14 conexões são dinâmicas, ligadas a diferentes grupos de registradores locais, chamados janelas. Essas janelas mudam a cada instrução de chamada e retorno, similar ao funcionamento de uma pilha. Os quatro primeiros registradores locais correspondem aos quatro últimos da janela anterior, permitindo o compartilhamento de parâmetros entre janelas.

O RISC I original implementa apenas 6 janelas, mas com pequenas modificações no circuito, é possível adicionar mais 2, como no RISC II. Na implementação realizada, foi utilizado o padrão de tamanho de janelas do RISC II, com apenas nove registradores globais, mas 16 locais, dos quais seis são compartilhados entre janelas. Isso permite que mais parâmetros sejam passados pelos registradores em chamadas de funções e retornos, reduzindo a necessidade de armazenamento em memória com instruções de *load* e *store*, acelerando o processamento.

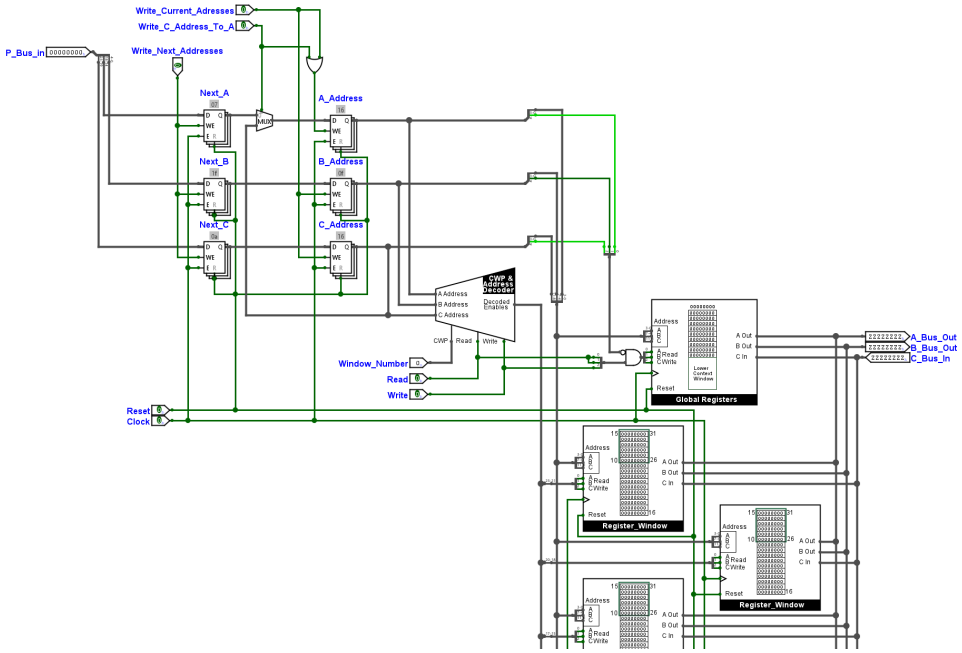

Figura 27 – Arquivo de registradores no Logisim

A figura 27 mostra uma parte do circuito to arquivo de registradores. A parte que não é mostrada é apenas a repetição dos 8 registradores locais. Algumas partes do circuito foram separadas em componentes próprios para simplificar a construção do modelo e melhorar o entendimento visual.

No RISC original, há 7 *latches* para armazenar os endereços durante as diversas fases da *pipeline*. No entanto, foi possível reproduzir a mesma funcionalidade utilizando apenas 6 *flip-flops*. Destes, 3 armazenam a instrução que está sendo lida da memória, enquanto os outros 3 armazenam os endereços que estão sendo executados.

Em instruções de *store*, o endereço C precisa ser passado para o endereço A, pois ele contém o registrador com a informação que deve ser gravada. Esta informação, por sua vez, deve ser passada como parâmetro para o deslocador. Para a passagem do endereço C para o endereço A, a saída do endereço C que está em execução é conectada à entrada do endereço A em execução através de um multiplexador.

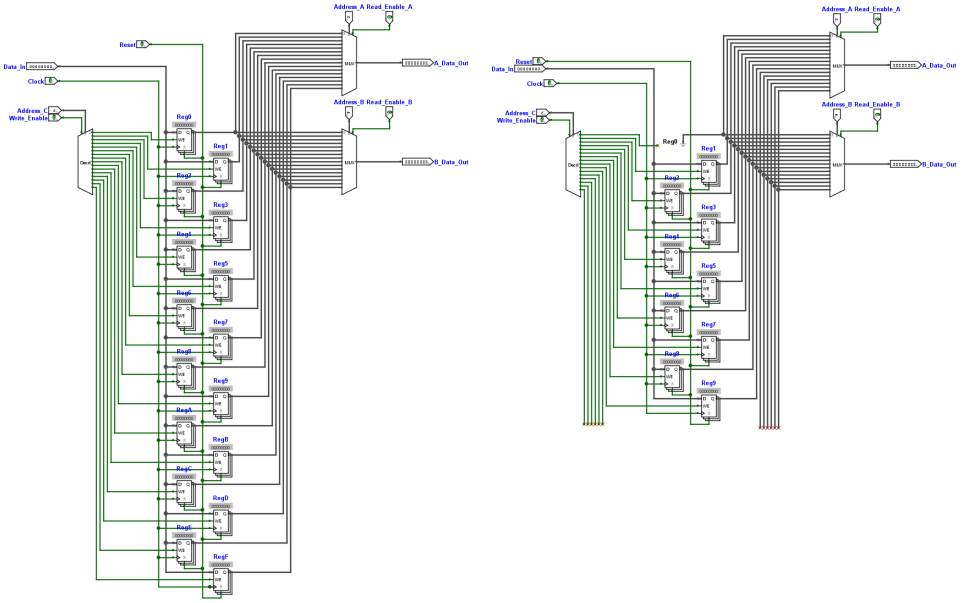

Figura 28 – À direita, uma célula de registradores locais; À esquerda, a célula contendo os registradores globais

A figura 28 mostra os circuitos de uma janela de registradores e os registradores globais. O circuito da janela recebe os 4 bits menos significativos dos endereços, que são utilizados em decodificadores e multiplexadores para a seleção dos registradores que serão lidos e escritos.

Para a seleção de qual registrador está sendo escrito, foi utilizado um decodificador que, ao receber o endereço e o sinal de escrita, ativa o pino de leitura de um dos 16 registradores da janela. Para a leitura de dados, foram utilizados 2 multiplexadores, um para cada barramento de leitura. Cada entrada dos multiplexadores recebe um registrador diferente e, ao receber o sinal de leitura com o endereço, a informação do registrador selecionado é retornada pelo componente. Caso não haja sinal de leitura, a conexão fica em alta impedância, similar a um *buffer tri-state*, o que permite conectar a saída de várias janelas nos barramentos A e B sem criar curtos.

Para a criação dos registradores globais foi reutilizado o layout do circuito da janela, porém os 6 últimos registradores foram removidos por serem os registradores locais da janela abaixo, enquanto o primeiro registrador foi substituído por uma conexão terra na saída, retornando sempre 0. Será mostrado depois que os sinais pros registradores da janela anterior ainda são passados para esse componente, porém, por não haver nenhuma conexão interna, nenhum dado é gravado ou retornado neste componente quando isso acontece.

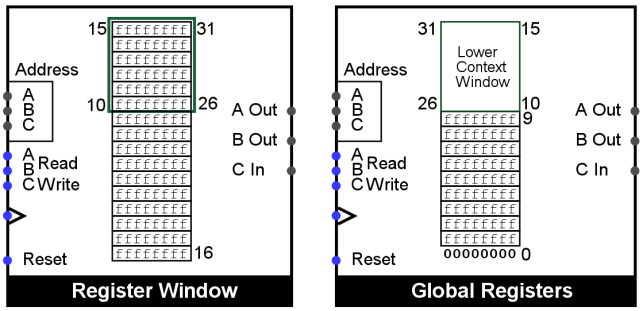

Figura 29 – Pacotes das células locais e globais das janelas de registradores.

Os pacotes dos componentes ficaram similares. À esquerda, o componente recebe os três endereços dos registradores sendo usados pela instrução atual. Abaixo dos endereços, há três sinais de leitura e escrita, que só se ativam na janela em uso. À direita, estão as conexões de troca de dados: as

saídas nos barramentos A e B, e a entrada no barramento C. No centro, é possível ver o valor de todos os registradores, com alguns endereços à direita (se for a janela atual) e à esquerda (se for a janela inferior), para ajudar na localização dos registradores compartilhados entre janelas.

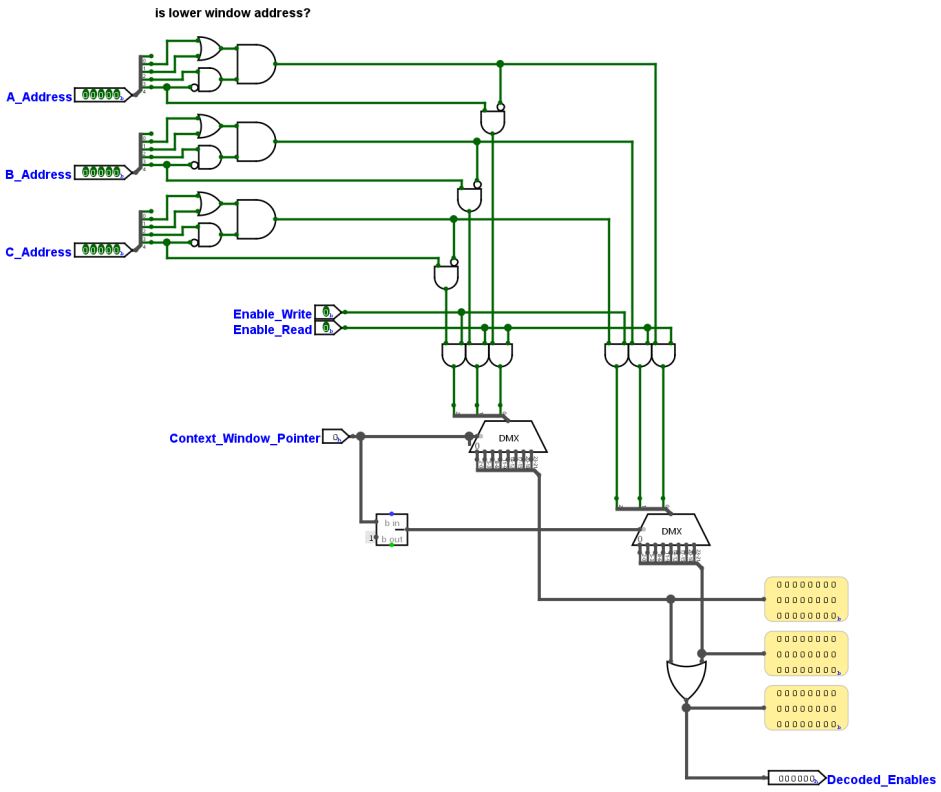

Figura 30 – Decodificador de endereço e do ponteiro da janela atual no Logisim

A figura 30 mostra o circuito do decodificador de endereços. Este componente recebe cada um dos endereços na instrução em execução e o número de janela, e retorna sinais controle para a janela que esta em atividade. Caso o endereço esteja abaixo de 10, é um endereço global e não ativa nenhuma das janelas. Caso o endereço esteja entre 10 e 15, o sinal de controle vai para a janela que esta abaixo da janela atual. Caso seja entre 16 e 31 então o sinal de controle vai para a janela atual.

Note que na figura 27, os sinais de controle para os registradores globais não passam pelo decodificador. Para ativar os registradores globais, é necessário apenas verificar se o bit mais significativo é 0. Caso seja 0, o registrador sendo manipulado é ou o local da janela anterior ou um dos globais. Como no componente de registradores globais as posições dos registradores locais não estão conectadas a nada, podemos enviar sinais de controle a este componente sem nos preocupar com a escrita simultânea em alguma janela local.

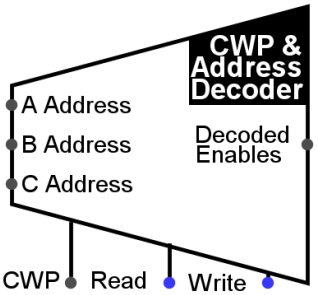

Figura 31 – Pacote do decodificador de endereço e do ponteiro da janela atual

O Pacote do circuito possui um formato similar ao de um de-multiplexador. A entrada dos endereços fica à esquerda enquanto a saída dos sinais de controle para cada janela fica à direita. Em baixo do componente temos a entrada do número de janela atual(CWP) e dos sinais de leitura e escrita.

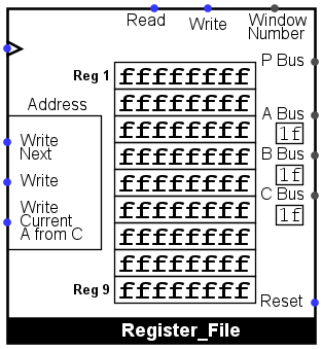

Figura 32 – Pacote do arquivo de registradores no Logisim

Por fim, temos o pacote que engloba o arquivo de registradores, similar ao componente de janelas individuais, com os registradores globais no centro. Nas entradas e saídas dos barramentos A, B e C à direita, foram adicionados textos exibindo os endereços dos registradores utilizados. Há uma entrada do barramento P acima dos outros barramentos, usada para obter os endereços dos registradores da instrução lida. Acima do componente, temos a entrada do número de janela e os sinais de controle para leitura e escrita dos dados armazenados. À esquerda, encontram-se os sinais de controle para a escrita de endereços: os próximos endereços, os endereços da instrução em execução e a escrita do endereço C no A.

3.9.1 Controlador de Janela

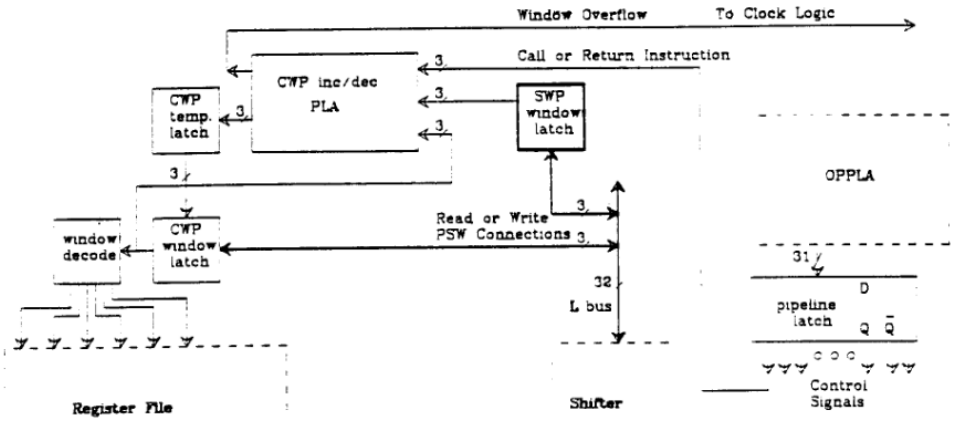

Figure 27: RISC I Window Controller Block Diagram

Figura 33 – Controlador de janela(PEEK, 1983).

O controlador de janela original (figura 33) serve para guardar não só o número da janela atual, mas também o menor número de janela que foi salvo para poder ser usado no tratamento de *overflows* de janela. Uma diferença na implementação realizada no Logisim foi que o número de janela aumenta em instruções de chamada e diminui em instruções de retorno. Isso foi feito para ficar mais alinhado com a ideia de uma pilha, além de fazer um pouco mais de sentido começar no 0 e a cada chamada aumentar o número. Esta modificação não gerou nenhuma diferença na funcionalidade da arquitetura, mas caso seja um problema futuro, pode ser facilmente revertido com poucas alterações.

No controlador de janela original, há um decodificador embutido que transforma o número binário em um fio para cada janela, porém como mostrado na seção 3.9, essa decodificação ocorre dentro do arquivo de registradores, então foi removido da implementação no simulador. Para o cálculo de acréscimo e decremento de janela foi utilizados componentes subtratores e somadores conectados a um multiplexador para a seleção da operação. Finalmente foi utilizado um componente de comparação para a detecção de overflow de janelas.

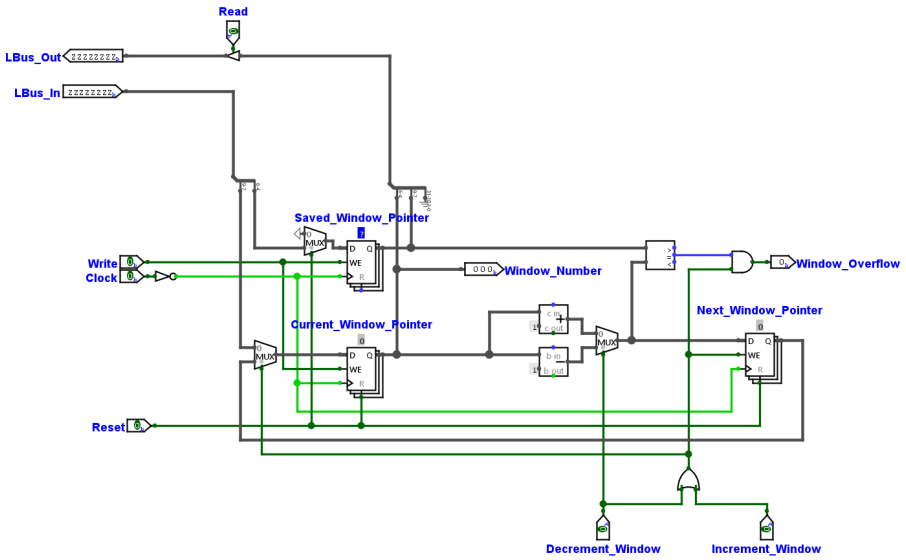

Figura 34 – Controlador de janela no Logisim

O pacote do contador possui os sinais de controle à direita junto com a conexão para o barramento L. A saída do número da janela fica a baixo e os sinais de reset e clock ficam à esquerda.

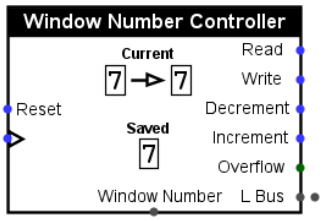

Figura 35 – Pacote do controlador de janela no Logisim

3.10 Palavra de Estado do Processador

A palavra de estado do processador precisa indicar duas coisas, os códigos de condição, que são retornados pela ULA, e os números de janela atual e salva. Na especificação original é utilizada uma palavra inteira(32 bits), mesmo que a informação salva ocupe apenas 10 desses bits, logo os outros 22 bits podem ser definidos pelo usuário ao utilizar a instrução "PUTPSW".

O trabalho de Peek não detalha a implementação deste componente, então foi realizada a implementação a partir das especificações necessárias para seu funcionamento. Um registrador de 32 bits se conecta a entrada e saída para barramento L, assim pode ser utilizado nas instruções que modificam ou leiam seu valor, além de poder se comunicar com o registrador de número de janela.

Quando a ULA realiza uma operação e a *flag* para mudar códigos de condição(SCC) esta ativa, o código CNZV é gravado no registrador. O funcionamento da flag SCC será explicada em mais detalhe no capítulo 3.12, mas podemos dizer que ela é gravada durante a busca de instrução e transmitida para o PSW durante a fase 3n. Nessa implementação, o número de janela é apenas gravado durante a

ativação da *flag* SCC. Caso a instrução em execução seja "PUTPSW", esta grava o seu valor durante a fase 2n.

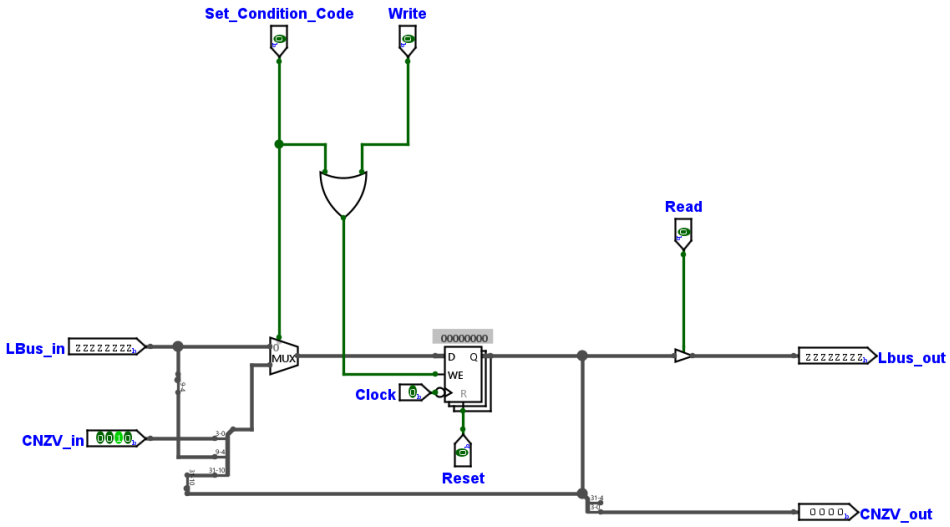

Figura 36 – Registrador de palavra de estado do processador no Logisim

O pacote do PSW possui sua conexão com o barramento L à esquerda, e o CNZV à direita. sinais de controle foram deixados em ambos os lados para manter o componente mais compacto. Adicionalmente, pela importância de seu valor, foi adicionado um texto grande que fica logo acima de seu título.

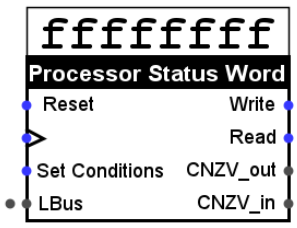

Figura 37 – Pacote do registrador de palavra de estado do processador no Logisim

3.11 Entrada e Saída

O RISC I pode se comunicar externamente com outros dispositivos através do barramento P, que se conecta diretamente a memória e dispositivos de entrada e saída. Além do barramento P, Alguns sinais de controle também devem ser utilizados para indicar quando uma leitura ou escrita devem ser realizadas, além de sinais para indicar qual é o tamanho do dado que esta sendo lido ou escrito. Finalmente, alguns sinais de temporização são utilizados para indicar quando o registrador de endereço da memória deve ser escrito, que ocorre durante as fases 1n e 3s.

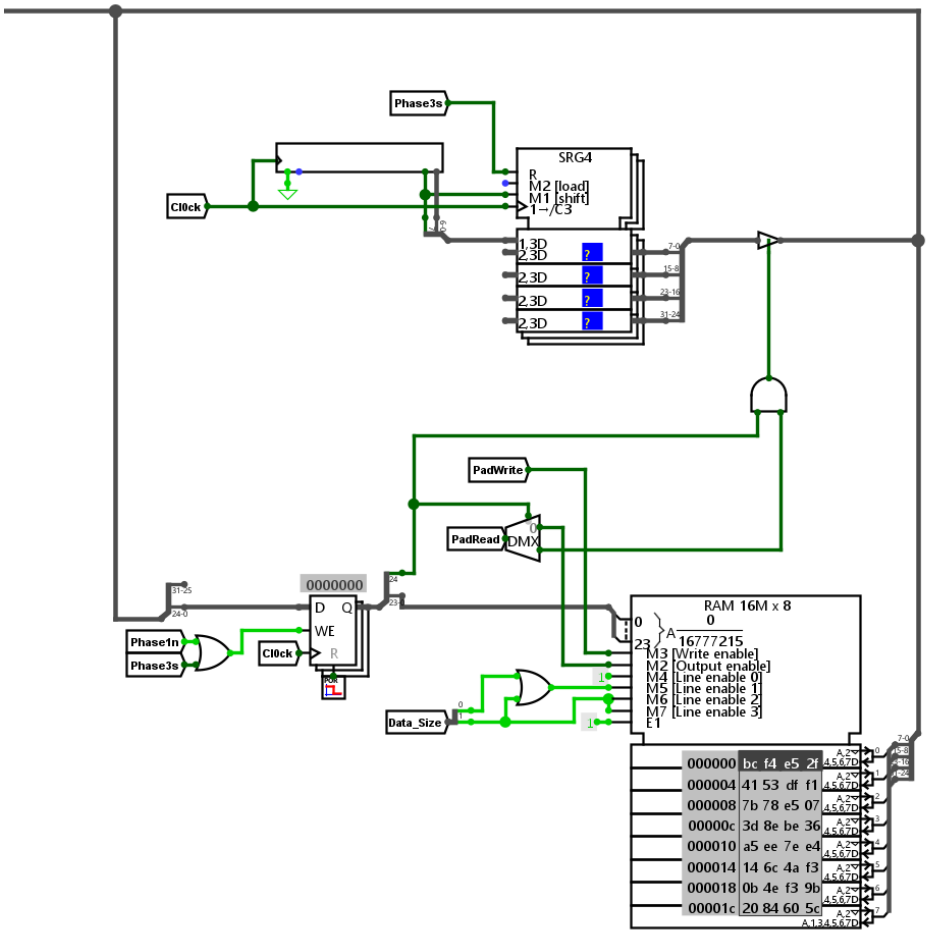

Figura 38 – Dispositivo de entrada(Acima) e memória RAM(Abaixo)

A Figura 38 ilustra a memória RAM com seu controle e um dispositivo rudimentar para leitura de dados pelo usuário. Um registrador de 25 bits foi adicionado para armazenar o endereço utilizado. Os 24 bits menos significativos são direcionados diretamente para a memória RAM, enquanto o bit 25 indica que o endereço sendo lido pertence ao dispositivo de entrada. O registrador de endereços é atualizado durante a fase 1n no ciclo de busca de instrução e durante a fase 3s no ciclo de *load* e *store*.

A memória RAM foi criada a partir de um componente pronto do Logisim, permitindo que programas compilados sejam carregados diretamente nela. Cada endereço possui 1 byte de informação e, a cada leitura, 4 endereços são lidos simultaneamente. Estes podem ser truncados e alinhados pelo *dataIO* e pelo deslocador, caso a informação buscada seja menor que 32 bits. Durante a escrita, o endereço enviado para o registrador não precisa estar alinhado aos endereços das palavras completas (de 4 em 4), diferentemente da leitura. Além disso, um sinal do tamanho do dado sendo escrito deve ser enviado para a memória, podendo limitar a quantidade de endereços escritos a 1 ou 2 bytes.

O dispositivo de entrada foi criado a partir de dois componentes do Logisim: um para coletar entrada do teclado em código ASCII e um registrador de deslocamento para armazenar os 4 últimos caracteres digitados (*buffer* de entrada). A implementação deste dispositivo permite que dados escritos pelo usuário sejam lidos pelo processador sem a necessidade de alterar diretamente a memória RAM do sistema, oferecendo uma interface interativa. No entanto, a implementação possui várias limitações, como a falta de uma limpeza do *buffer* após a leitura, a ausência de mecanismos para detectar quando não há novas informações para serem lidas e o tamanho limitado do *buffer*. Este dispositivo pode ser aprimorado em versões futuras deste trabalho. No momento da criação deste relatório, ele serve mais como uma prova de conceito.

3.12 Controle

O circuito de controle (figura 39) foi uma das partes mais diferentes da implementação original pela falta de informação no trabalho original. Apesar disso, foi possível replicar a mesma funcionalidade do original utilizando alguns dos conceitos que foram apresentados de forma geral.

Foi utilizado um registrador que armazena a próxima instrução a ser executada na pipeline, que se conecta a 3 registradores referentes a instrução em execução, estes sendo o registrador do código da instrução(*opcode*), um que armazena qual código de condição que esta sendo usado caso seja uma instrução "JMP", e o bit que diz se a ULA deve gravar no PSW. Além desses registradores, também há um registrador CNZV que copia os códigos de condição da PSW.

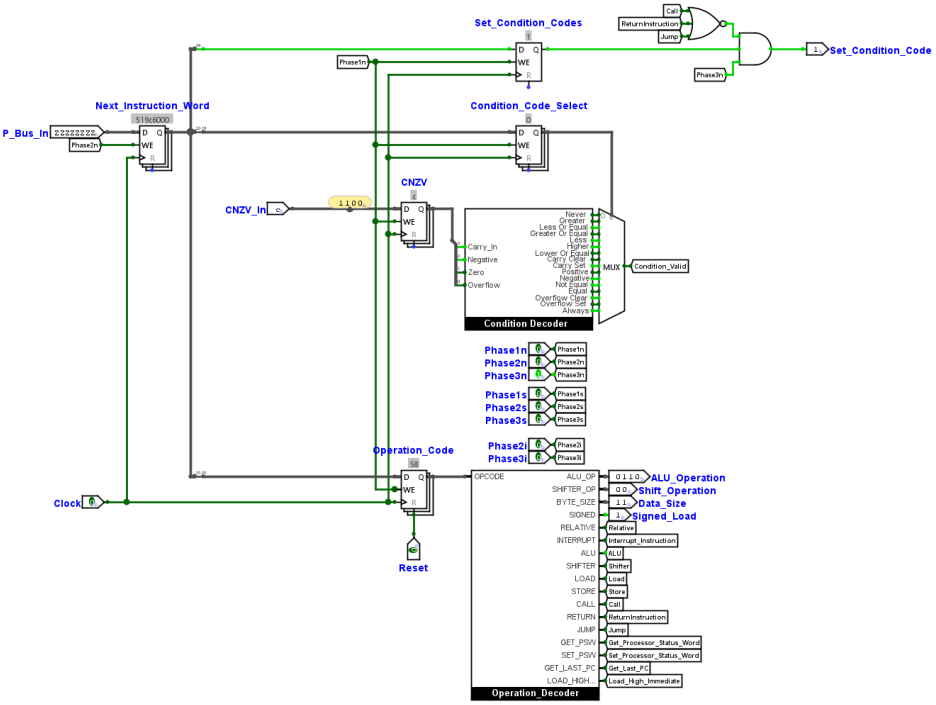

Figura 39 – Registradores e decodificadores do controlador.

A informação armazenada pelos registradores passa então por uma decodificação em 2 partes. A primeira separa o *opcode* em sinais que representam informações sobre qual tipo de instrução esta em execução. Esses sinais podem ser vistos no componente *Operation Decoder* na figura 39, e as suas ativações podem ser vistas na tabela 3. Além da decodificação do *opcode*, também é realizada a decodificação do código de condição, resultando em 16 sinais diferentes que são escolhidos por um multiplexador controlado pelo registrador de seleção do código de condição.

Após a primeira parte da decodificação, vem a segunda parte, que combina os sinais gerados com os sinais das fases, gerando sinais compatíveis com os que cada componente individual recebe. Estes sinais e suas lógicas podem ser vistas na figura 40.

	Entrada	Parâmetros							Instruções									
Mnemonico	OPCODE[6..0]	ALU_OP[3..0]	SHIFTER_OP[1..0]	BYTE_SIZE[1..0]	SIGNED	RELATIVE	INTERRUPT	ALU	SHIFTER	LOAD	STORE	CALL	RETURN	JUMP	GET_PSW	SET_PSW	GET_LAST_PC	LOAD_HIGH_IMMEDIATE
CALLI	0000XXX	0110	00	11	1	0	1	0	0	0	0	1	0	0	0	0	0	0
CALL	000100X	0110	00	11	1	0	0	0	0	0	0	1	0	0	0	0	0	0
JMP	000101X	0110	00	11	1	0	0	0	0	0	0	0	0	1	0	0	0	0
CALLR	000110X	0110	00	11	1	1	0	0	0	0	0	1	0	0	0	0	0	0
JMPR	000111X	0110	00	11	1	1	0	0	0	0	0	0	0	1	0	0	0	0
SLL	0010X0X	0110	00	11	1	0	0	0	1	0	0	0	0	0	0	0	0	0
GETPSW	0010X1X	0110	00	11	1	0	0	0	0	0	0	0	0	0	1	0	0	0
SRL	001100X	0110	01	11	1	0	0	0	1	0	0	0	0	0	0	0	0	0
PUTPSW	001101X	0110	00	11	1	0	0	0	0	0	0	0	0	0	0	1	0	0
SRA	00111XX	0110	10	11	1	0	0	0	1	0	0	0	0	0	0	0	0	0
ILLEGAL	01000XX	0110	00	11	1	0	0	0	0	0	0	0	0	0	0	0	0	0
LDBU	0100100	0110	00	00	0	0	0	0	0	1	0	0	0	0	0	0	0	0
LDRBU	0100101	0110	00	00	0	1	0	0	0	1	0	0	0	0	0	0	0	0
LDBS	0100110	0110	00	00	1	0	0	0	0	1	0	0	0	0	0	0	0	0
LDRBS	0100111	0110	00	00	1	1	0	0	0	1	0	0	0	0	0	0	0	0
LDW	01010X0	0110	00	11	1	0	0	0	0	1	0	0	0	0	0	0	0	0
LDRW	01010X1	0110	00	11	1	1	0	0	0	1	0	0	0	0	0	0	0	0
LDSU	0101100	0110	00	01	0	0	0	0	0	1	0	0	0	0	0	0	0	0
LDRSU	0101101	0110	00	01	0	1	0	0	0	1	0	0	0	0	0	0	0	0
LDSS	0101110	0110	00	01	1	0	0	0	0	1	0	0	0	0	0	0	0	0
LDRSS	0101111	0110	00	01	1	1	0	0	0	1	0	0	0	0	0	0	0	0
STS	01100X0	0110	00	01	1	0	0	0	0	0	1	0	0	0	0	0	0	0
STRS	01100X1	0110	00	01	1	1	0	0	0	0	1	0	0	0	0	0	0	0
STB	01101X0	0110	00	00	1	0	0	0	0	0	1	0	0	0	0	0	0	0
STRB	01101X1	0110	00	00	1	1	0	0	0	0	1	0	0	0	0	0	0	0
STW	0111XX0	0110	00	11	1	0	0	0	0	0	1	0	0	0	0	0	0	0
STRW	0111XX1	0110	00	11	1	1	0	0	0	0	1	0	0	0	0	0	0	0
AND	10000XX	0001	00	11	1	0	0	1	0	0	0	0	0	0	0	0	0	0
XOR	10001XX	0010	00	11	1	0	0	1	0	0	0	0	0	0	0	0	0	0
OR	1001XXX	0011	00	11	1	0	0	1	0	0	0	0	0	0	0	0	0	0
SUB	101000X	0100	00	11	1	0	0	1	0	0	0	0	0	0	0	0	0	0
SUBC	101001X	0100	00	11	1	0	0	1	0	0	0	0	0	0	0	0	0	0
SUBR	101010X	0101	00	11	1	0	0	1	0	0	0	0	0	0	0	0	0	0
SUBCR	101011X	1100	00	11	1	0	0	1	0	0	0	0	0	0	0	0	0	0
ADD	10110XX	0110	00	11	1	0	0	1	0	0	0	0	0	0	0	0	0	0
ADDC	10111XX	0111	00	11	1	0	0	1	0	0	0	0	0	0	0	0	0	0
RET	11000XX	0110	00	11	1	0	0	0	0	0	0	0	1	0	0	0	0	0
RETI	11001XX	0110	00	11	1	0	1	0	0	0	0	0	1	0	0	0	0	0
GETLPC	1101XXX	0110	00	11	1	0	0	0	0	0	0	0	0	0	0	0	1	0
LDHI	111XXXX	0000	00	11	1	0	0	0	0	0	0	0	0	0	0	0	0	1

Tabela 3 – Tabela de decodificação de *opcode*

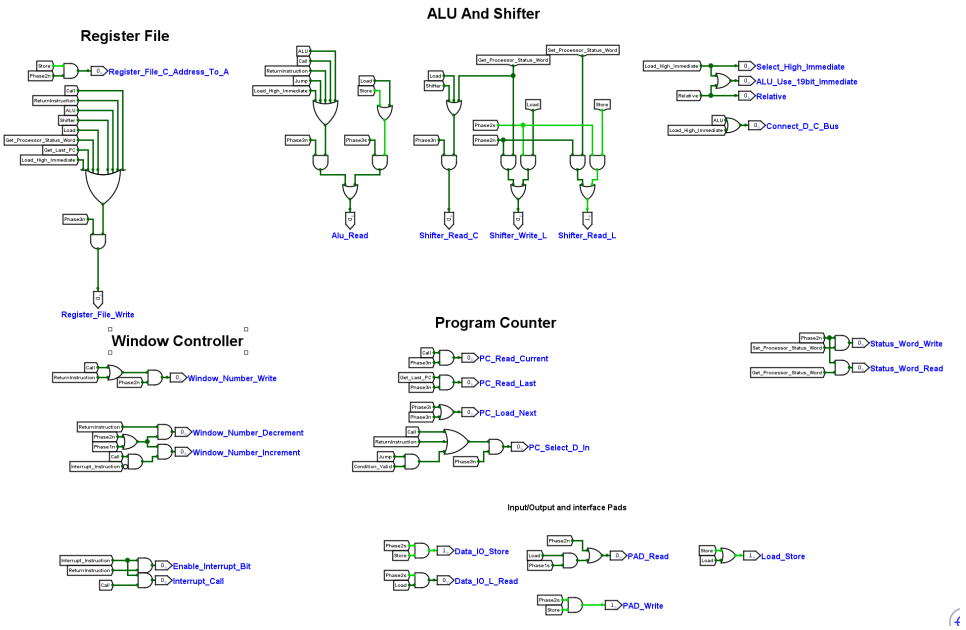

Figura 40 – Geração dos sinais de controle finais.

No pacote do componente é possível ver a entrada de todas fases na parte superior, junto com o *clock* e a entrada do barramento P. todas as saídas de controle ficaram nas laterais, junto com a entrada do CNZV na parte inferior esquerda, enquanto o *reset* fica em baixo. Para ajudar na organização os sinais foram agrupados em casos onde eles controlam o mesmo componente. Os registradores que guardam informações da instrução em execução tem seu valor exposto.

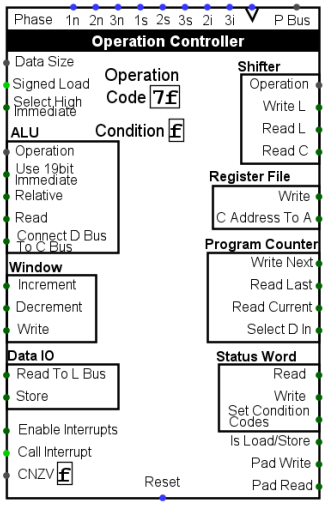

Figura 41 – Pacote do controlador principal no Logisim

3.13 Integração final

Para a conexão de todos os componentes algumas regras foram seguidas. Todos sinais do controlador são passados para os componentes utilizando componentes de portal para manter a visualização do circuito mais limpa, e a mesma regra vale para todos os sinais de tempo que se conectam diretamente aos componentes. Conexões de barramento devem ficar explicitas, e sinais de controles gerado por componentes que não são o controle também ficam explicitas, como por exemplo o *overflow* de janela. Um espaçamento mínimo foi dado para que os componentes não fiquem muito próximos, e qualquer conexão, quando possível, não pode passar sobre nenhuma outra. Componentes que tem seus valores gravados antes de serem lidos não precisam de sinal de *reset*, os que precisam tem

sua entrada de *reset* conectada a um componente que gera um sinal positivo por x tempo toda vez que a simulação é reiniciada.

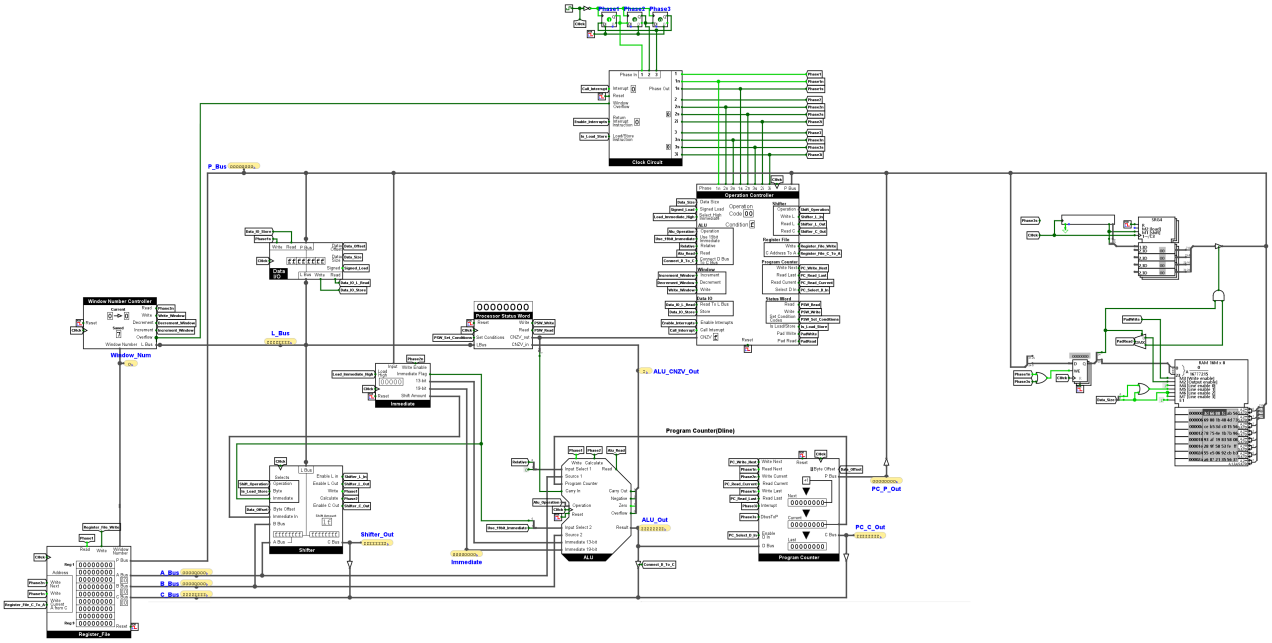

Figura 42 – Circuito do RISC I completo

4 Assembler

4.1 Funcionamento Geral

4.2 Recursos Especiais

4.3 Sintaxe

4.4 Saída

Considerações finais

Apesar do resultado final não seguir completamente a implementação original, pode-se afirmar que o trabalho realizado está bem próximo, sendo totalmente funcional e possuindo todas as instruções do RISC I.

Para trabalhos futuros, alguns aspectos podem ser melhorados. Caso a ideia seja manter a estrutura original do RISC I, o pacote de componentes, o posicionamento e o *layout* dos circuitos podem ser grandes fatores para facilitar o entendimento do funcionamento desta arquitetura.

No caso da monografia para a qual esse trabalho está sendo realizado, além dessas melhorias visuais, melhorias e simplificações na arquitetura podem ser executadas. A alteração de certos componentes pode ajudar tanto na eficiência da arquitetura quanto no seu aspecto didático. Inspirações de outras arquiteturas, incluindo o RISC II, vão ajudar a melhorar diversos aspectos da arquitetura, com a adição de componentes e recursos que vão simplificar a execução de operações específicas.

No *assembly*, a linguagem pode ser polida, oferecendo uma linguagem mais simples de ser entendida por humanos. Apesar do RISC I possuir um compilador que simplificava boa parte do processo, esta não é uma opção viável para este trabalho devido às limitações de tempo. Para trabalhos futuros, seria interessante a implementação de um compilador de alguma linguagem de alto nível para a linguagem *assembly* criada. Porém, por ora, o melhor que pode ser feito é a melhoria da sintaxe para

algumas instruções, removendo a necessidade de inserção de parâmetros que a instrução usa ou criando formas mais fáceis de inserir dados.

Abstract

According to ABNT NBR 6022:2003, an abstract in foreign language is a back matter mandatory element.

Key-words: latex. abntex.

Referências

Daniel T. Fitzpatrick et al. A RISCy approach to VLSI. *ACM Sigarch Computer Architecture News*, v. 10, n. 1, p. 28–32, jan. 1982. MAG ID: 2048226925. Citado na página 2.

KATEVENIS, M. Reduced instruction set computer architectures for VLSI. jan. 1985. MAG ID: 2171342458 S2ID: f2e99c1a499176ffe665c9b523080b1ac65665a0. Citado 3 vezes nas páginas 2, 11 e 13.

PEEK, J. *The VLSI Circuitry of RISC I*. Berkeley, 1983. 59 p. Disponível em: <https://www2.eecs.berkeley.edu/Pubs/TechRpts/1983/6347.html>. Citado 12 vezes nas páginas 2, 3, 4, 6, 9, 11, 13, 14, 16, 18, 20 e 24.

STALLINGS, W. Reduced instruction set computer architecture. *Proceedings of the IEEE*, v. 76, n. 1, p. 38–55, jan. 1988. ISSN 1558-2256. Disponível em: <https://ieeexplore.ieee.org/document/3287>. Citado 3 vezes nas páginas 2, 3 e 7.

APÊNDICE A – Nullam elementum urna vel imperdiet sodales elit ipsum pharetra ligula ac pretium ante justo a nulla curabitur tristique arcu eu metus

Nunc velit. Nullam elit sapien, eleifend eu, commodo nec, semper sit amet, elit. Nulla lectus risus, condimentum ut, laoreet eget, viverra nec, odio. Proin lobortis. Curabitur dictum arcu vel wisi. Cras id nulla venenatis tortor congue ultrices. Pellentesque eget pede. Sed eleifend sagittis elit. Nam sed tellus sit amet lectus ullamcorper tristique. Mauris enim sem, tristique eu, accumsan at, scelerisque vulputate, neque. Quisque lacus. Donec et ipsum sit amet elit nonummy aliquet. Sed viverra nisl at sem. Nam diam. Mauris ut dolor. Curabitur ornare tortor cursus velit.

Morbi tincidunt posuere arcu. Cras venenatis est vitae dolor. Vivamus scelerisque semper mi. Donec ipsum arcu, consequat scelerisque, viverra id, dictum at, metus. Lorem ipsum dolor sit amet, consectetuer adipiscing elit. Ut pede sem, tempus ut, porttitor bibendum, molestie eu, elit. Suspendisse potenti. Sed id lectus sit amet purus faucibus vehicula. Praesent sed sem non dui pharetra interdum. Nam viverra ultrices magna.

Aenean laoreet aliquam orci. Nunc interdum elementum urna. Quisque erat. Nullam tempor neque. Maecenas velit nibh, scelerisque a, consequat ut, viverra in, enim. Duis magna. Donec odio neque, tristique et, tincidunt eu, rhoncus ac, nunc. Mauris malesuada malesuada elit. Etiam lacus mauris,

pretium vel, blandit in, ultricies id, libero. Phasellus bibendum erat ut diam. In congue imperdiet lectus.

ANEXO A – Cras non urna sed feugiat cum sociis natoque penatibus et magnis dis parturient montes nascetur ridiculus mus

Sed consequat tellus et tortor. Ut tempor laoreet quam. Nullam id wisi a libero tristique semper. Nullam nisl massa, rutrum ut, egestas semper, mollis id, leo. Nulla ac massa eu risus blandit mattis. Mauris ut nunc. In hac habitasse platea dictumst. Aliquam eget tortor. Quisque dapibus pede in erat. Nunc enim. In dui nulla, commodo at, consectetuer nec, malesuada nec, elit. Aliquam ornare tellus eu urna. Sed nec metus. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Pellentesque habitant morbi tristique senectus et netus et malesuada fames ac turpis egestas.