

- Notas:
1. Verifique, para todas as questões, qual a resposta escolhida na tabela ao lado. Por cada resposta incorreta será descontada 1/3 da cotação da respectiva pergunta.
 2. Pode usar até um máximo de 6 respostas duplas (por cada dupla: 0 certas descontam 2/3). Se usar mais de 6 duplas, serão aceites as 6 primeiras e as restantes serão consideradas respostas erradas.
 3. Durante a realização do teste não é permitida a permanência junto do aluno, mesmo que desligado, de qualquer dispositivo eletrónico não expressamente autorizado (nesta lista incluem-se calculadoras, telemóveis, smartwatches e qualquer outro dispositivo de captura de imagem e/ou comunicação). A sua deteção durante a realização do exame implica a imediata anulação do mesmo.

Grupo I

Num sistema computacional com um espaço de endereçamento de memória de N bits, o conjunto de endereços possíveis será:

- a. $[2^{N-1} \dots 0]$
- b. $[2^N \dots 0]$
- c. $[2^{N-1} \dots 0]$
- d. $[2^{N-1} \dots 0]$

Dizer-se que, num sistema computacional, a memória apresenta uma organização do tipo *byte-addressable* significa que:

- a. cada posição de memória é identificada com um endereço de 1 byte.
- b. o barramento de dados tem a dimensão de 1 byte.
- c. os barramentos de endereços e de dados têm obrigatoriamente a mesma dimensão.
- d. uma *word* de 32 bits é armazenada em 4 posições de memória consecutivas de 1 byte.

No PIC32, os registos TRIS, LAT e PORT do PIC32 permitem, respetivamente:

- a. o output e input de informação e o controlo da direccionalidade de um porto digital.
- b. o input e output de informação e o controlo da direccionalidade de um porto digital.
- c. o controlo da direccionalidade, o input e output de informação de um porto digital.
- d. o controlo da direccionalidade, o output e input de informação de um porto digital.

Quando, num periférico, é usada a técnica de entrada/saída de dados por software (programada):

- a. o periférico faz um pedido de interrupção ao CPU após a conclusão da transferência de dados.
- b. o CPU verifica através de um ciclo de *polling* se o periférico está pronto para transferir os dados.
- c. o periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir os dados.
- d. o CPU interrompe a execução do programa para configurar o controlador de DMA que é propriamente dita.

A função de um *bootloader* num sistema baseado em microcontrolador é:

- a. transferir o código executável para a memória do microcontrolador a partir do um sistema de desenvolvimento, permitindo a sua posterior execução.
- b. realizar a compilação do software de alto nível (e.g. C) e iniciar a sua execução após o *reset*.
- c. executar o software, e auxiliar no seu *debug* através da introdução de *breakpoints*, visualização de registos e de posições de memória.
- d. interagir com o *cross-compiler* para efeitos de *debug* da aplicação.

28. Suponha um sistema de memória organizada em 2 níveis que responde a um acesso a uma posição de memória que se encontra na *cache* em 1 ciclo de relógio e a um acesso a uma posição de memória que se encontra na memória principal em 51 ciclos de relógio. Para que o tempo médio de acesso ao sistema de memória seja 11 ciclos de relógio o *hit ratio* da *cache* deverá ser, aproximadamente:
- a. 85% b. 90% c. 75% d. 80%

29. Um sistema computacional com uma memória *byte-addressable*, possui um **espaço de endereçamento virtual** de 4G, um **espaço de endereçamento físico** de 1G e páginas de memória de 4 kBytes. Admita ainda que o *Page Table Register* tem o valor **0x3FF28000**, que cada entrada da *Page Table* está alinhada em endereços múltiplos de 4 e que o seu conteúdo tem 32 bits. Quando é gerado o endereço virtual **0x00006058**, o endereço da *Page Table* acedido para obter a tradução para o endereço físico será:
- a. **0x3FF28058**.
b. **0x3FF28006**.
c. **0x3FF28018**.
d. **0x3FF28000**.

30. Admita agora que, no sistema descrito na questão 29, o conteúdo de cada entrada da *Page Table* tem o formato descrito na figura abaixo. Quando o CPU acede ao endereço virtual **0x000C80FC** para ler uma instrução, o conteúdo da *Page Table* para esse endereço é **0xA7FE2030**. Nesse caso, o gestor de memória:

Valid, Dirty, Read, Write, Execute [31:27]	Bits não usados [26:18]	PPN [17:0]
---	----------------------------	---------------

- a. traduz o endereço virtual para o endereço físico de acordo com a informação da *Page Table*.
b. não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem permissão de escrita.
c. não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem permissão de execução.
d. não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem *dirty bit* ativo.

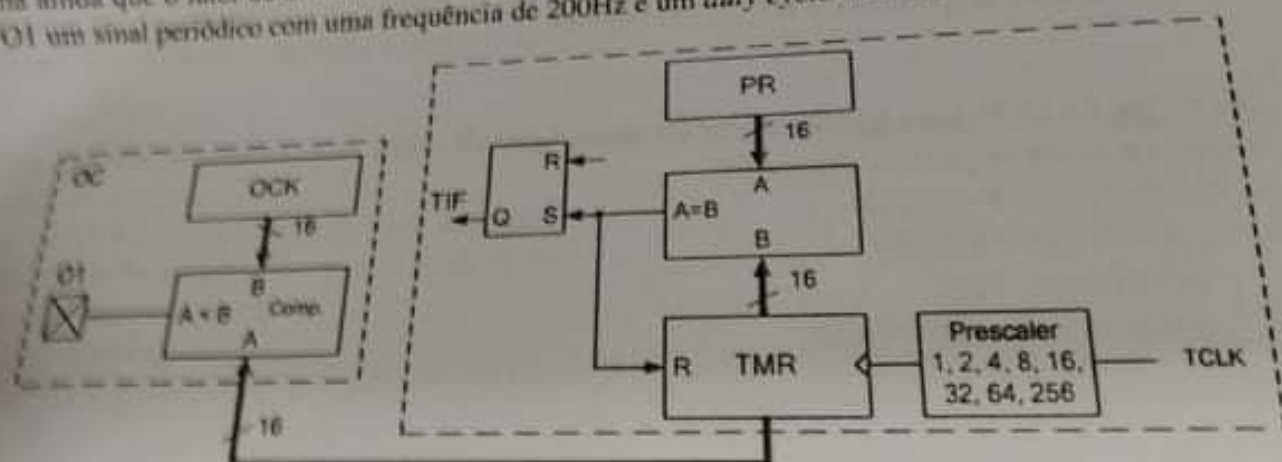
20. O número de comparadores necessário para a implementação de uma cache de 16 kB, que usa OTIM. Mapeamento de mapeamento direto, blocos de 64 bytes e 256 linhas é:
- 256
 - 16
 - 1
 - 64

21. Num sistema com memória virtual, o valid bit de uma entrada da uma *page table*, quando não ativo, indica que:
- a respectiva página foi acessada recentemente.
 - a respectiva página está residente em memória física.
 - a informação da respectiva página foi alterada.
 - a respectiva página não está residente em memória física.

22. Num sistema com memória virtual, o TLB (*Translation-Lookaside Buffer*):
- armazena a totalidade das entradas da *page table* que tenham o valid bit a '1'.
 - destina-se a acelerar a tradução de endereços virtuais em endereços físicos.
 - é normalmente baseado numa arquitetura do tipo mapeamento direto.
 - serve para obter de forma mais rápida o conteúdo de uma VPN na *Page Table*.

Grupo II

23. Considere um timer tipo 2 como o da figura abaixo (semelhante aos dos PIC32) com a sua saída ligada a uma unidade OC. Admita que a frequência do relógio *TCLK* é de 20MHz e que a frequência no pino O1 é de 200Hz. Assuma ainda que o fator de divisão do *prescaler* é o menor que for possível para estas condições. Para obter na saída O1 um sinal periódico com uma frequência de 200Hz e um *duty cycle* de 25%:



- os valores armazenados respetivamente em PR e OCK devem ser 49999 e 12500.
- os valores armazenados respetivamente em PR e OCK devem ser 12499 e 3125.
- os valores armazenados respetivamente em PR e OCK devem ser 24999 e 6250.
- os valores armazenados respetivamente em PR e OCK devem ser 12499 e 9375.



MESSENGER

agora

[Redacted text]

[Redacted text]

	a	b	c	d
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				
17				
18				
19				
20				
21				
22				
23				
24				
25				
26				
27				
28				
29				
30				

CHAVE

c
d
d
b
a
c
a
b
a
b
d
a
b
a
d
c
b
c
a
c
d
b

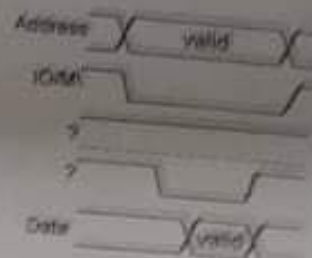
a
c
b
d
b
d
c
c



8. Para construir um módulo de memória SRAM de 512k x 8 bits, são necessários:
- 4 circuitos de 64k x 8 bits.
 - 8 circuitos de 64k x 4 bits.
 - 8 circuitos de 64k x 8 bits.
 - 16 circuitos de 64k x 8 bits.

O diagrama temporal da figura do lado representa um ciclo de:

- leitura de um dispositivo mapeado no espaço de endereçamento de memória.
- escrita num dispositivo mapeado no espaço de endereçamento de memória.
- escrita num dispositivo mapeado no espaço de endereçamento de I/O.
- leitura de um dispositivo mapeado no espaço de endereçamento de I/O.



Numa memória estática SRAM:

- as células necessitam de refrescamento regular.
- cada célula de 1 bit é implementada com um mínimo de 6 transístores.
- o tempo de acesso aumenta com o valor do endereço.
- existe um único barramento para dados e endereços por forma a diminuir o número de pinos do dispositivo.

Numa transferência por DMA, em modo bloco, quando o controlador de DMA pretende dar início a uma transferência:

- ativa o sinal *busreq*, iniciando a transferência logo que reconheça a ativação do sinal *bus Grant*.
- ativa o sinal *busreq* durante um número fixo de ciclos de relógio, e inicia de seguida a transferência.
- gera uma interrupção sinalizando desse modo o CPU que vai iniciar uma transferência de dados.
- sinaliza o CPU, através da linha *busreq*, que vai dar início à transferência e inicia-a de imediato. O sinal *busgrant* é utilizado pelo CPU para suspender a atividade do DMA.

Alguns dos *timers* que estudou e utilizou têm, como último andar do temporizador, um divisor por dois. A finalidade desse divisor por dois é:

- dividir por dois o período do sinal de saída do *timer*.
- assegurar um sinal de saída com um *duty-cycle* de 50%.
- aumentar a resolução do *timer*.
- aumentar a precisão do *timer*.

11. Numa RSI, o conjunto de instruções designado por "prólogo" destina-se, no essencial, a:

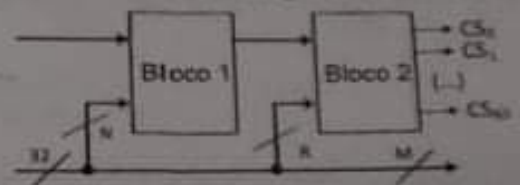
- alterar a tabela de vetores de modo a impedir que novos pedidos de interrupção sejam atendidos.
- identificar a fonte de interrupção (nos casos em que tal é feito por hardware) e obter o endereço inicial da RSI.
- regressar ao programa interrompido reativando as interrupções.
- copiar para a *stack* o contexto do programa que foi interrompido pela interrupção, i.e., registos internos do CPU.

12. Um barramento paralelo de tipo síncrono:

- inclui um sinal de relógio e o protocolo de comunicação é síncrono ou semi-síncrono.
- não inclui um sinal de relógio e o protocolo de comunicação é "handshaken".
- permite a ligação de uma grande variedade de dispositivos operando com relógios de diferentes frequências.
- assegura "fairness" no acesso ao barramento (quando há mais do que um *master*).

Suponha que pretende implementar um circuito gerador de sinais de seleção programável (semelhante ao que estudou nas aulas teóricas e ilustrado na figura abaixo) que permita gerar 64 linhas de seleção, cada uma delas ativa em 32k endereços consecutivos, num espaço de endereçamento de 32 bits. Ao *Bloco 1* da figura devem ser ligados N bits, correspondendo à gama:

- A14 a A0.
- A20 a A0.
- A31 a A21.
- A31 a A15.



25. Considere um controlador de DMA de 32 bits não dedicado, a funcionar em modo *cycle-stealing*, em que um *bus cycle* é realizado em 3 ciclos de relógio e o tempo mínimo entre operações elementares é de 2 ciclos de relógio. Se a frequência de funcionamento do DMA for 250 MHz, o tempo mínimo necessário para transferir 500 palavras de 32 bits é, aproximadamente:

- 16 μ s
- 20 μ s
- 500 ns
- 25 μ s

Considere um sistema baseado num CPU a funcionar a uma frequência de 200 MHz com uma taxa de execução de 50 MIPS (50×10^6 instruções por segundo, CPI = 4) que processa, por interrupção, eventos externos periódicos. Se o *overhead* total do atendimento à interrupção for de 160 ciclos de relógio, e a rotina de serviço de interrupção tiver 60 instruções, a máxima frequência a que esses eventos podem ocorrer é, aproximadamente:

- 50 MHz.
- 2 MHz.
- 909 kHz.
- 500 kHz.

27. Considere um espaço de endereçamento de 32 bits e uma memória cache, parcialmente associativa, capacidade de 64 kByte, associatividade de 8 e blocos de 64 bytes. O número de bits do campo "gru" endereço é:

- 10
- 7
- 6
- 5

13. Diz-se que um barramento de comunicação série usa comunicação assíncrona quando:
- a. o relógio não é explicitamente transmitido e por isso, o relógio do recetor é recuperado a partir das transições de nível lógico na linha de dados.
 - b. não é enviado relógio na transmissão, nem há recuperação do relógio na recepção.
 - c. o módulo de recepção pode gerar um sinal para atrasar o envio de dados do emissor.
 - d. o sinal de relógio é codificado nos dados (self clocking).

14. O barramento SPI é caracterizado por:

- a. ter uma arquitetura master-slave com ligação ponto a ponto e comunicação full duplex.
- b. ter uma arquitetura master-slave com ligação multi ponto e comunicação full duplex.
- c. ter uma arquitetura multi-master com ligação multi ponto e comunicação half duplex.
- d. ter uma arquitetura multi-master com ligação ponto a ponto e comunicação half duplex.

15. Na interface de comunicação I²C, o primeiro byte de uma comunicação contém a seguinte informação:

- a. o endereço do master, o endereço do slave com o qual este quer comunicar e a operação a realizar.
- b. os parâmetros de comunicação a utilizar (taxa de transferência e número total de bits a transferir).
- c. o endereço do master e a operação a realizar.
- d. o endereço do slave e a operação a realizar.

16. Na interface RS-232C o desvio de frequência entre os sinais de relógio de transmissor e recetor pode originar um erro no instante de amostragem dos vários bits. Esse erro cresce de forma:

- a. inversamente proporcional ao fator de sobre-amostragem.
- b. diretamente proporcional ao número de stop bits.
- c. diretamente proporcional à dimensão da trama.
- d. inversamente proporcional à taxa de transmissão.

17. No protocolo USB, para transferir grandes quantidades de dados assegurando um valor de latência máximo e largura de banda requerida, são usadas:

- a. transferências de controlo.
- b. transferências síncronas.
- c. transferências "bulk".
- d. transferências de interrupção.

18. As principais características/objetivos de um device driver são:

- a. permitir o uso de buffers circulares entre o CPU e o dispositivo periférico.
- b. permitir um acesso mais rápido a um dispositivo periférico através de implementação de rotinas de interrupção.
- c. criar um nível de abstração, uniformização de acesso e independência entre aplicações/SO e o hardware do dispositivo periférico.
- d. descrever ao programador o modelo de programação de um dispositivo periférico.

9. Num barramento CAN:

- a. cada tipo de mensagem tem um id único.
- b. cada dispositivo ligado ao barramento tem um id único.
- c. um master pode enviar duas tramas simultâneas para dois slaves, desde que os ids das tramas seja
- d. uma mensagem produzida por um master pode ser recebida apenas por um e um só slave.

pag. memória = 4 kbytes = 2^{12} = 12 bit

end. virtual $\rightarrow 0 \times \underline{00006058}$
12 bit

$PNN = 00006 \times 4 = \text{shift } 2$

0000011000 \rightarrow 018

Soma $\rightarrow 0 \times 3FF28000$
 $= \boxed{0 \times 3FF28018}$

(c)

--

2020

--

1. Num sistema computacional com um espaço de endereçamento de memória de N bits, o conjunto de endereços possíveis será:

- a. $[2_{N-1}, \dots, 0]$
- b. $[2_N, \dots, 0]$
- c. $[2^N - 1, \dots, 0]$
- d. $[2^{N-1}, \dots, 0]$

2. Dizer-se que, num sistema computacional, a memória apresenta uma organização do tipo byte-addressable significa que:

- a. cada posição de memória é identificada com um endereço de 1 byte
- b. o barramento de dados tem a dimensão de 1 byte
- c. os barramentos de endereços e de dados tem obrigatoriamente a mesma dimensão
- d. uma word de 32 bits é armazenada em 4 posições de memória consecutivas de 1 byte

3. No PIC32, os registos TRIS, LAT e PORT do PIC32 permitem, respetivamente:

- a. o output e input de informação e o controlo da direcionalidade de um porto digital
- b. o input e output de informação e o controlo da direcionalidade de um porto digital
- c. o controlo da direcionalidade, o input e output de informação de um porto digital
- d. o controlo da direcionalidade, o output e input de informação de um porto digital

4. Quando, num periférico, é usada a técnica entrada/saída de dados por software(programada):

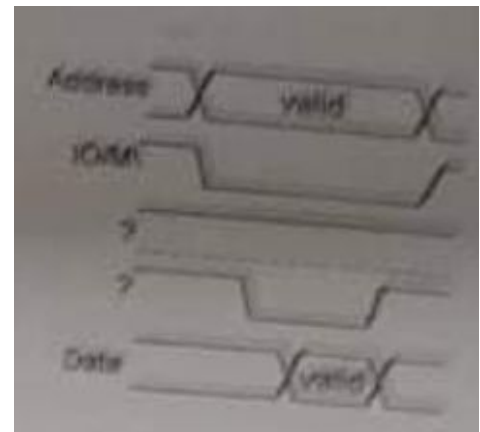
- a. o periférico faz um pedido de interrupção ao CPU após a conclusão da transferência de dados
- b. o CPU verifica através de um ciclo de polling se o periférico está pronto para transferir os dados
- c. o periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir os dados
- d. o CPU interrompe a execução do programa para configurar o controlador de DMA que faz a propriamente dita

5. A função de um bootloader num sistema baseado em microcontrolador é:
 - a. transferir o código executável para a memória do microcontrolador a partir de um sistema de desenvolvimento, permitindo a sua posterior execução
 - b. realizar a compilação do software de alto nível(i.e. C) e iniciar a sua execução após o reset
 - c. executar o software, e auxiliar no seu debug através da introdução de breakpoints, visualizar registos e de posições de memória
 - d. interagir com o cross-compiler para efeitos de debug da aplicação

6. Para construir um módulo de memória SRAM de 512k x 8 bits, são necessários:
 - a. 4 circuitos de 64k x 8 bits
 - b. 8 circuitos de 64k x 4 bits
 - c. 8 circuitos de 64k x 8 bits
 - d. 16 circuitos de 64k x 8 bits

7. O diagrama temporal da figura do lado representa um ciclo de:

- a. leitura de um dispositivo mapeado no espaço de endereçamento de memória
- b. escrita num dispositivo mapeado no espaço de endereçamento de memória
- c. escrita num dispositivo mapeado no espaço de endereçamento I/O
- d. leitura de um dispositivo mapeado no espaço de endereçamento I/O



8. Numa memória estática SRAM:
 - a. as células necessitam de refrescamento regular
 - b. cada célula de 1 bit é implementada com um mínimo de 6 transistores
 - c. o tempo de acesso aumenta com o valor do endereço
 - d. existe um único barramento para dados e endereços por forma a diminuir o número de pinos do dispositivo

9. Numa transferência por DMA, em modo bloco, quando o controlador de DMA pretende dar início a uma transferência:

- a. ativa o sinal *busreq*, iniciando a transferência logo que reconheça a ativação do sinal *bus Grant*
- b. ativa o sinal *busreq* durante um número fixo de CPU que vai iniciar uma transferência de dados
- c. gera uma interrupção sinalizando desse modo o CPU que vai iniciar uma transferência de dados
- d. sinaliza o CPU através da linha *busreq*, que vai dar início a transferência e inicia-a de imediato. O sinal *busgrant* é utilizado pelo CPU para suspender a atividade do DMA

10. Alguns timers que estudou tem, como último andar do temporizador um divisor por dois. A finalidade desse divisor por dois é:

- a. dividir por dois o período do sinal de saída do timer
- b. assegurar um sinal de saída com um duty cycle de 50%
- c. aumentar a resolução do timer
- d. aumentar a precisão do timer

11. Numa RSI, o conjunto de instruções designado por “prólogo” destina-se, no essencial, a:

- a. alterar a tabela de vetores de modo a impedir que novos pedidos de interrupção sejam atendidos
- b. identificar a fonte de interrupção(nos casos em que tal é feito por hardware) e obter o endereço inicial da RSI
- c. regressar ao programa interrompido reativando as interrupções
- d. copiar para a stack o contexto do programa que foi interrompido pela interrupção, i.e., registos internos do CPU.

12. Um barramento paralelo de tipo síncrono:

- a. inclui um sinal de relógio e o protocolo de comunicação é síncrono ou semi-síncrono
- b. não inclui um sinal de relógio e o protocolo de comunicação é “handshaken”
- c. permite a ligação de uma grande variedade de dispositivos operando com relógios de diferentes frequências
- d. assegura “*fairness*” no acesso ao barramento (quando há mais do que um master)

13. Diz-se que um barramento de comunicação série usa comunicação **associativa** quando:

- a. o relógio não é explicitamente transmitido e por isso, o relógio do receptor é recuperado o ponto das transições de nível lógico na linha de dados
- b. não é enviado o relógio na transmissão, nem há recuperação do relógio na recepção
- c. o módulo de recessão pode gerar um sinal para atrasar o envio de dados do emissor
- d. o sinal de relógio é codificado nos dados **xxxinerxx??**(f clocking)?

14. O barramento SPI é caracterizado por:

- a. ter uma arquitetura master-slave com ligação ponto a ponto e comunicação **full duplex**
- b. ter uma arquitetura master-slave com ligação multi-ponto e comunicação **full duplex**
- c. ter uma arquitetura multi-master com ligação multi-ponto e comunicação **half duplex**
- d. ter uma arquitetura multi-master com ligação ponto a ponto e comunicação **half duplex**

15. Na interface de comunicação I2C o primeiro byte de uma comunicação contém a seguinte informação:

- a. o endereço do master , o endereço do slave com o qual este quer comunicar e a operação a realizar
- b. os parâmetros de comunicação a utilizar (taxa de transferência e número total de bits a transferir)
- c. o endereço do master e a operação a realizar
- d. o endereço do slave e a operação a realizar

16. Na interface RS-232C o desvio de frequência entre os sinais de relógio do transmissor e recetor pode originar um erro, no instante de amostragem dos vários bits. Esse erro cresce de forma:

- a. inversamente proporcional ao fator de sobre-amostragem
- b. diretamente proporcional ao número de stop-bits
- c. diretamente proporcional à dimensão da trama
- d. inversamente proporcional a taxa de transmissão

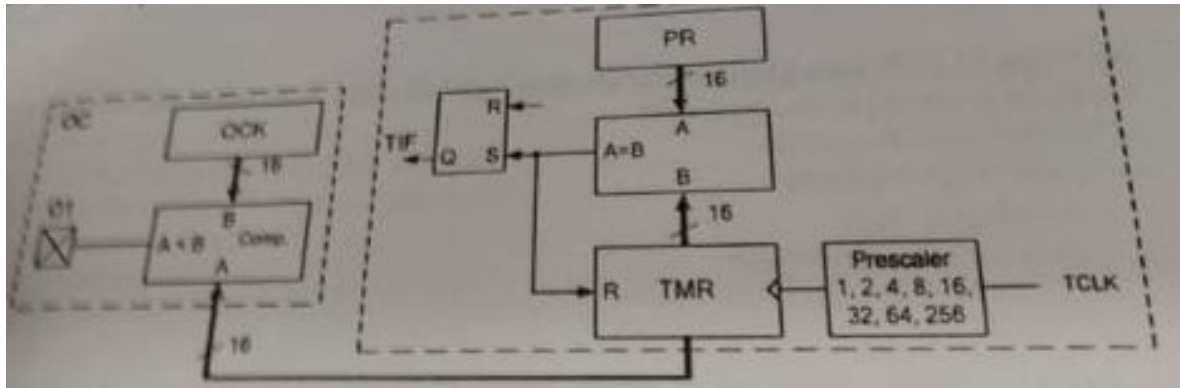
17. No protocolo USB, para transferir grandes quantidades de dados assegurando um valor de latência máximo e largura de banda requerida são usadas:

- a. transferências de controlo
- b. transferências isócronas
- c. transferências “bulk”
- d. transferências de interrupção

18. As principais características/objetivos de um device driver são:
- a. permitir o uso de buffers circulares entre o CPU e o dispositivo periférico
 - b. permitir um acesso mais rápido a um dispositivo periférico através de implementação de rotinas de serviço a interrupção
 - c. criar um nível de abstração, uniformização de acesso e independência entre aplicações/SO e o hardware do dispositivo periférico
 - d. descrever ao programador o modelo de programação de um dispositivo periférico
19. Num barramento CAN:
- a. cada tipo de mensagem tem um id único
 - b. cada dispositivo ligado ao barramento tem um id único
 - c. um master pode enviar duas tramas simultâneas para dois slaves, desde que os ids das tramas seja único
 - d. uma mensagem produzida por um master pode ser recebida apenas por um e um só slave
20. O número de comparadores necessários para a implementação de uma cache de 16kB, que usa uma arquitetura de mapeamento direto, blocos de 64 bytes e 256 linhas:
- a. 256
 - b. 16
 - c. 1
 - d. 64
21. Num sistema com memória virtual, o valid bit de uma entrada de uma page table, quando **não ativo** significa que:
- a. a respetiva página foi acedida recentemente
 - b. a respetiva página está residente em memória física
 - c. a informação da respetiva página foi alterada
 - d. a respetiva página não está residente em memória física
22. Numa memória virtual, o TLB(translation-Lookaside Buffer):
- a. armazena a totalidade das entradas da page table que tenham o valid bit a '1'
 - b. destina-se a acelerar a tradução de endereços virtuais em endereços físicos
 - c. é normalmente baseado numa arquitetura do tipo mapeamento direto
 - d. serve para obter de forma mais rápida o conteúdo de uma VPN na Page Table

Grupo II

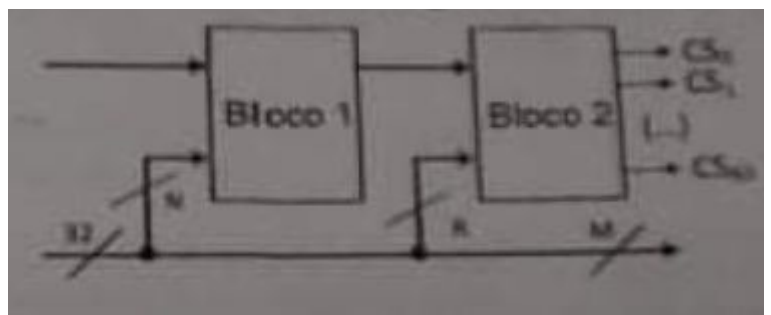
23. Considere um timer tipo 2 como o da figura abaixo(semelhante aos dos PIC32) com a sua saída ligada a uma unidade OC. Admita que a frequência do relógio TCLK é de 20MHz e que a frequência no pino O1 é de 200Hz. Assuma ainda que o fator de divisão prescaler é o menor que for possível para estas condições. Para obter na saída O1 um sinal periódico com uma frequência de 200MHz e um duty cycle de 25%



- os valores armazenados respectivamente em PR e OCK devem ser 49999 e 12500
- os valores armazenados respectivamente em PR e OCK devem ser 12499 e 3125
- os valores armazenados respectivamente em PR e OCK devem ser 24999 e 6250
- os valores armazenados respectivamente em PR e OCK devem ser 12499 e 9375

24. Suponha que pretende implementar um circuito gerador de sinais de seleção programável (semelhante ao que estudou nas aulas teóricas e ilustrado na figura abaixo) que permita gerar 64 linhas de seleção, cada uma delas ativa em 32k endereços consecutivos, num espaço de endereçamento de 32 bits. Ao Bloco 1 da figura devem ser ligados N bits, correspondendo a gama:

- A14 a A0
- A20 a A0
- A31 a A21
- A31 a A15



25. Considere um controlador DMA de 32 bits não dedicado, a funcionar em modo cycle-stealing, em que um bus cycle é realizado em 3 ciclos de relógio e o tempo mínimo entre operações elementares é de 2 ciclos de relógio. Se a frequência de funcionamento do DMA for 250MHz, o tempo mínimo necessário para transferir 500 palavras de 32 bits é, aproximadamente:

- a. 16μs
- b. 20μs
- c. 500ns
- d. 25μs

26. Considere um sistema baseado num CPU a funcionar a uma frequência de 200 MHz com uma taxa de execução média de 50 MIPS (50×10^6 instruções por segundo, CPI = 4) que processa, por interrupção, eventos externos periódicos. Se o overhead total do atendimento a à interrupção for de 160 ciclos de relógio, e a rotina de serviço a interrupção tiver 60 instruções, a máxima frequência a que esses eventos podem ocorrer é aproximadamente:

- a. 50MHz
- b. 2MHz
- c. 909 kHz
- d. 500kHz

27. Considere um espaço de endereçamento de 32 bits e uma memória cache, parcialmente capacidade de 64 kByte, associatividade de 8 e blocos de 64 bytes. O número de bits do endereço é:

- a. 10
- b. 7
- c. 6
- d. 5

28. Suponha um sistema de memória organizada em 2 níveis que responde a um acesso a uma posição de memória que se encontra na cache em 1 ciclo de relógio e a um acesso a uma posição de memória que se encontra na memória principal em 51 ciclos de relógio. Para que o tempo médio de acesso ao sistema de memória seja 11 ciclos de relógio o hit ratio da cache deverá ser, aproximadamente:

- a. 85%
- b. 90%
- c. 75%
- d. 80%

29. Um sistema computacional com uma memória byte-addressable, possui um espaço de endereçamento virtual de 4G, um espaço de endereçamento físico de 1G e páginas de memória de 4 kBytes. Admita ainda que o Page Table Register tem o valor 0x3FF28000, que cada entrada da Page Table está alinhada em endereços múltiplos de 4 e que o seu conteúdo tem 32 bits. Quando é gerado o endereço virtual 0x00006058, o endereço da Page Table acedido para obter a tradução para o endereço físico será:

- a. 0x3FF28058
- b. 0x3FF28006
- c. 0x3FF28018
- d. 0x3FF28000

30. Admita agora que, no sistema descrito na questão 29, o conteúdo de cada entrada da Page Table tem o formato descrito na figura abaixo. Quando o CPU acede ao endereço virtual 0x000C80FC para ler uma instrução, o conteúdo da page table para esse endereço é 0xA7FE2030. Nesse caso, o gestor de memória:

Valid, Dirty, Read, Write, Execute [31:27]	Bits não usados [26:18]	PPN [17:0]
---	----------------------------	---------------

- a. traduz o endereço virtual para o endereço físico de acordo com a informação da page table
- b. não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem permissão de escrita
- c. não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem permissão de execução
- d. não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem o dirty bit ativo