

Arquitectura de Computadores II

Exame de Recurso

Departamento de Informática
Universidade de Évora

27 de Janeiro de 2022

Indique todos os cálculos efectuados e todas as fórmulas usadas

Perguntas rápidas

1. [0,5 valores] O que é igual em dois processadores que implementam a mesma arquitectura, o CPI, as instruções que executam, a frequência do relógio, ou nenhuma destas coisas?
2. [0,5 valores] As latências dos caminhos críticos de cada um dos 5 andares de um processador *pipelined* são de 400 ps, 340 ps, 270 ps, 350 ps e 245 ps. Qual o período mínimo que o relógio deste processador pode ter?
3. [0,5 valores] É possível dois programas distintos acederem à memória através de endereços virtuais iguais?
4. [0,5 valores] A possibilidade de ter acessos *atómicos* à memória é crítica em sistemas de memória partilhada, de memória distribuída, em ambos ou em nenhum?

Desempenho

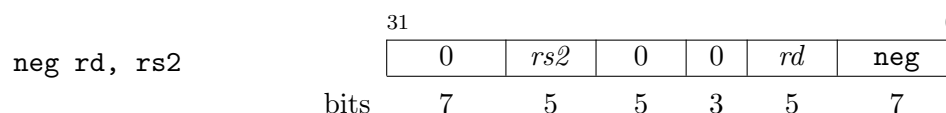
5. [3 valores] Um programa executa 9 000 milhões de instruções, com a distribuição apresentada abaixo, em 9s, num processador cujo relógio tem uma frequência de 3 GHz. Calcule o CPI global correspondente e o CPI das instruções da classe C.

Classe	A	B	C
%	40	20	40
CPI	3	5	?

6. [1,5 valores] Um determinado conjunto de instruções é responsável por 60% do tempo de execução de um programa. Quanto é necessário diminuir o tempo que essas instruções demoram a executar para que o programa corra 2 vezes mais depressa?

Implementação RISC-V monociclo

7. [4 valores] Pretende-se que a implementação RISC-V monociclo da Figura 1 suporte a execução da instrução **neg** (*negate*), que é uma instrução tipo-R com dois argumentos:



Esta instrução coloca no registo **rd** o simétrico do valor contido no registo **rs2**. Depois da execução desta instrução, é executada a instrução que se lhe segue no programa.

- (a) Quais das unidades funcionais e dos *multiplexers* existentes serão usados na execução desta instrução? (Identifique os *multiplexers* através dos seus sinais de controlo, e.g., `mux(MemtoReg)`.)

- (b) Que unidades funcionais (incluindo *multiplexers*) e que sinais de controlo é necessário acrescentar?
- Se não for necessário fazer qualquer alteração à implementação, explique brevemente qual será funcionamento do processador na execução da instrução.
- Apresente na Figura 1 as alterações à implementação que considerar necessário fazer.
- (c) Quais os valores que os vários sinais de controlo deverão ter e qual a operação realizada pela ALU durante a execução desta instrução? (Não é necessário apresentar o valor de ALUOp.)

Pipeline RISC-V de 5 andares

Pode usar como referência o *pipeline* da Figura 2. Tenha, no entanto, em atenção a caracterização do funcionamento do *pipeline* feita na pergunta.

8. [2,5 valores] Assumindo que o salto da linha 5 não é efectuado, simule a execução do código à direita no *pipeline* de 5 andares, com *forwarding*, com decisão dos saltos condicionais no andar ID, e com previsão perfeita do resultado das instruções de salto condicional. Apresente a evolução do estado do *pipeline* durante a execução, indicando todos os atrasos introduzidos e todos os pontos onde foi necessário o *forwarding* de algum valor, identificando claramente entre que andares o *forwarding* foi feito.
- | | |
|----|----------------------------------|
| 1. | <code>add t0, a0, a1</code> |
| 2. | <code>lw t1, 0(a0)</code> |
| 3. | <code>lw t2, 0(t0)</code> |
| 4. | <code>sub t3, t1, t2</code> |
| 5. | <code>beq t3, zero, salta</code> |
| 6. | <code>addi t3, t3, 1000</code> |
| 7. | <code>or t0, t0, t3</code> |
| 8. | <code>sw t3, 0(t0)</code> |

Cache

9. Considere um sistema com uma cache com dois níveis em que o *hit time* da cache de primeiro nível é de 6 ciclos, o *hit time* da cache de segundo nível é de 50 ciclos, e o tempo de acesso à memória física é 400 ciclos. Para um programa, a cache de primeiro nível apresentou uma *miss rate* de 8% e a de segundo nível apresentou uma *miss rate* de 25%.

- (a) [1 valor] Quantos ciclos demora um acesso à memória:
- Se o bloco acedido se encontrar na cache de primeiro nível?
 - Se o bloco acedido só se encontrar na cache de segundo nível?
 - Se o bloco acedido não se encontrar em nenhuma cache?
- (b) [1,5 valores] Qual o tempo médio de acesso à memória (em ciclos) para aquele programa?

Memória virtual

10. [2,5 valores] Num sistema, em que a dimensão das páginas de memória é de 4 KB e o TLB é *2-way set associative*, com 8 conjuntos, é acedido o endereço virtual 504264.

Apresente o conteúdo da posição do TLB em que a tradução relativa àquele acesso é inserida e indique o seu índice, assim como o índice e o conteúdo da posição correspondente da tabela de páginas. Assuma que a página virtual é colocada na página física 999, em resultado deste acesso.

Multiprocessamento

11. [2 valores] Considere os dois programas paralelos mostrados abaixo, cada um constituído por duas *threads*, que serão executadas, em paralelo, num multiprocessador de memória partilhada:

Programa 1		Programa 2	
CPU A	CPU B	CPU A	CPU B
<code>x = 5;</code>	<code>x = x + x;</code>	<code>x = 5;</code>	<code>x = x * 2;</code>

Mostre que os dois programas não são equivalentes e que, nomeadamente, os conjuntos de resultados que podem produzir são distintos. Assuma que o valor inicial de `x` é 1.

Nome: _____ Número: _____

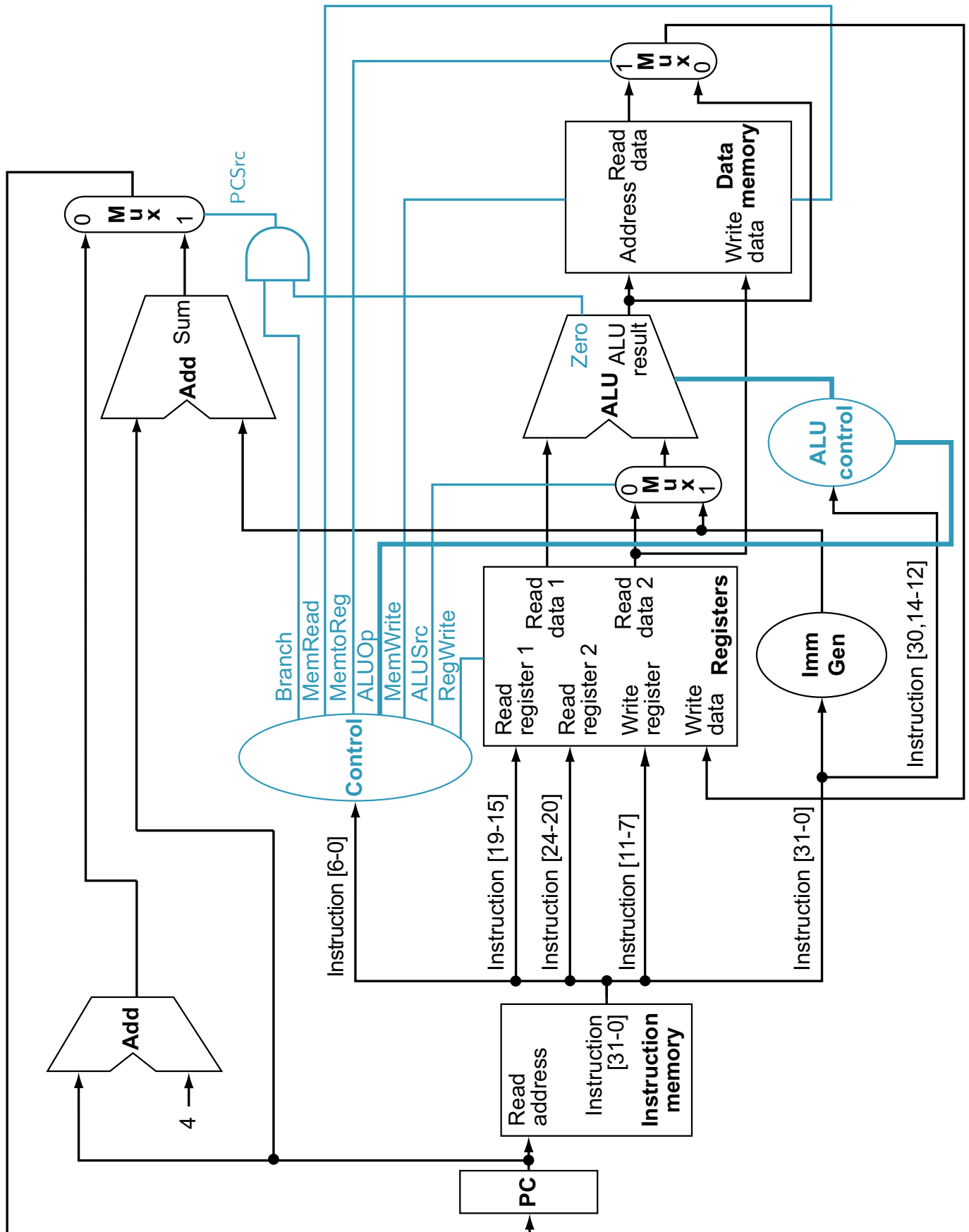


Figura 1: Diagrama de blocos da implementação RISC-V monociclo

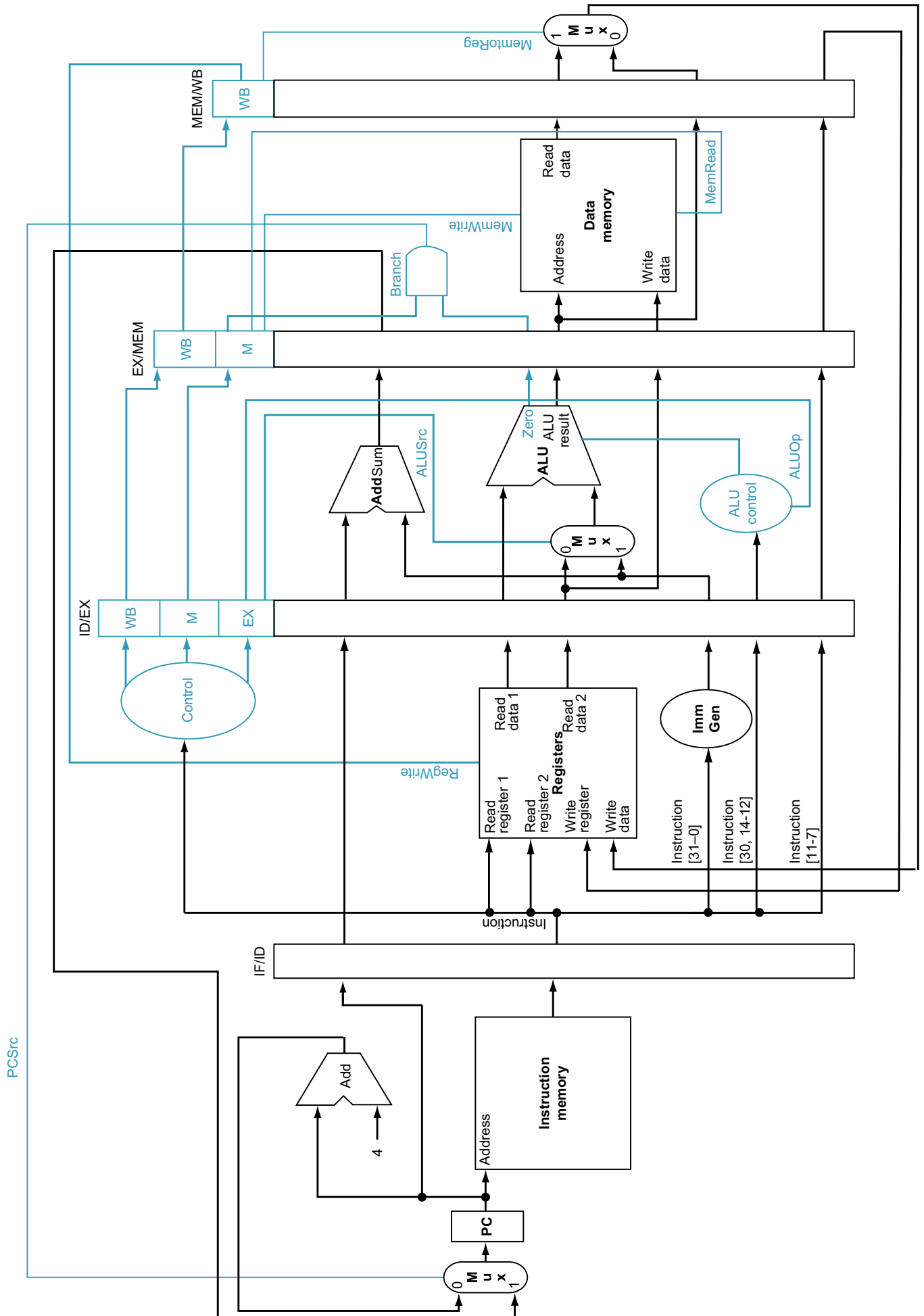


Figura 2: Diagrama de blocos do *pipeline* RISC-V