

# Arquitectura de Computadores II

## Exame de Recurso

Departamento de Informática  
Universidade de Évora

26 de Janeiro de 2023

Indique todos os cálculos efectuados e todas as fórmulas usadas
---

### Perguntas rápidas

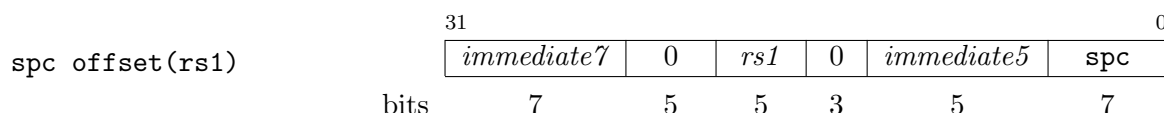
- [0,5 valores] Seja  $X$  um processador cujo relógio tem uma frequência de 1,5 GHz e seja  $Y$  um processador cujo relógio tem uma frequência de 4,3 GHz. Pode-se afirmar que o processador  $Y$  tem melhor desempenho que o  $X$ ?
- [0,5 valores] Quais são as técnicas usadas, no pipeline RISC-V de cinco andares, para garantir que uma instrução não usa o conteúdo desactualizado de um registo?
- [0,5 valores] Numa cache *direct mapped* com 128 conjuntos, em quantas posições pode ser colocado cada bloco?
- [0,5 valores] Há *false sharing* quando, em dois processadores: é acedida a mesma palavra de memória, são acedidas palavras diferentes pertencentes ao mesmo bloco, ou são acedidos blocos diferentes pertencentes à mesma página?

### Desempenho

- [1,5 valores] Um programa executa 250 milhões de instruções, com um CPI médio de 3, em 0,15 s. Qual é o período do relógio do processador?
- [1,5 valores] Se a execução das instruções responsáveis por 55% do tempo de execução de um programa ficar 11 vezes mais rápida (i.e., se o tempo que demoram a executar diminuir para um onze avos do tempo original), qual é o *speedup* obtido para o programa?

### Implementação RISC-V monociclo

- [4 valores] Pretende-se que a implementação RISC-V monociclo da Figura 1 suporte a execução da instrução `spc` (*store PC*), que é uma instrução tipo-S com dois argumentos:



Esta instrução escreve o endereço da instrução seguinte, na posição de memória cujo endereço é obtido somando `offset` ao valor contido no registo `rs1`. (O valor de `offset` é a extensão com sinal dos bits de *immediate7* concatenados com *immediate5*.) Depois da execução desta instrução, é executada a instrução que se lhe segue no programa.

- Quais das unidades funcionais existentes (incluindo *multiplexers*) serão usadas na execução desta instrução? (Identifique os *multiplexers* com a ajuda dos seus sinais de controlo, e.g., `mux(MemtoReg)`.)

(CONTINUA...)

(b) Que alterações é necessário fazer à implementação?

Se não for necessário fazer qualquer alteração, explique brevemente qual será funcionamento do processador na execução da instrução.

(As alterações que considerar necessário fazer podem ser só apresentadas na Figura 1.)

(c) Na execução desta instrução, quais os valores que os vários sinais de controlo deverão ter e qual a operação realizada pela ALU? (Não é necessário apresentar o valor de ALUOp.)

### Pipeline RISC-V de 5 andares

Pode usar como referência o *pipeline* da Figura 2. Tenha, no entanto, em atenção a caracterização adicional do funcionamento do *pipeline* feita na pergunta.

8. [2,5 valores] Assumindo que nenhum dos saltos é efectuado, simule a execução do código à direita no *pipeline* de 5 andares, com *forwarding*, com decisão dos saltos condicionais no andar ID, e com previsão perfeita do resultado das instruções de salto condicional. Apresente a evolução do estado do *pipeline* durante a execução, indicando todos os atrasos introduzidos e todos os pontos onde foi necessário o *forwarding* de algum valor, identificando claramente entre que andares o *forwarding* foi feito.

```
1. volta: addi t0, t0, 16
2.      lw  t1, 4(t0)
3.      slti t2, t1, 0
4.      beq t2, zero, salta
5.      sub t1, zero, t1
6.      sw  t1, 4(t0)
7. salta: bne t1, zero, volta
```

### Cache

9. Num sistema com uma cache de 2 níveis, foi executado um programa que fez 2000 milhões de acessos à memória. Para este programa, observou-se uma *miss rate* de 2% na cache de 1º nível (L1) e que 16 milhões dos acessos chegaram à memória física.

(a) [1 valor] Quantos acessos foram feitos à cache de 2º nível (L2)?

(b) [1 valor] Qual a *miss rate* global verificada?

(c) [1 valor] Se o *hit time* da cache de 1º nível for de 3 ciclos e a latência da memória física for de 200 ciclos, qual seria o tempo médio de acesso à memória (em ciclos), na ausência da cache de 2º nível?

### Memória virtual

10. Considere um processador com um TLB 2-way set associative, com capacidade para 32 traduções, e com páginas com 16 KB.

(a) [1,5 valores] Diga a que página virtual pertence o endereço 1 650 000, qual o índice do TLB em que seria colocada a respectiva tradução, e qual o *tag* associado.

(b) [1 valor] A que página virtual pertence a tradução presente numa posição com índice 8, cujo *tag* é 50?

(c) [1 valor] Apresente os endereços do primeiro e do último *bytes* da página virtual 500.

### Multiprocessamento

11. [2 valores] Considere os dois segmentos de um programa C paralelo abaixo, cada um a ser executado numa *thread* distinta, em paralelo, num multiprocessador de memória partilhada:

CPU A	CPU B
b = a;	a = b + 7;

Sabendo que *a* e *b* são duas variáveis globais do programa, que o valor inicial de *a* é 1 e que o valor inicial de *b* é 5, mostre como é possível a execução decorrer de modo a que, depois do código mostrado ser executado, o valor final de *a* seja 12 e o de *b* seja 1.

(Sugestão: Lembre-se do que significa, ao nível do processador RISC-V, efectuar uma operação do tipo “*x* = *y*;”, em que *x* e *y* são duas variáveis.)

Nome: \_\_\_\_\_ Número: \_\_\_\_\_

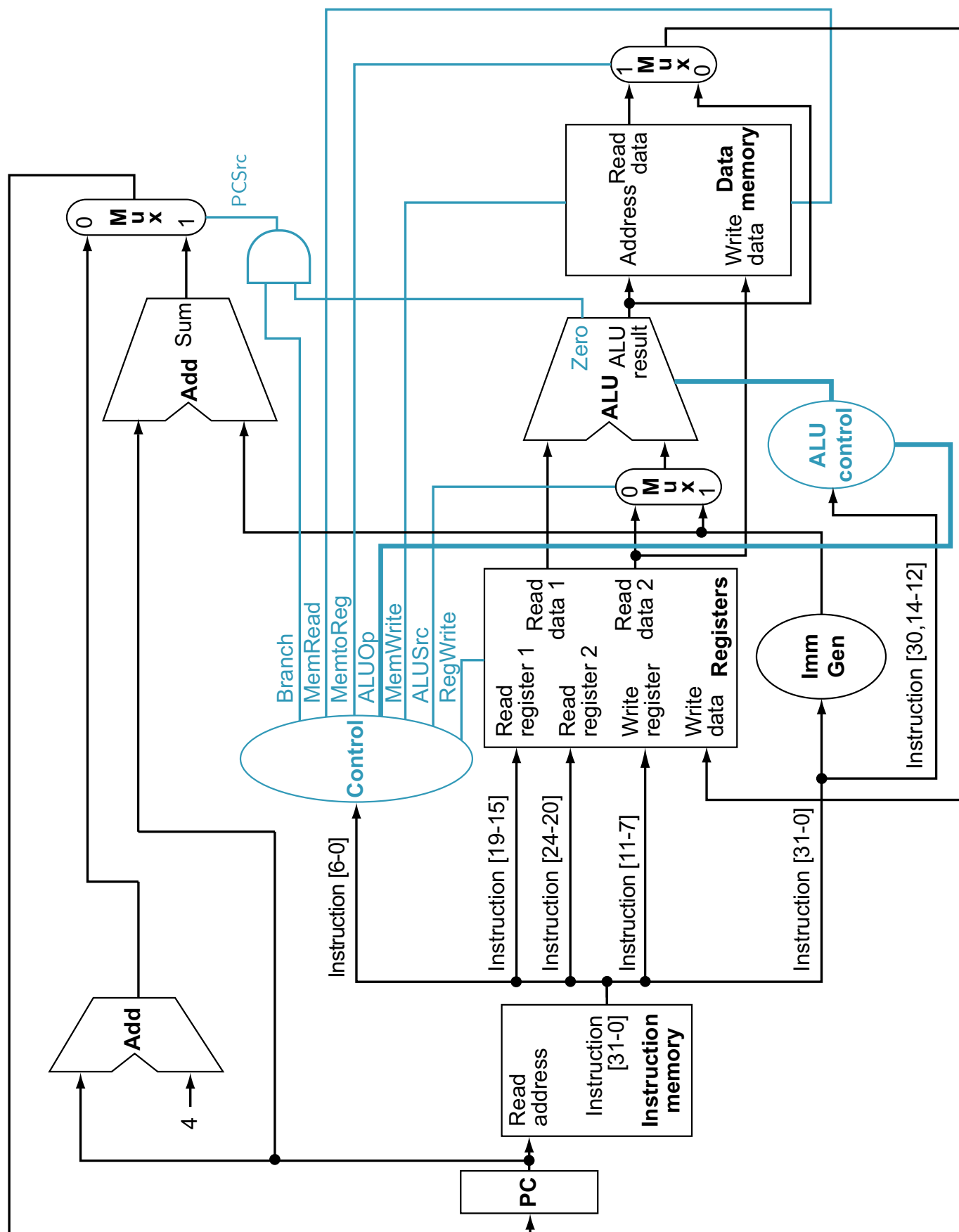


Figura 1: Diagrama de blocos da implementação RISC-V monociclo

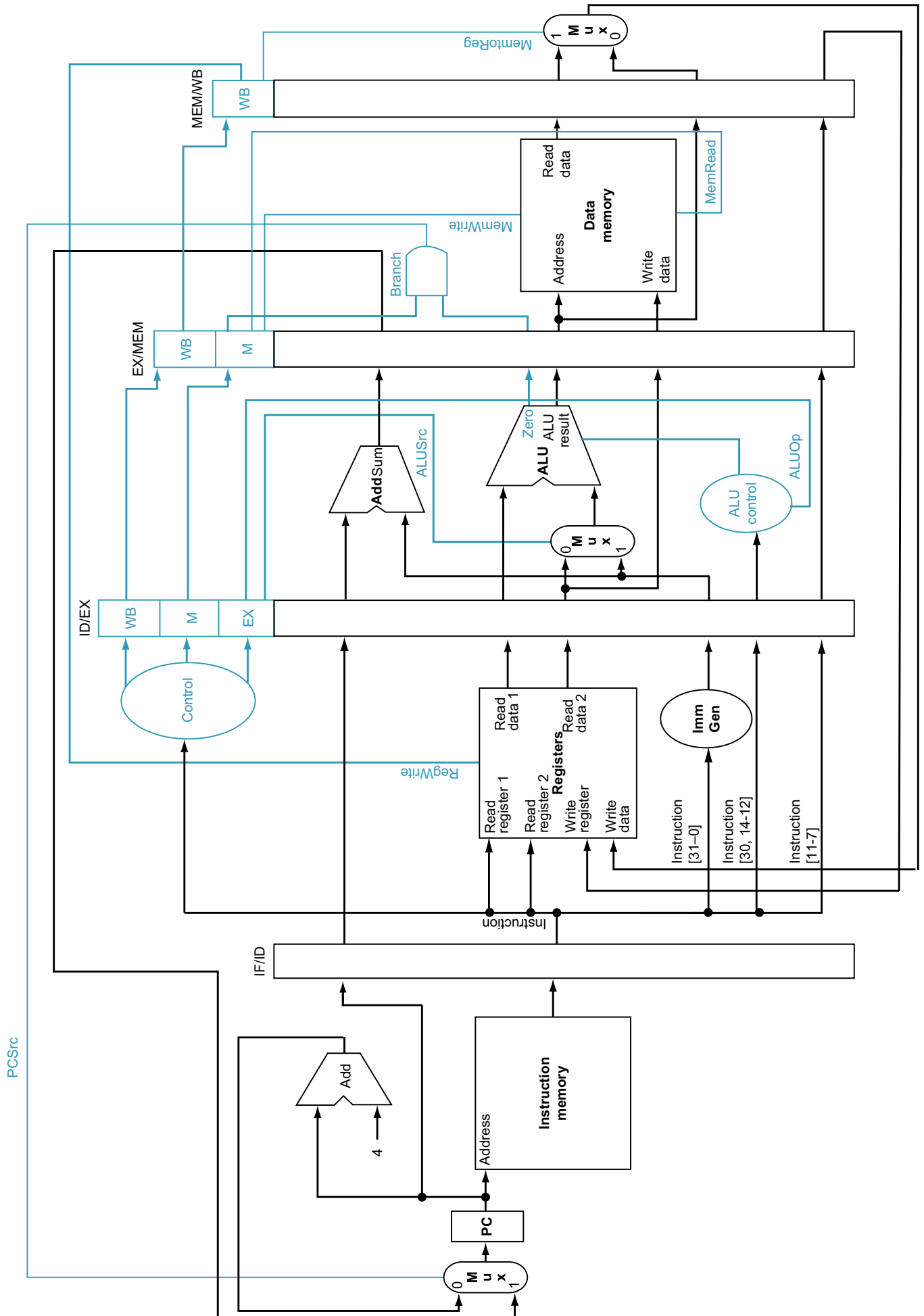


Figura 2: Diagrama de blocos do *pipeline* RISC-V