Arquitetura de Computadores II 1.ª Frequência

Departamento de Informática Universidade de Évora

11 de outubro de 2023

Indique todos os cálculos efetuados e as fórmulas usadas. Justifique todas as respostas.

Perguntas rápidas

- 1. [1 valor] Suponha que os processadores A e B são duas implementações diferentes da mesma arquitetura (ISA) com frequências de relógio de 1,2 GHz e 1,5 GHz, respetivamente. Pode-se concluir que o processador B tem um desempenho superior ao A?
- 2. [1 valor] Qual o CPI da implementação monociclo da arquitectura RISC-V?
- 3. [1 valor] Considere dois processadores com implementações diferentes da mesma arquitetura (ISA) a correrem o mesmo programa. Indique qual das seguintes métricas permite concluir que um processador tem melhor desempenho que o outro:
 - Maior frequência de relógio;
 - Menor CPI;
 - Menor tempo de execução.
- 4. [1 valor] Indique as afirmações verdadeiras:
 - Dois processadores com implementações diferentes da mesma arquitetura (ISA) têm os mesmos valores de CPI;
 - Dois programas diferentes a executar no mesmo processador têm o mesmo CPI médio;
 - Em geral, o valor do CPI depende da implementação do processador e do programa.

Desempenho

5. Um processador X tem uma frequência de relógio de 2,8 GHz e os valores de CPI para várias classes de instruções indicadas na seguinte tabela:

| Classe | A | В | С |
|--------|---|---|---|
| CPI | 1 | 2 | 4 |

Durante a execução de um programa são executadas 5×10^7 instruções da classe A, 2×10^7 instruções da classe B e 1×10^6 instruções da classe C.

- (a) [3 valores] Calcule o tempo que demora a execução do programa.
- (b) [2 valores] Quando o programa é executado no processador Y, que é uma implementação diferente da mesma arquitetura, obtém-se um speedup de 1,2, em relação à sua execução em X. Quanto tempo demora a execução do programa em Y?

Implementação RISC-V monociclo

6. Pretende-se que a implementação RISC-V monociclo da figura suporte a execução de uma nova instrução jm (jump memory), que é uma instrução com dois argumentos:

jm imm(rs1) 31 immediate12 | rs1 | funct3 | 0 | opcode bits 12 5 3 5 7

Esta instrução realiza um salto (jump) para um endereço que é lido de memória. A execução consiste em somar o immediate de 12 bits ao registo rs1 para obter um endereço de memória. Depois lê uma word desse endereço, tal como faz a instrução lw. Finalmente usa o valor lido como endereço de destino do salto.

- (a) [2 valores] Quais das unidades funcionais existentes (incluindo *multiplexers*) serão usadas na execução desta instrução? (Identifique os *multiplexers* através dos seus sinais de controlo, e.g., mux(MemtoReg).)
- (b) [2 valores] Que unidades funcionais (incluindo multiplexers) e que sinais de controlo é necessário acrescentar ou modificar? Desenhe na figura as alterações necessárias.
 Caso não seja necessário nenhuma alteração à implementação, explique brevemente qual será funcionamento do processador na execução da instrução.
- (c) [2 valores] Quais os valores que os vários sinais de controlo deverão ter e qual a operação realizada pela ALU durante a execução desta instrução? (Ignore o ALUOp.)
- 7. Considere a execução da instrução lw x4, -8(x5) que se encontra no endereço de memória 0x00400100. O código máquina completo da instrução é:

(a) [2 valores] Considerando o estado dos registos e da memória indicados nas tabelas abaixo, indique que valores estão presentes nos pontos (A), (B), (C) e (D) do circuito no final do ciclo de execução.

| Registo | Valor | Endereço | Valor $(+0)$ | Valor (+1) | Valor $(+2)$ | Valor $(+3)$ |
|---------|------------|------------|--------------|------------|--------------|--------------|
| x4 | 0x0000000a | 0x0000000a | 0x00 | 0x01 | 0x02 | 0x03 |
| x5 | 0x7fffff0c | 0x00000012 | 0x04 | 0x05 | 0x06 | 0x07 |
| x6 | 0x00000012 | 0x7fffff04 | 80x0 | 0x09 | 0x0a | 0x0b |

(Nota: É dada mais informação do que a estritamente necessária para responder à questão.)

(b) [2 valores] Sejam as seguintes as latências das várias componentes do processador:

| PC | Memórias | Banco registos | ALU | Somadores | $Immediate\\Generator$ | Multiple xers | Controlo | Controlo da ALU |
|----------------|------------------|-------------------|------------------|-----------|------------------------|-----------------|-----------------|--------------------|
| $5\mathrm{ps}$ | $320\mathrm{ps}$ | $150\mathrm{ps}$ | $130\mathrm{ps}$ | 110 ps | 8 ps | $20\mathrm{ps}$ | $30\mathrm{ps}$ | 10 ps |

(Considere que os restantes elementos lógicos têm latência zero.)

Calcule o tempo que demora, desde o início do ciclo de relógio em que a instrução é executada, até que os valores correctos estejam disponíveis nos pontos A, B, C e D do circuito da figura. Explicite todos os tempos que considerou, nos cálculos que fez, para chegar aos valores que obteve.

(c) [1 valor] Se de todas as instruções a lw tiver a maior latência, qual a frequência de relógio máxima a que o processador pode operar?

