

Arquitectura de Computadores II

1ª Frequência

Departamento de Informática
Universidade de Évora

27 de Outubro de 2021

Indique todos os cálculos efectuados e todas as fórmulas usadas

Perguntas rápidas

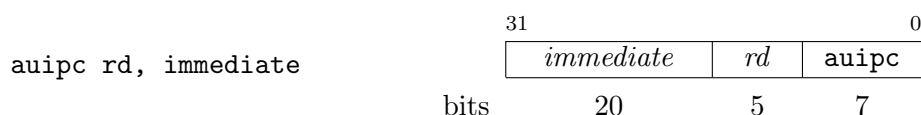
1. [1 valor] Seja X um processador cujo relógio apresenta uma frequência 2,5 vezes superior à do relógio do processador Y . Pode-se afirmar que o processador X tem melhor desempenho que o Y ?
2. [1 valor] Onde se localizam os registos (como $x0$ e $x12$) num computador com um processador RISC-V?
3. [1 valor] Quantos ciclos de relógio permanece uma instrução no *pipeline* RISC-V de 5 andares?
4. [1 valor] Se a decisão de um salto condicional for tomada no andar MEM do *pipeline* RISC-V, quantas serão as instruções que terão de ser limpas do *pipeline* se o processador previr incorrectamente o efeito do salto?

Desempenho

5. Sejam A e B dois processadores que implementam a mesma arquitectura e P um programa.
 - (a) [2 valores] Em A , a execução de P demora 8s. Se o CPI do programa for 4 e a frequência do relógio for de 1 GHz, quantas são as instruções executadas?
 - (b) [2 valores] Se o CPI de P em B for 3, qual terá de ser a frequência do relógio de B para se obter, para o programa, um *speedup* de 4 em relação à sua execução em A ?

Implementação RISC-V monociclo

6. [5,5 valores] Pretende-se que a implementação RISC-V monociclo da Figura 1 suporte a execução da instrução **auipc** (*add upper immediate to PC*), que é uma instrução tipo-U com dois argumentos:



Esta instrução coloca no registo **rd** o valor do PC somado a $\text{immediate} \times 2^{12}$ ($=$

immediate	doze 0's
-----------	----------

).

- (a) Quais das unidades funcionais e dos *multiplexers* existentes serão usados na execução desta instrução? (Identifique os *multiplexers* através dos seus sinais de controlo, e.g., `mux(MemtoReg)`.)
- (b) Que unidades funcionais (incluindo *multiplexers*) e que sinais de controlo é necessário acrescentar?
Se não for necessário fazer qualquer alteração à implementação, explique brevemente qual será funcionamento do processador na execução da instrução.
- (c) Quais os valores que os vários sinais de controlo deverão ter e qual a operação realizada pela ALU durante a execução desta instrução? (Não é necessário apresentar o valor de `ALUOp`.)
- (d) Apresente na Figura 1 as alterações à implementação que considerar necessário fazer.

(CONTINUA...)

7. Seja $PC = 0200\ 1000_{16}$ o endereço da instrução `sw x31, 4(x9)`, cuja codificação binária completa é a seguinte:

bit	31	25	20	15	12	7	0
	0000000	11111	01001	010	00100	0100011	

- (a) [2 valores] Sejam os seguintes os valores contidos em alguns dos registos do processador, quando a execução da instrução se inicia:

Registo	1	3	4	5	6	9	16	23	24	31
Valor	15 000 000	1	99	300	56	230 000	32	93 000	4	708

Indique os valores que estão presentes, no fim do ciclo em que a instrução executa, nos pontos ①, ② e ③ do circuito da Figura 2. Use a base de numeração que achar conveniente para cada um dos valores.

(Se necessitar do conteúdo de um registo não contemplado na tabela acima, considere que esse registo contém o valor obtido adicionando 1000 ao número do registo. Se for necessário, pode representar a palavra no endereço *endereço* da memória por $MEM[endereço]$.)

- (b) [2 valores] Sejam as seguintes as latências das várias componentes do processador:

PC	Memórias	Banco registos	ALU	Somadores	<i>Immediate Generator</i>	<i>Multiplexers</i>	Controlo	Controlo da ALU
10 ps	300 ps	130 ps	180 ps	170 ps	12 ps	25 ps	35 ps	16 ps

(Considere que os restantes elementos lógicos têm latência zero.)

Calcule o tempo que demora, desde o início do ciclo de relógio em que a instrução é executada, até que os valores correctos estejam disponíveis nos pontos ①, ② e ③ do circuito da Figura 2. Explícite *todos* os tempos que considerou, nos cálculos que fez, para chegar aos valores que obteve.

(Sugestão: Inclua esses valores na figura.)

Pipeline RISC-V de 5 andares

8. [2,5 valores] Considere o código RISC-V seguinte:

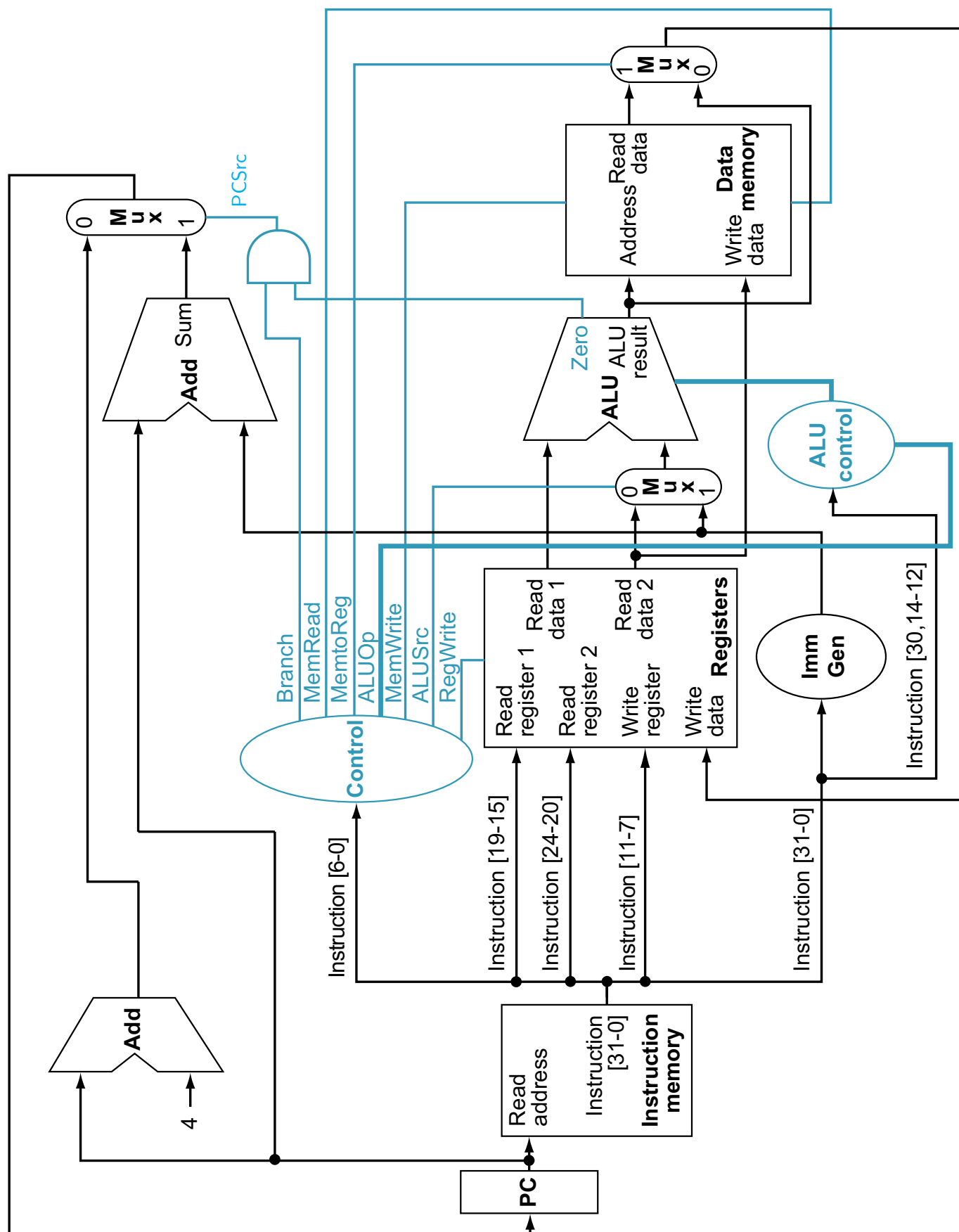
```

1.          and  x3, x5, x0
2.  inicio: sw   x3, 4(x15)
3.          addi x15, x15, -4
4.          lw   x5, 100(x12)
5.          add  x3, x3, x5
6.          addi x12, x12, 8
7.          beq  x3, x7, inicio
8.          or   x6, x3, x3

```

Identifique todas as dependências (de dados) existentes no código e diga quais as que constituem conflitos.

Nome: _____ Número: _____

Figura 1: Diagrama de blocos da implementação RISC-V monociclo para a **pergunta 6**

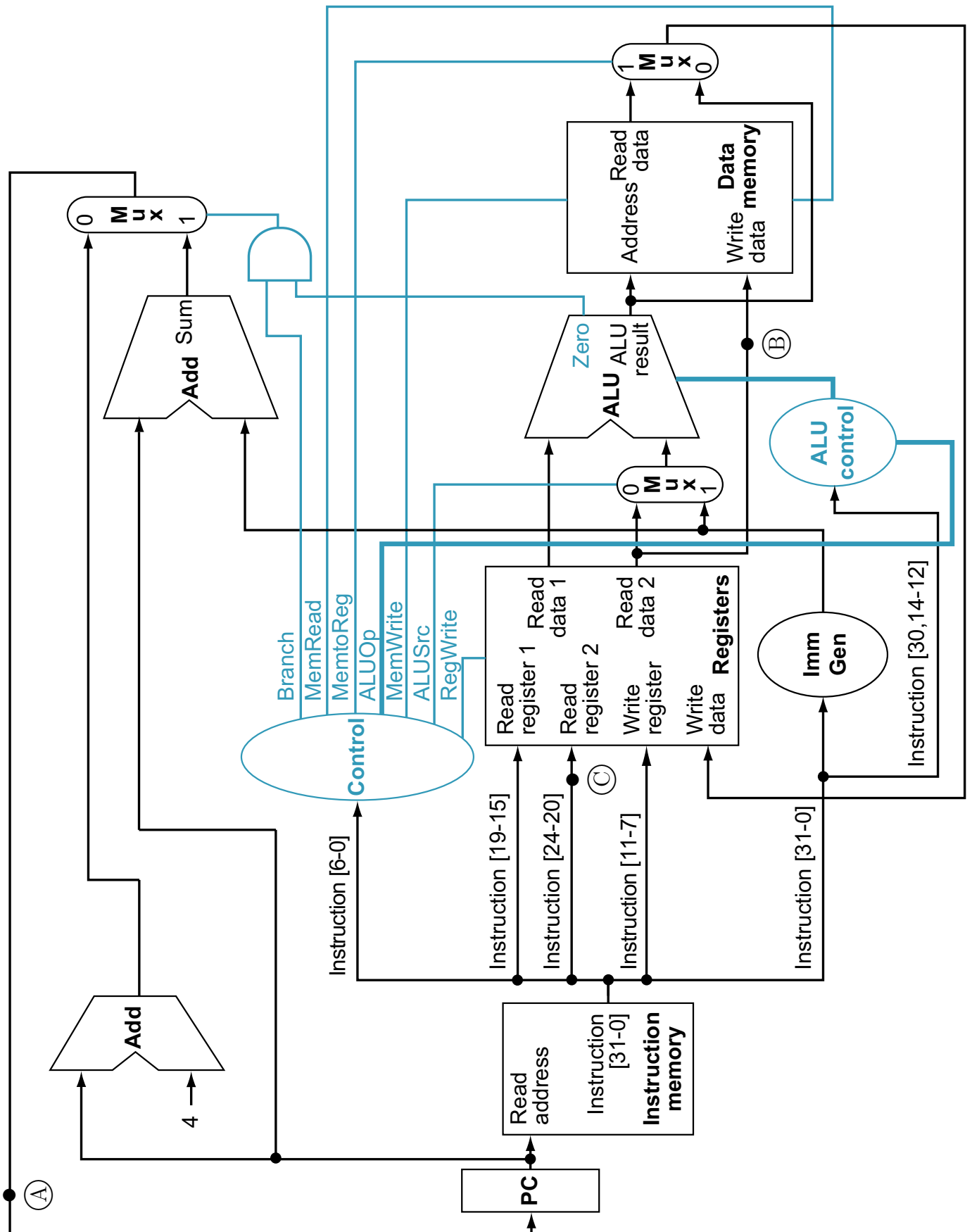


Figura 2: Diagrama de blocos da implementação RISC-V monociclo para a **pergunta 7**