

Politécnico de Coimbra

Sistemas Digitais

CTeSP Tecnologias e Programação de Sistemas de Informação (Cantanhede)

Professor: João Leal

joao.leal@isec.pt









Circuitos Lógicos



Os circuitos lógicos podem ser classificados de combinacionais ou Sequenciais.

 Um circuito combinacional é aquele em que as saídas só dependem das entradas atuais.

Exemplo: comando com botão para escolher o canal da TV.

 Um circuito sequencial é aquele em que as saídas dependem das entradas aTuais, mas também da sequência de valores por que passaram as entradas.

Exemplo: comando para escolher o canal da TV com um botão para ir para o canal próximo/anterior (botão "+/-").



Circuitos Lógicos



 Não é possível descrever o comportamento dum circuito sequencial simplesmente com uma tabela que relacione as entradas com as saídas.

 Para saber para onde vai evoluir um circuito sequencial, é preciso conhecer em que situação ele se encontra atualmente. Ou seja, o estado desse circuito deve ser memorizado





 Os circuitos sequenciais são aqueles em que as saídas num dado momento não dependem exclusivamente dos valores aplicados nas entradas nesse momento mas, também, dos valores que estavam presentes anteriormente.

Ou seja, dispõem de memória.









 O estado dum circuito sequencial é o conjunto de variáveis de estado, que guarda a informação relativa ao Passado/presente desse circuito, necessária para determinar o seu comportamento futuro.

No exemplo do comando para escolher o canal da TV, o número do canal atual é o estado atual.

 Conhecido o estado atual, pode sempre prever-se o próximo estado em função das entradas atuais.







 Num circuito digital, as variáveis de estado são valores binários e correspondem a sinais internos desse circuito.

Um circuito com n variáveis de estado binárias pode ter até 2ⁿ estados.

 Um circuito sequencial também pode ser designado de máquina de estados finita (ou seja, máquina com um número de estados finito).





- As mudanças de estado acontecem em instantes impostos por um sinal de relógio (clock).
- Um sinal de relógio é ativo no nível alto se as mudanças de estado acontecerem no bordo ascendente do relógio ou quando o relógio está no nível ALTO. Caso contrário, é ativo no nível baixo.
- O período do relógio (T) coincide com o intervalo entre transições sucessivas (do relógio) na mesma direção.
- A frequência do relógio (f) é o inverso do período do relógio (f = 1 / T).





- Vamos abordar dois tipos de circuitos sequenciais:
 - Circuitos sequenciais simples: usam portas lógicas elementares (ANDs, ORs,...) e ciclos (ou caminhos) com feedback para criar elementos de memória (latches e flip-flops).

 Máquinas de estados síncronas com um sinal relógio: usam latches e flipflops para criar circuitos que funcionam sob o controlo dum sinal de relógio.





Um dispositivo de memória binária ou digital deve possibilitar:

Uma operação de escrita, em que um valor binário é armazenado;

 Uma operação de leitura, em que um valor memorizado é lido para posterior utilização.







A sua implementação pode fazer-se, basicamente, de duas formas:

Recorrendo a mecanismos analógicos

 Recorrendo a portas lógicas (com realimentação das saídas para as entradas)

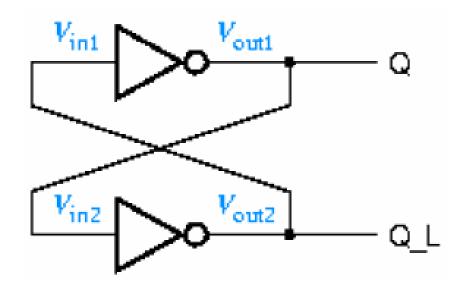
Independentemente da forma pela qual é implementado, um dispositivo elementar de memória com capacidade para armazenar **um bit**, designa-se por **célula de memória**.







O circuito sequencial mais simples de todos é um circuito sem entradas e construído com um par de *inversors* interligados de modo a estabelecer um ciclo com *feedback*.











A este circuito dá-se o nome de **bi-estável** porque possui dois estados (situações) estáveis:

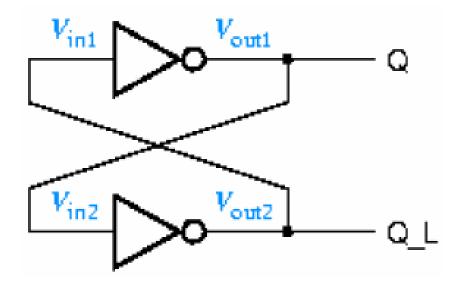
 Quando Q está no nível ALTO, o inversor inferior tem a saída no nível BAIXO, forçando deste modo o inversor superior a colocar a sua saída no nível ALTO (como se assumiu inicialmente).

 Quando Q está no nível BAIXO, o inversor inferior tem a saída no nível ALTO, forçando deste modo o inversor superior a colocar a sua saída no nível BAIXO (como se assumiu inicialmente).





Pode usar-se uma única variável de estado (sinal Q) para definir o estado do circuito. Logo, há 2 estados possíveis: Q=0 e Q=1.











 O elemento bi-estável é tão simples que não possui entradas, o que impede que o seu estado seja controlado.

 Quando o circuito é alimentado, ele assume um estado aleatório e permanece nele indefinidamente.

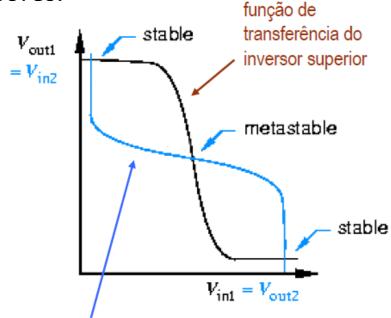
 Efetuando uma análise do bi-estável segundo uma perspetiva analógica percebe-se melhor o seu funcionamento.







 O bi-estável está em equilíbrio se as tensões de entrada e de saída em ambos os *inversors* assumirem um valor constante e consistente com (i) as ligações do ciclo de feedback e (ii) a função de transferência dos inversores.



função de transferência do inversor inferior

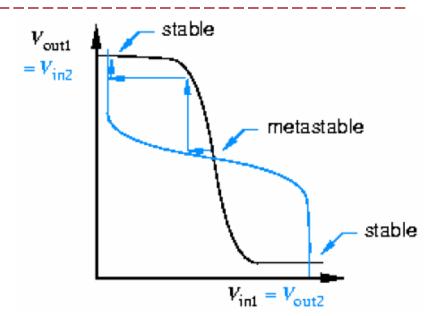


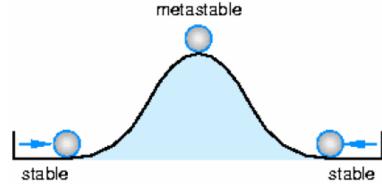




 O bi-estável está em equilibrio nas posições assinaladas com "stable".

Há um 3º ponto de equilíbrio, assinalado com "metastable", que ocorre quando V_{out1} e V_{out2} não são nem **0** nem **1** lógico.





Analogia do ponto de meta-estabilidade com uma bola lançada sobre o pico duma montanha

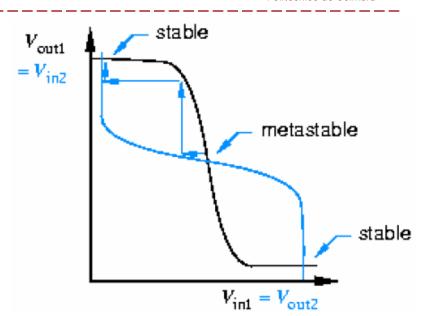


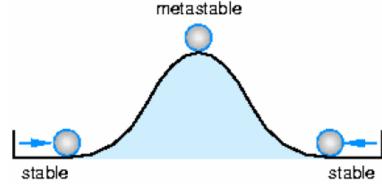




 Se não houvesse ruído e o circuito atingisse o ponto meta-estável, poderia permanecer nele indefinidamente.

 O ponto é meta-estável porque o ruído tenderá a levar o circuito para uma das posições estáveis.





Analogia do ponto de meta-estabilidade com uma bola lançada sobre o pico duma montanha







As *latches* e os *flips-flops* são os blocos elementares com os quais se constroi a maior parte dos circuitos sequenciais.

 Um flip-flop é um dispositivo sequencial que amostra as suas entradas e que altera as suas saídas apenas em instantes determinados por um sinal de relógio.

 Uma latch é um dispositivo sequencial que observa todas as suas entradas continuamente e altera as suas saídas em qualquer momento, independentemente de qualquer sinal de relógio.





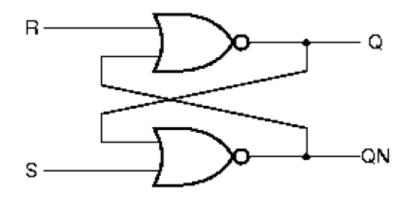




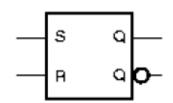
 Pode construir-se uma latch S-R com portas NOR (S=set, R=reset).



 Se S e R estiverem ambos a 0, o circuito comporta-se como o elemento bi-estável.



S	R	Q	QN
0	0	last Q	last QN
0	1	0	1
1	0	1	0
1	1	0	0



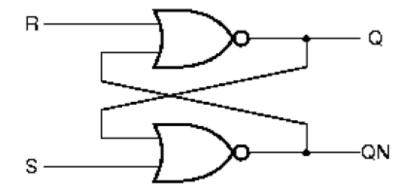






Politécnico de Coimbra

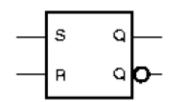
Deve activar-se S ou R para forçar
o ciclo de feedback a atingir o
estado (estável) desejado.



A entrada S define (sets ou presets) a saída Q a 1.

S	R	Q	QN
0	0	last Q	last QN
0	1	0	1
1	0	1	0
1	1	0	O

A entrada R define (resets ou clears) a saída Q a 0.







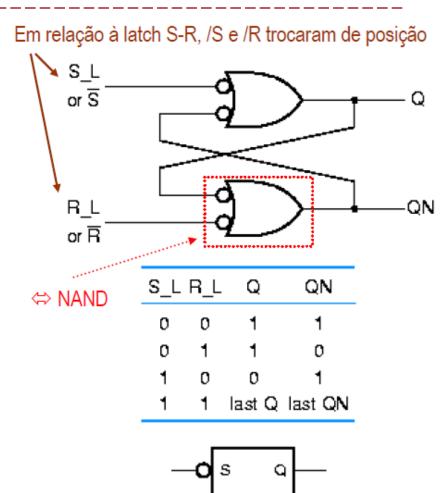




Politécnico de Coimbra

Pode construir-se uma latch S-R,
com entradas de set e reset
ativas no nível baixo, com portas NAND.

• O funcionamento desta latch $\bar{S} = \bar{R}$ é idêntico ao da anterior, com 2 diferenças.







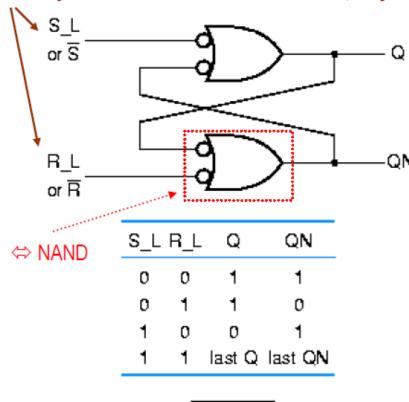


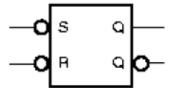


- O funcionamento desta latch $\overline{S} = \overline{R}$ é idêntico ao da anterior, com 2 diferenças.
 - S_L e R_L são ativas no nível baixo, logo a latch mantém o seu estado quando S_L=R_L=1.

 Quando S_L e R_L estiverem ambas ativas, ambas as saídas ficam a 1 (e não a 0).

Em relação à latch S-R, /S e /R trocaram de posição



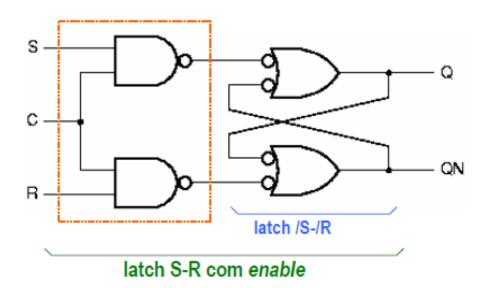


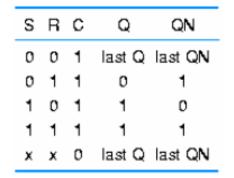


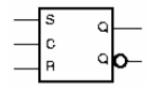




- Uma latch S-R (ou /S-/R) reage ao valor das entradas em qualquer momento.
- Contudo, pode ser alterada para reagir ao valor das entradas apenas quando uma entrada de enable (C) estiver activa.



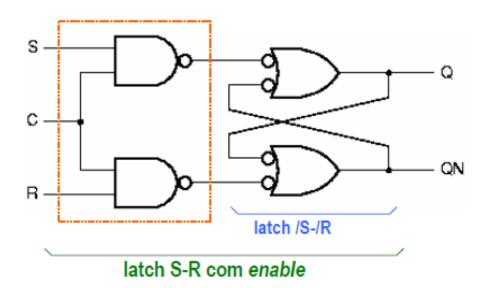


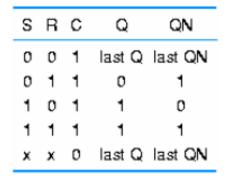


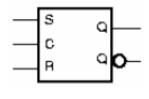


O circuito alterado comporta-se tal como a latch S-R quando C=1.

E mantém o estado quando C=0.







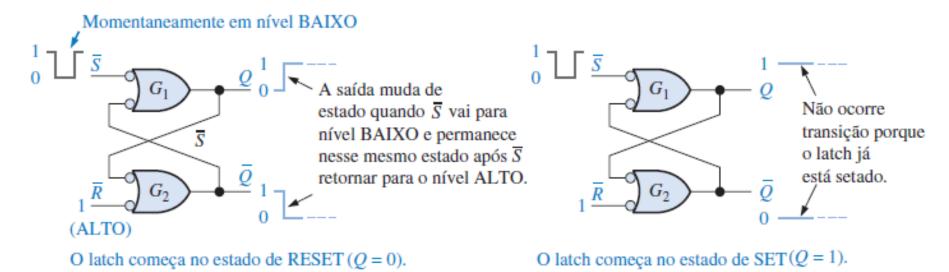








• Os três modos de operação do latch $\bar{S}=\bar{R}$ básico (SET, RESET, repouso) e a condição inválida:



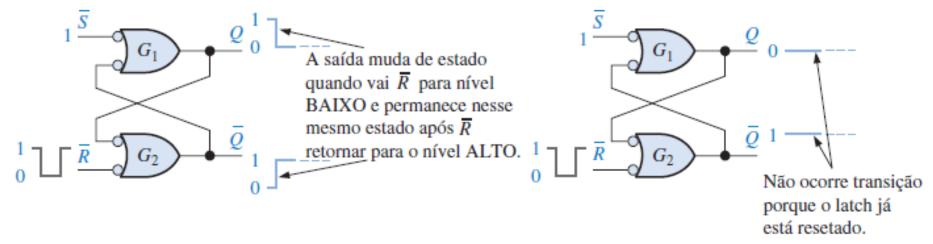
(a) Duas possibilidades para a operação SET











O latch começa no estado de RESET(Q = 1).

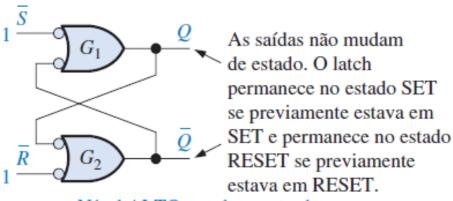
O latch começa no estado de SET (Q = 0).

(b) Duas possibilidades para a operação RESET



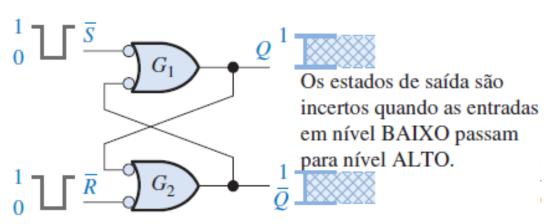






Nível ALTO nas duas entradas

(c) Condição sem alteração



Simultaneamente em nível BAIXO nas duas entradas

(d) Condição inválida







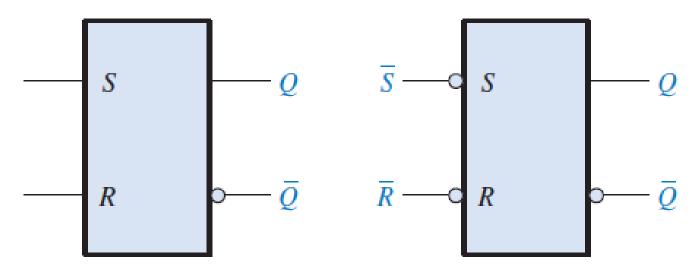
• Tabela-verdade para um latch $\bar{S} - \bar{R}$ com entradas ativas em nível BAIXO :

ENTRADAS		SAÍDAS		
<u>s</u>	R	Q	Q	COMENTÁRIOS
1	1	NC	NC	Repouso. O latch permanece no estado atual.
0	1	1	0	Latch no estado SET.
1	0	0	1	Latch no estado RESET.
0	0	1	1	Condição inválida.





• Símbolos lógicos para os latches S-R e $\bar{S}-\bar{R}$:



- (a) Latch S-R com entradas ativas em nível ALTO.
- (b) Latch S-R com entradas ativas em nível BAIXO.

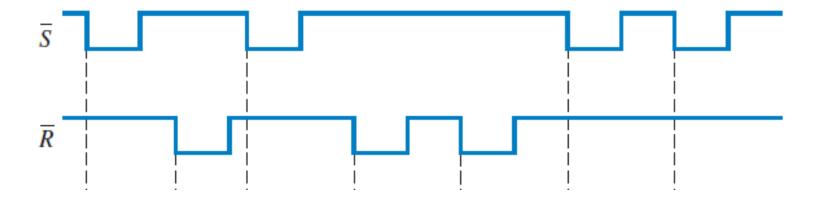




Exemplo



Considere as formas de onda seguintes.



Determine a forma de onda observada na saída Q.

Considere que Q está inicialmente em nível BAIXO.

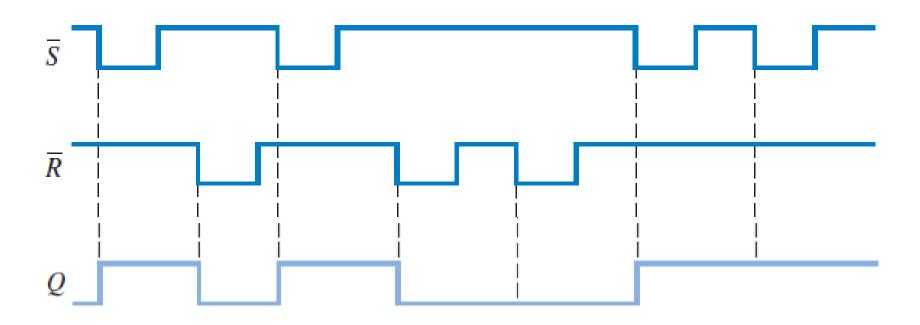




Exemplo



Teremos:



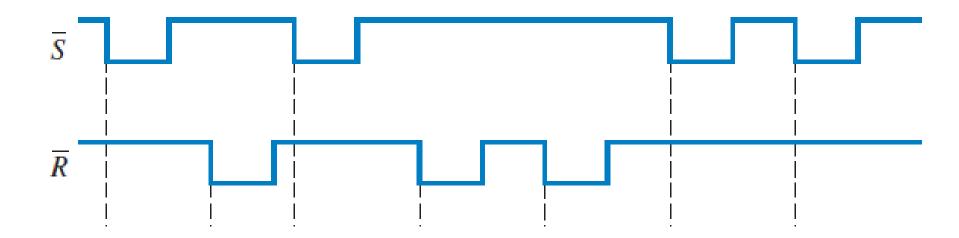




Exercício 1



Determine a saída Q de um latch S-R com entradas ativas em nível ALTO se as formas de onda mostradas na figura forem invertidas e aplicadas nas entradas.



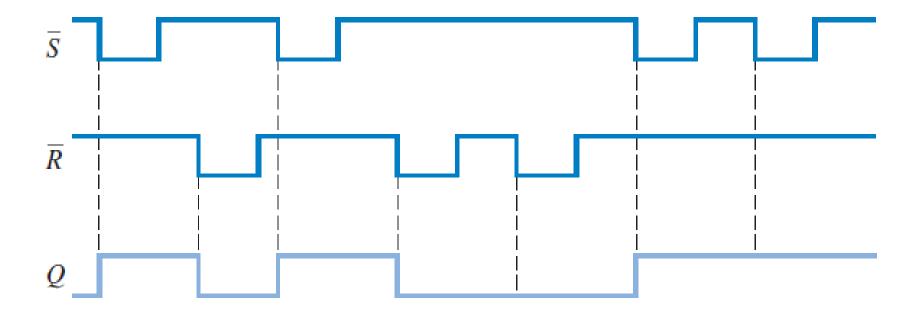






Exercício 1



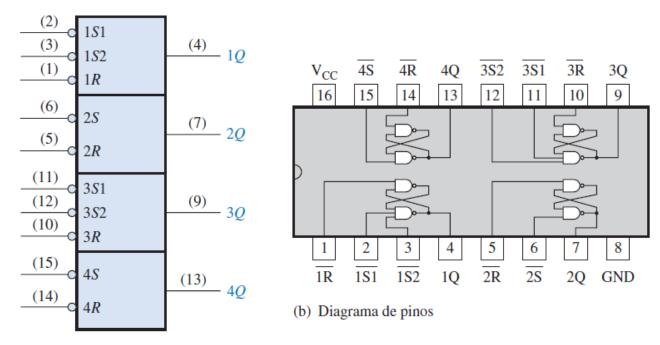








- O CI 74LS279 contém quatro latches $\bar{S} \bar{R}$ representado pelo diagrama lógico visto na figura assim como o diagrama de pinos.
- Observe que dois dos latches têm duas entradas S.



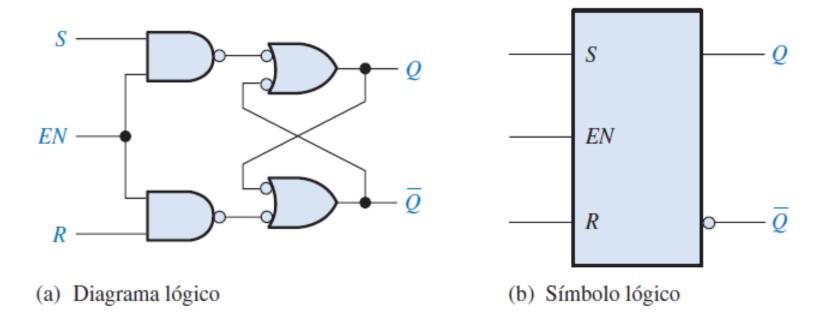
(a) Diagrama lógico





Latch S-R controlado

 Um latch controlado necessita de uma entrada de habilitação, EN (a letra G também é usada para indicar uma entrada de habilitação).



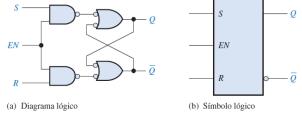






Latch S-R controlado

- As entradas S e R controlam o estado para o qual o latch irá quando um nível ALTO é aplicado na entrada EN.
- O latch não mudará de estado até que EN seja nível ALTO; porém enquanto essa entrada permanecer em nível ALTO, a saída é determinada pelos estados das entradas S e R.
- Nesse circuito o estado inválido ocorre quando S e R forem simultaneamente nível ALTO.

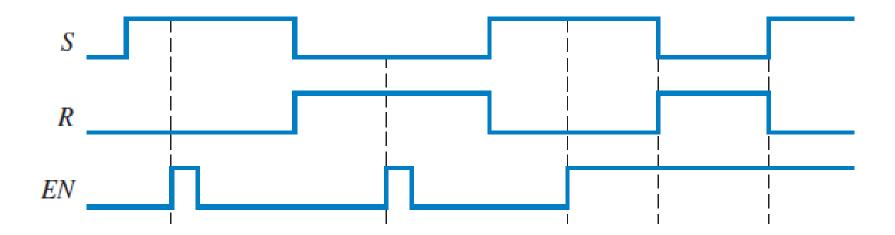




Exemplo



Determine a forma de onda da saída Q se as entradas mostradas na figura forem aplicadas no latch S-R controlado que está inicialmente "resetado".

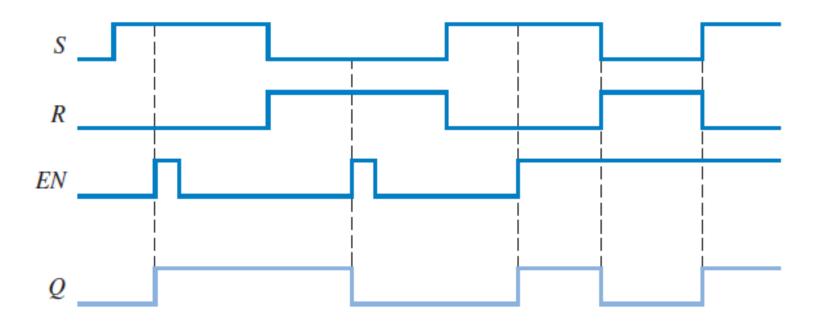






Exemplo





A forma de onda Q é mostrada na figura.

Quando S for nível ALTO e R for nível BAIXO, um nível ALTO na entrada EN seta o latch.

Quando S for nível BAIXO e R for nível ALTO, um nível ALTO na entrada EN reseta o latch.

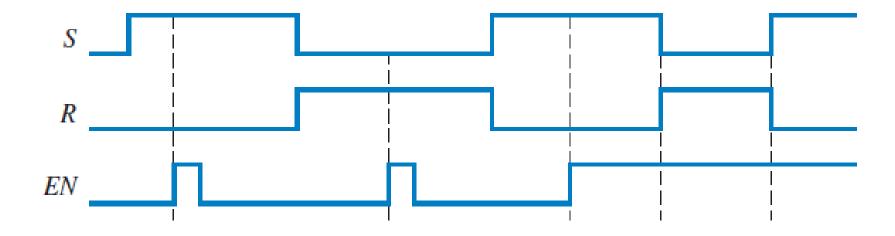




Exercício 2



Determine a saída Q de um latch S-R controlado se as entradas S e R mostradas na figura forem invertidas.

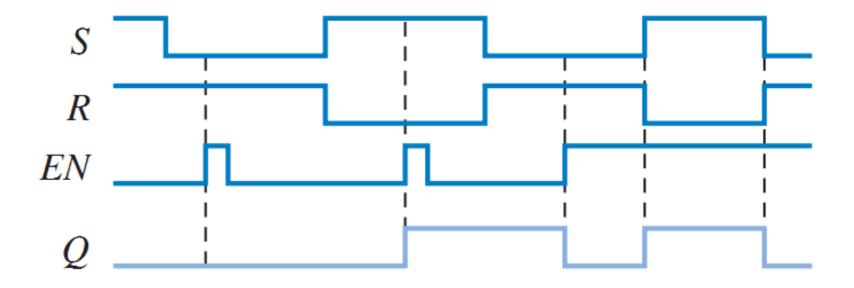






Exercício 2





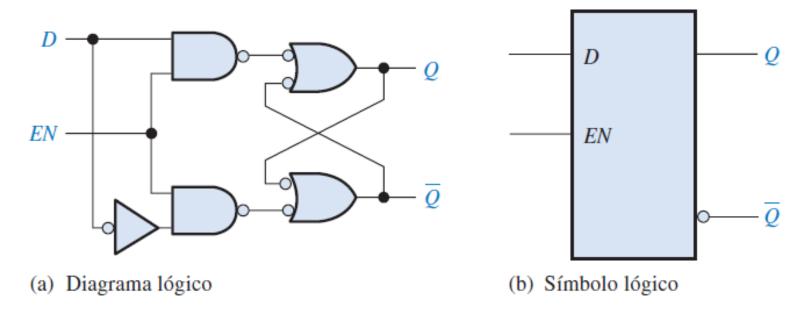






Latch D controlado

- Um outro tipo de latch controlado é denominado de latch D.
- Difere do latch S-R por ter apenas uma entrada além de EN.
- A entrada mencionada é denominada de entrada D (dado).

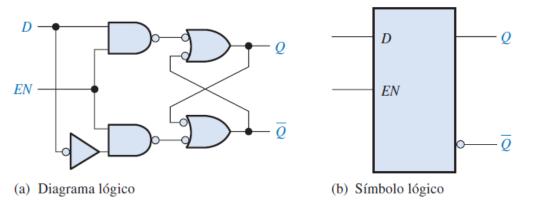






Latch D controlado

- Quando a entrada D for nível ALTO e a entrada EN for nível ALTO, o latch será setado.
- Quando a entrada D for nível BAIXO e a entrada EN for nível ALTO, o latch será resetado. Dito de uma outra forma, a saída Q segue a entrada D quando EN for nível ALTO.

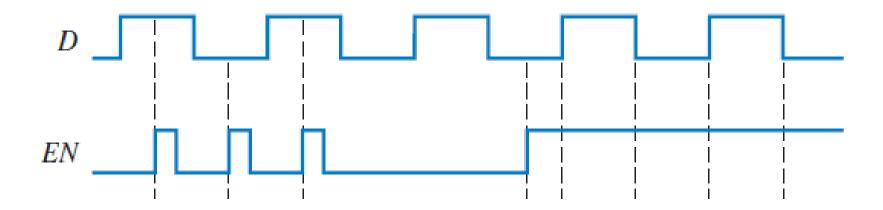




Exemplo



Determine a forma de onda da saída Q se as entradas mostradas na figura são aplicadas num latch D controlado, o qual inicialmente está "resetado".

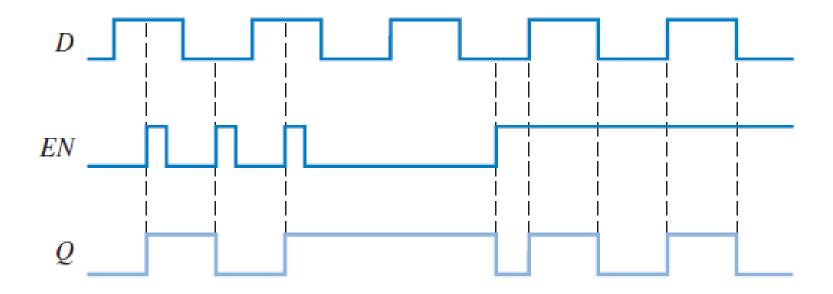






Exemplo





A forma de onda Q é mostrada na figura.

Quando D for nível ALTO e EN for nível ALTO, Q vai para o nível ALTO.

Quando D for nível BAIXO e EN for nível ALTO, Q vai para nível BAIXO.

Quando EN for nível BAIXO, o estado do latch não é afetado pela entrada D.



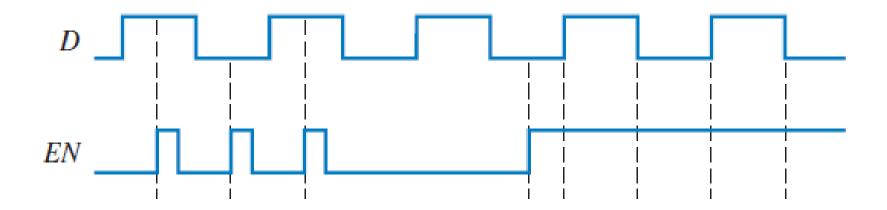




Exercício 3



Determine a saída Q do latch D controlado se a entrada D vista na figura for invertida.

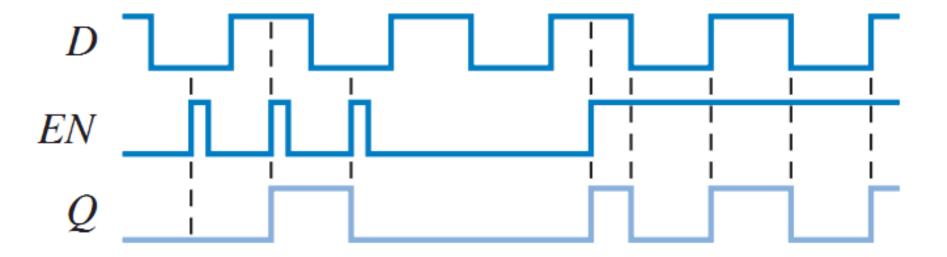






Exercício 3









Exercícios



4. Qual é a saída Q de um latch D quando EN = 1 e D = 1?

- **5.** Se um latch S-R tem um nível 1 na entrada S e um nível 0 na entrada R e em seguida a entrada S passa para o nível 0, o latch estará no estado
 - a) set
 - b) reset
 - c) inválido
 - d) clear



Exercícios



6. O estado inválido de um latch S-R ocorre quando

- a) S = 1, R = 0
- b) S = 0, R = 1
- c) S = 1, R = 1
- d) S = 0, R = 0





Exercícios



- 7. Para um latch D controlado, a saída Q sempre é igual a entrada D
 - a) antes do pulso de habilitação
 - b) durante o pulso de habilitação
 - c) imediatamente após o pulso de habilitação
 - d) as respostas (b) e (c) estão corretas



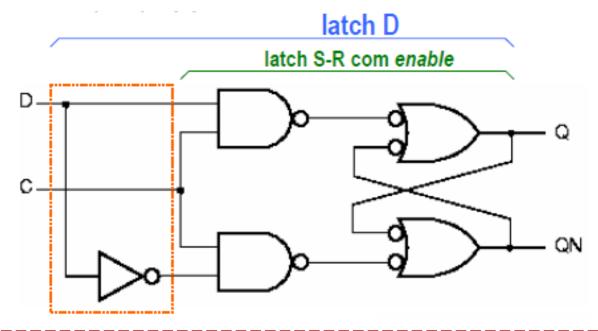






 Quando a finalidade da utilização duma latch é guardar um bit de informação, a latch D é a mais recomendada.

Pode construir-se uma latch D a partir duma latch S-R.





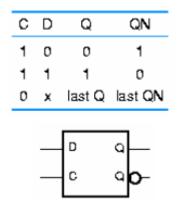


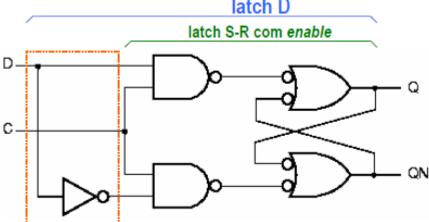




 Esta latch elimina a situação problemática da latch S-R, que ocorre quando S e R são activadas (a 1) em simultâneo.

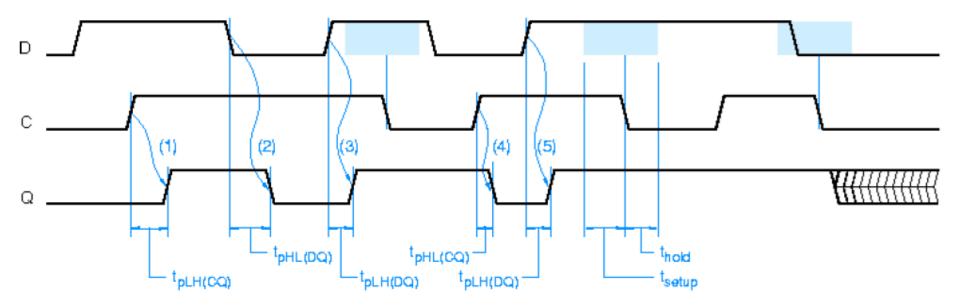
 Quando C=1, a latch está aberta / transparente e a saída Q acompanha a entrada D. Quando C=0, a latch está fechada e a saída Q mantém o último valor.









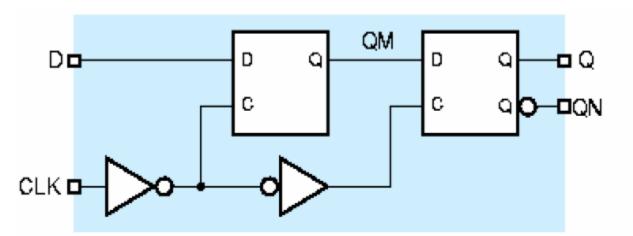


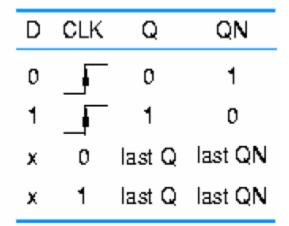
- Há um atraso associado com a propagação dos sinais desde as entradas até à saída Q.
- No intervalo definido pelos setup time mais o hold time, em torno do bordo descendente de C, a entrada D deve permanecer fixa.
- Se estes 2 tempos não forem respeitados, a saída da latch assumirá um valor imprevisível.





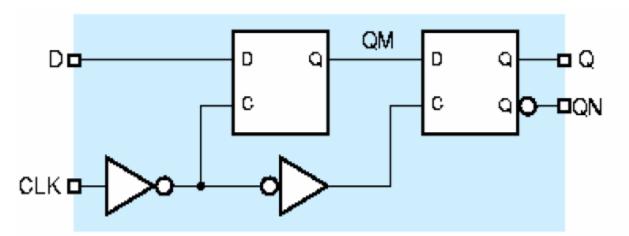
 Um flip-flop D positive-edge-triggered (FF D sensível à transição positiva) é um circuito contruído com um par de latches D que amostra a entrada D e altera as saídas Q e QN apenas no bordo ascendente do sinal CLK.

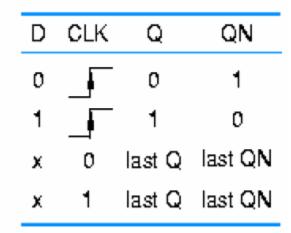












- A primeira latch chama-se mestre e está aberta quando CLK=0.
- Quando CLK muda para 1, a latch mestre fecha.
- A segunda latch, o escravo, está aberta enquanto CLK=1, mas a saída muda de valor apenas no início desse intervalo, dado que o mestre está fechado nesse intervalo.









 O triângulo na entrada CLK é um indicador de entrada dinâmica e assinala um comportamento sensível às transições (edge-triggered).

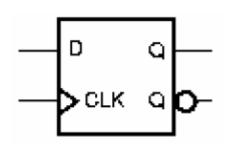
 Num flip-flop D negative-edge-triggered (FF D sensível à transição negativa) inverte-se a entrada de relógio e a entrada D (as saídas Q e QN) passam a ser amostradas (alteradas) no bordo descendente do CLK.

 No intervalo definido pelos setup time mais o hold time, em torno dos bordos do CLK a que o FF é sensível, a entrada D deve permanecer fixa.

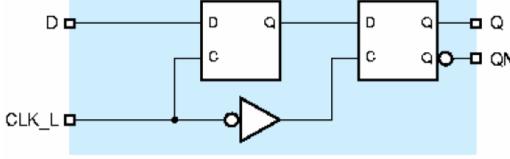


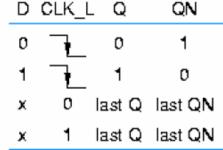


 O triângulo na entrada CLK é um indicador de entrada dinâmica e assinala um comportamento sensível às transições (edge-triggered).



Num flip-flop D negative-edge-triggered (FF D sensível à transição negativa) inverte-se a entrada de relógio e a entrada D (as saídas Q e QN) passam a ser amostradas (alteradas) no bordo descendente do CLK.

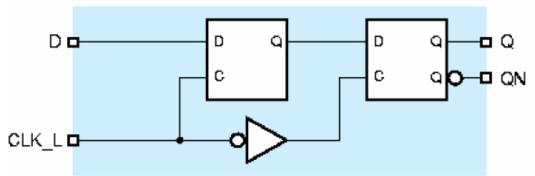


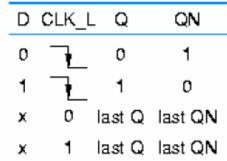


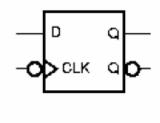




 No intervalo definido pelos setup time mais o hold time, em torno dos bordos do CLK a que o FF é sensível, a entrada D deve permanecer fixa.





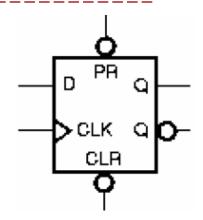




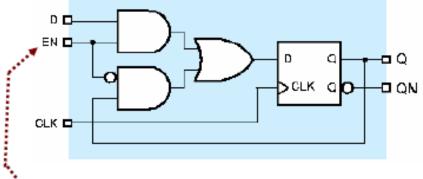




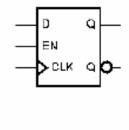
 Alguns flip-flops D possuem 2 entradas assíncronas que servem para forçar o seu estado, independentemente das entradas CLK e D → PR e CLR



 Estas entradas têm a mesma funcionalidade do set (S) e do reset (R) da latch S-R.



D	ΕN	CLK	Q	QN
U	1		O	1
1	1		1	0
×	0		last Q	last QN
Ж	×	0	last Q	last QN
×	х	1	last Q	last QN

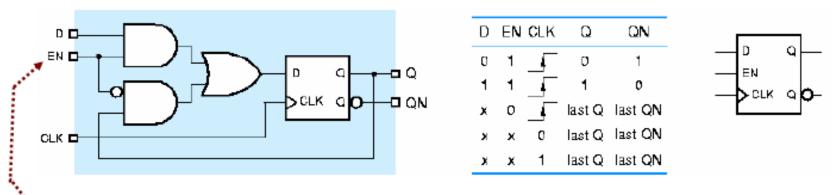


🦩 porque não se aplica o *enable* no CLK, usando-se assim apenas um AND ?





- As entradas assíncronas devem ser usadas nas fases de inicialização e teste dos circuitos.
- Alguns flip-flops D têm ainda a possibilidade de manter inalterado o último valor por que passou a saída. Para esse fim adiciona-se ao FF D uma entrada de enable.



porque não se aplica o enable no CLK, usando-se assim apenas um AND ?



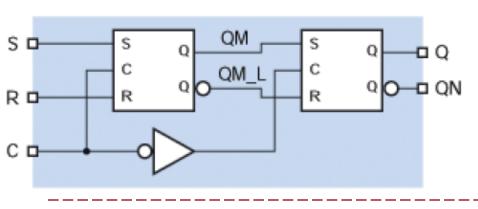


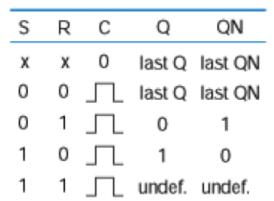


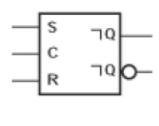


 As latches S-R são úteis em sistemas de controlo, em que é comum ter condições independentes para colocar bits de controlo a 0/1.

 Quando se pretende que um dado bit de controlo seja apenas alterado em certos instantes determinados por um sinal de relógio, então exige-se um flip-flop S-R.





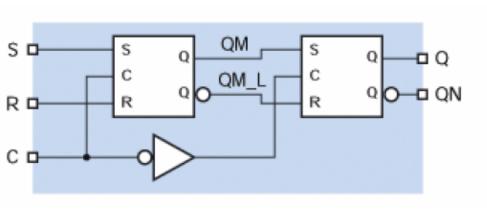


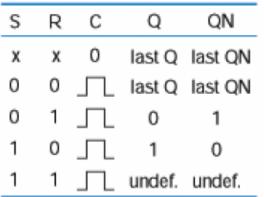


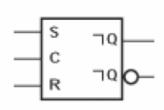












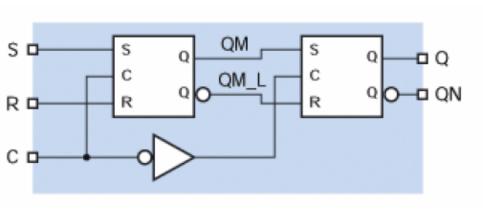
- estrutura mestre/escravo
- não é verdadeiramente sensível à transição
- o último valor guardado em QM (com C=1) só passa para a saída Q quando C mudar 1 para 0
- se S=R=1, antes de C passar 1 para 0, o valor da saída é imprevisível

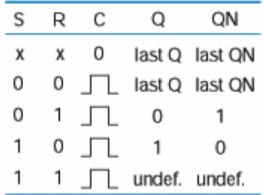


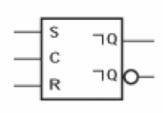












- estrutura mestre/escravo
- não é verdadeiramente sensível à transição
- o último valor guardado em QM (com C=1) só passa para a saída Q quando C mudar 1 para 0
- se S=R=1, antes de C passar 1 para 0, o valor da saída é imprevisível

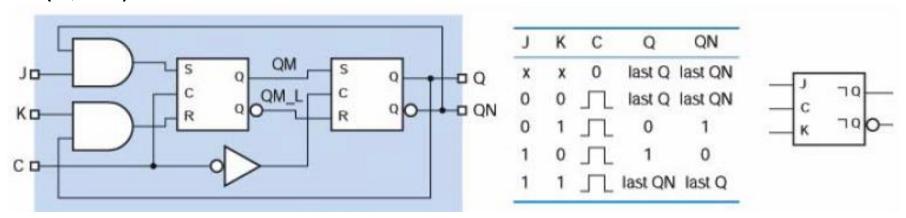








- O problema que ocorre quando S e R estão ambos a 1 é resolvido no flip-flop J-K com estrutura mestre/escravo.
- As entradas J e K são análogas a S e R.
- No entanto, ativar J só ativa a entrada S da latch mestre se Q=0 (QN=1).



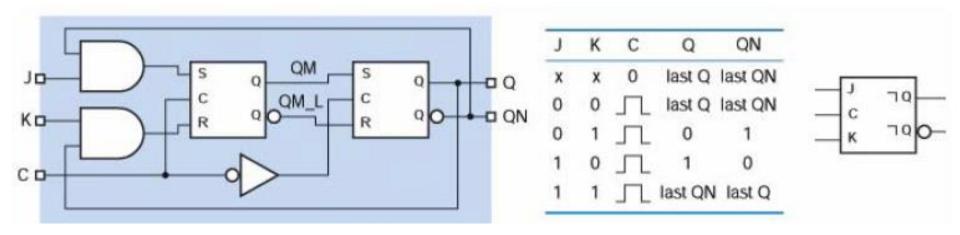






Ativar K só ativa a entrada R da latch mestre se Q=1.

• Deste modo, se as entradas J e K forem ativadas simultaneamente, as saídas do flip-flop mudam para o estado oposto do atual.



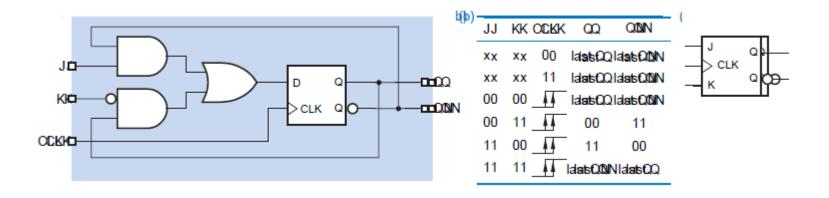








- Com um flip-flop D edge-triggered pode construir-se um flip-flop J-K edge-triggered (sensível às transições).
- O flip-flop JK amostra o valor das entradas (J e K) e altera as saídas (Q e QN) no bordo ascendente do CLK de acordo com a equação característica: Q* = J . Q' + K' . Q





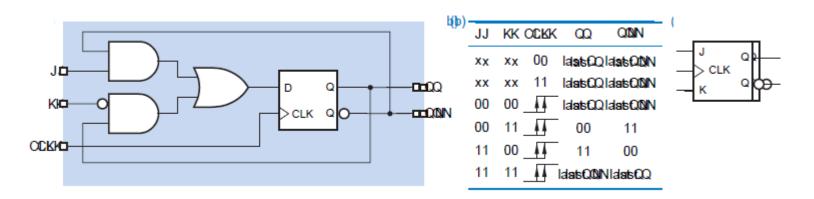






 No intervalo definido pelos setup time mais o hold time, em torno do bordo ascendente de CLK, as entradas J e K devem permanecer fixas.

 O flip-flop JK tem aplicação comum em máquinas de estado porque gera menos lógica combinacional.



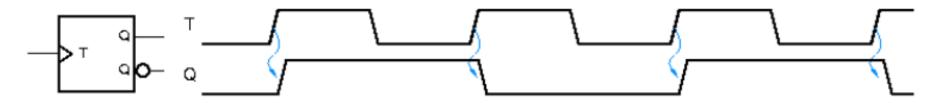




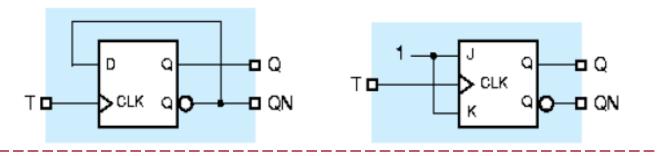




 O flip-flop T (de toggle) muda de estado em cada transição 0 para 1 do sinal de relógio.



- A saída Q do flip-flop possui uma frequência que é metade da frequência da entrada T.
- Pode usar-se um flip-flop D ou um J-K para construir o flip-flop T.



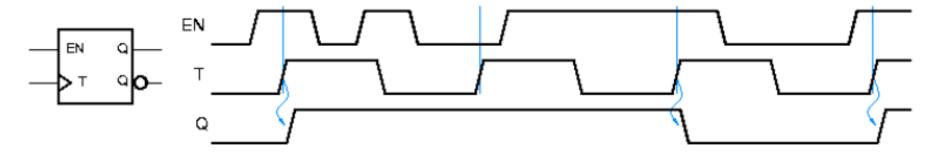




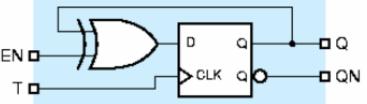


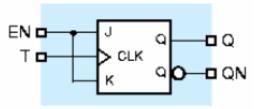


- O flip-flop T também pode ter uma entrada de enable.
- Neste caso, o flip-flop só muda de estado no bordo ascendente do relógio (T) se a entrada de enable EN estiver ativa.



Também se pode usar um flip-flop D e J-K para obter um flip-flop T com enable.









Politécnico de Coimbra





