

# ARQUITETURA <sup>DE</sup> COMPUTADORES

LEETC | LEIC | LEIRT



## DADO ELETRÓNICO

### Trabalho de Projeto



**ISEL**  
INSTITUTO SUPERIOR DE  
ENGENHARIA DE LISBOA

DEPARTAMENTO DE ENGENHARIA  
ELETRÓNICA E TELECOMUNICAÇÕES  
E DE COMPUTADORES

## 1 Introdução

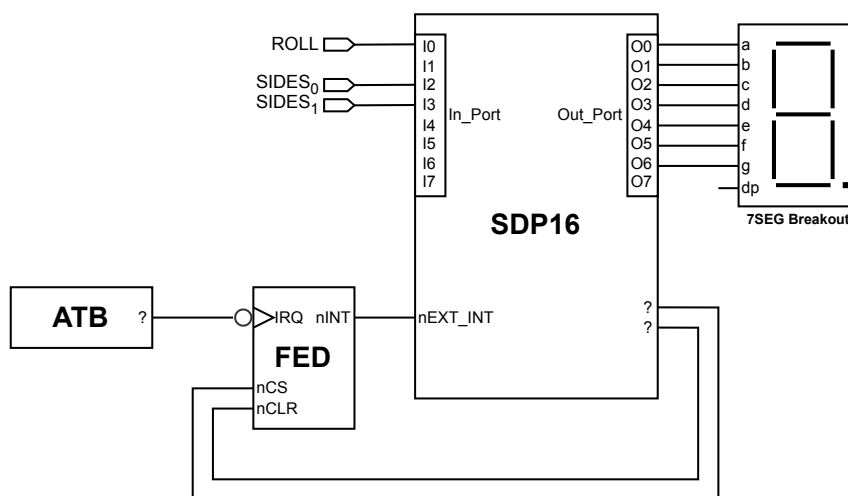
Este trabalho tem como principal objetivo a exploração do hardware envolvente de um processador no desenvolvimento de programas escritos em linguagem *assembly*. Estão envolvidos os seguintes tópicos: entrada e saída de dados, temporização, interrupções externas e organização de programas em rotinas.

## 2 Descrição do trabalho a realizar

Pretende-se o desenvolvimento do protótipo de um sistema embebido baseado no processador P16 que implemente um dado eletrónico. Esse sistema deve permitir a geração, de forma aleatória, de números inteiros positivos entre 1 e 9, dependendo do tipo de dado que estiver a ser simulado. Podem ser simulados dados equilibrados com 4, 6, 8 e 12 faces.

## 3 Arquitetura do protótipo

O protótipo do sistema deverá ser implementado recorrendo às placas SDP16 [2] e ATB, ao circuito *Falling Edge Detector* (FED) [1] e à placa 7SEG Breakout [3], conforme ilustrado na Figura 1.



**Figura 1:** Diagrama de blocos do protótipo do sistema.

Nesta implementação, o sinal **ROLL** é utilizado para simular o lançamento do dado. Este sinal está ligado ao interruptor zero do DIP-switch 'SW1' instalado na placa SDP16. Já os interruptores 2 e 3 desse DIP-switch são utilizados para estabelecer o valor do sinal **SIDES**, que define o número de faces do dado cujo lançamento será simulado. Os dois bits desta entrada especificam, assim, um dado com 4, 6, 8 ou 12 faces.

As saídas '00' a '06' do porto de saída instalado na placa SDP16 serão utilizadas para informar sobre o valor da face visível do dado e do seu movimento, estando, portanto, associados aos segmentos 'a' a 'g' do mostrador de 7 segmentos incluído na placa 7SEG Breakout [3], respetivamente.

O circuito FED servirá de suporte à realização das bases de tempo necessárias ao funcionamento do sistema. O sinal de relógio aplicado a este circuito será obtido do oscilador ('OSCILLATOR') disponível na placa ATB.

## 4 Especificação do funcionamento do sistema

O sistema deve cumprir o seguinte funcionamento:

1. O sistema inicia-se com o mostrador de 7 segmentos aceso, mostrando o número de uma das faces do dado selecionado com o valor do sinal *SIDES*, definido pelo estado dos interruptores 2 e 3 do *DIP-switch* 'SW1'.
2. O estado do sistema mantém-se até que o jogador manipule o interruptor zero do *DIP-switch* simulando o lançamento do dado. Esse lançamento é implementado fazendo o interruptor transitar da posição 'OFF' para a posição 'ON', o que provoca uma transição descendente no sinal *ROLL*.
3. A transição descendente no sinal *ROLL* também é utilizada para selecionar o dado a utilizar no lançamento.
4. Para simular o movimento realizado pelo dado, o sistema deve realizar um efeito luminoso no mostrador de 7 segmentos durante, pelo menos, 1 s.
5. Terminado o efeito luminoso, o resultado do lançamento do dado é afixado no mostrador de 7 segmentos. Esse valor corresponde a um número gerado pelo sistema de forma pseudo-aleatória.
6. Decorridos 10 s, o sistema retorna à etapa descrita no ponto 2.

## 5 Questões para serem respondidas no relatório

1. Explique a solução adotada para ligar o circuito FED à placa SDP16.
2. Apresente os cálculos realizados para determinar as temporizações envolvidas no trabalho.
3. Indique, justificando, a latência máxima do sistema no atendimento dos pedidos de interrupção gerados pelo circuito FED.
4. Indique, justificando, quanto tempo demora, no pior caso, a execução da rotina utilizada para o atendimento da interrupção externa.

## 6 Avaliação

A entrega do trabalho é realizada através da atividade "Trabalho de Projeto" disponível na página de meta disciplina de Arquitetura de Computadores (AC) na **plataforma Moodle do ISEL** e consiste na submissão de um ficheiro ZIP com o ficheiro `.s` do programa desenvolvido, devidamente indentado e sucintamente comentado, o correspondente ficheiro `.lst` e um relatório sobre o trabalho realizado. Do relatório deve constar:

- Uma descrição dos elementos relevantes para a compreensão do trabalho realizado;
- As respostas às perguntas formuladas no enunciado, descrevendo, sucintamente, os raciocínios e os cálculos efetuados;
- As conclusões sobre o trabalho realizado.

**A data limite para a entrega dos trabalhos é 7 de junho de 2025.**

Após a entrega do trabalho, poderá ser combinado com algum(ns) grupo(s) uma data e hora para a realização de uma discussão para apresentação e defesa do trabalho realizado, situações que serão devidamente justificadas.

## Bibliografia

- [1] Dias, Tiago: **Sistema de interrupções do P16 – Guia de Laboratório da Atividade Laboratorial #4 v1.8**. ISEL, Lisboa, Portugal, maio 2025.
- [2] Paraíso, José e Tiago Dias: **Placa de Desenvolvimento SDP16 – Manual de Utilização**. ISEL, Lisboa, Portugal, junho 2020. <https://iselpt.sharepoint.com/:b:/s/acp/Ed9PGY5JKnJEsf3rDV2skuIBzBYv4IBaUSR8Y2Ky0tgT4g?e=pvQggg> (Acedido em 08-02-2025).
- [3] Sampaio, Pedro: **7SEG Breakout - Esquema Elétrico**. ISEL – IPL, Lisboa, Portugal, r24.07 edição, julho 2024. <https://iselpt.sharepoint.com/:b:/s/acp/ESYKLxFtRWF0giC5AsxIrfABC-f2Z2UpvNXb0wvZCH32dg?e=gg9XUS> (Acedido em 08-02-2025).