

FPGA accelerated TFR generator for applications based on CNN techniques

A sigla TFR significa Time-Frequency Representation. No estado de arte percebi que a melhor forma de gerar uma TFR é através da Continuous Wavelet Transform (CWT). Esta pode usar convolução ou a transformada de Fourier (FFT). A seguir apresento o design para a FFT. De forma a simplificar, serão usados apenas 8 pontos de dados (amostras). Na implementação serão usados 512 pontos.

Na figura 1 é apresentada uma explicação de como funciona a DIT Radix-2 FFT. W_N^n representam os twiddle factors.

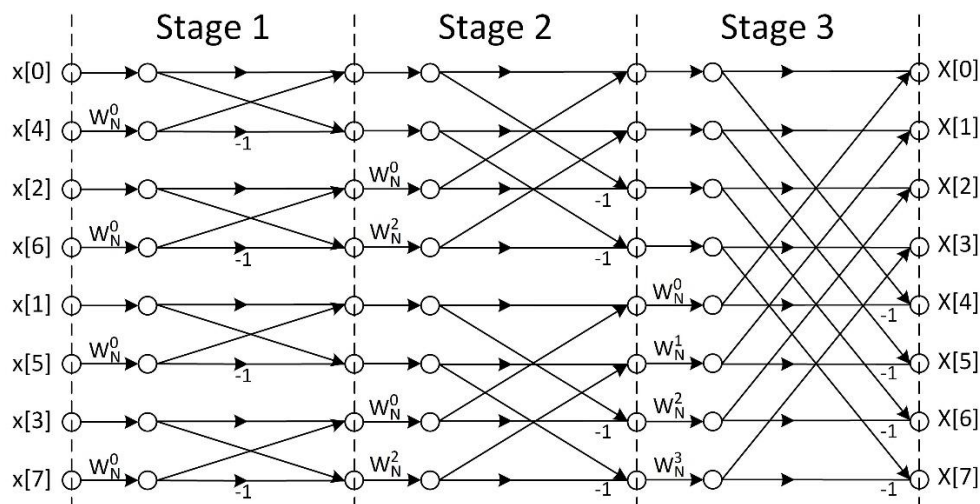


Figura 1 - Explicação da DIT radix-2 FFT.

O componente mais elementar da FFT é uma Butterfly (BF) Unit que realiza as operações mostradas na figura 2.

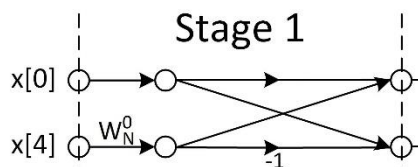


Figura 2 - Operações de uma BF Unit

A BF Unit é feita através do design apresentado na figura 3, onde, no primeiro estágio e na primeira operação, x0 é x[0] e x1 é x[4] (números complexos).

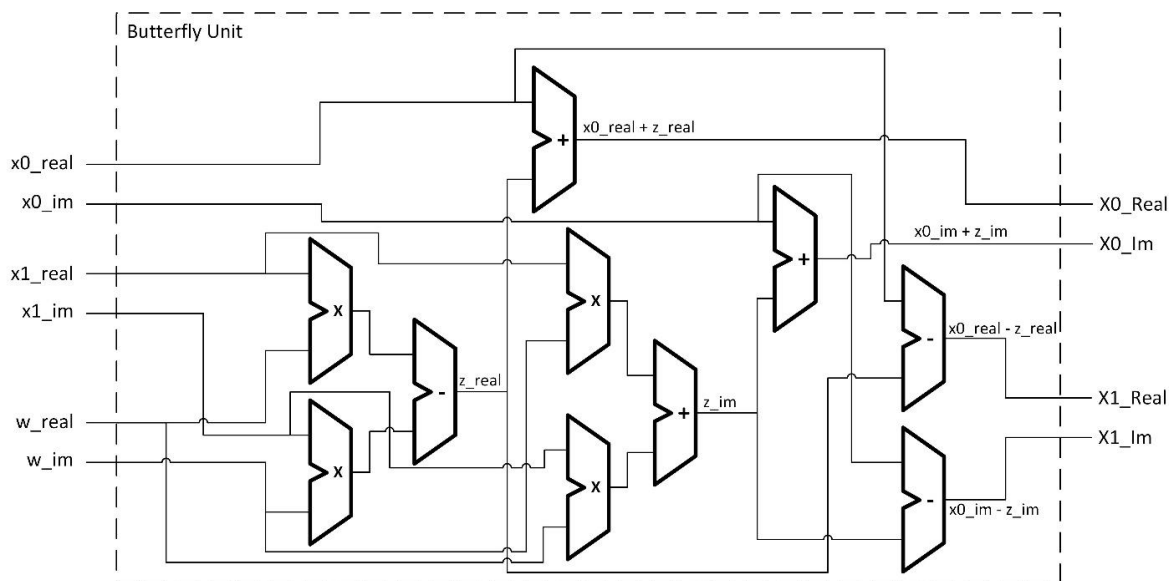


Figura 3 - Butterfly Unit

De forma a serem feitas todas as operações de um estágio, foi desenhado o hardware representado na figura 4, em que os 4 mux's, demux's e RAM's são utilizados para a parte real e imaginária de 2 pontos ($x0_re/ x0_im$ e $x1_re/x1_im$). Na primeira fase, os dados do sensor são guardados na BRAM. Na segunda fase, com os valores guardados na BRAM e na ROM (twiddle) a BF Unit realiza a sua operação, guardando os resultados de volta na BRAM (in place computation) e, na última fase, os dados são enviados para o próximo estágio.

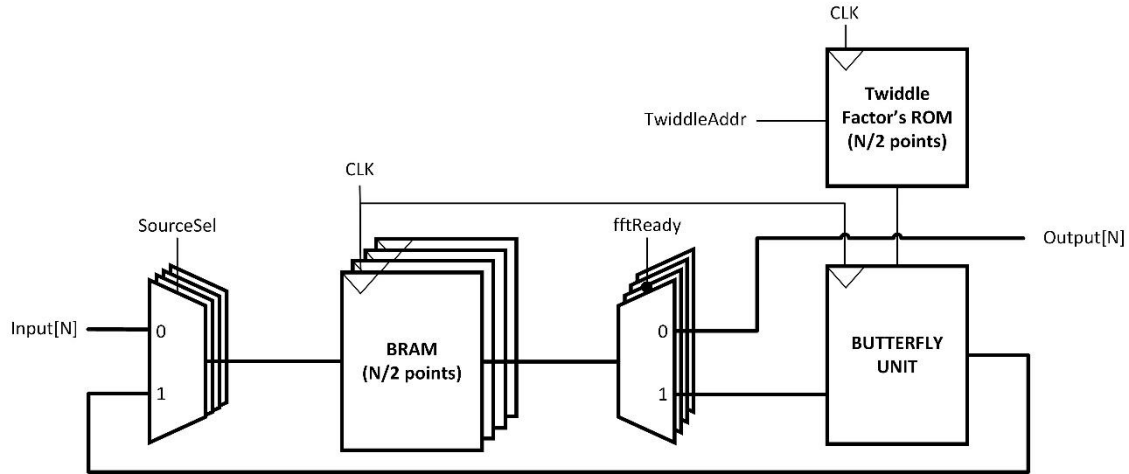


Figura 4 - Data path de um estágio da FFT

A máquina de estados está representada na figura 5, em que no primeiro estado *Idle*, espera pelo sinal de start. No estado *StoreInputs*, a máquina de estados espera que a RAM seja preenchida pelos dados do sensor. De seguida, existe um loop até que o número de operações BF atinja metade do número de pontos. Se o contador for igual a $N/2$, então os dados são enviados no estado *SendOutputs*. Se não, serão continuadas as operações BF, em que no estado *ReadMemory*, 2 pontos são tirados da RAM e 1 twiddle factor da ROM. Após um ciclo de relógio (latência de leitura da memória), a operação BF é realizada e o resultado é escrito na RAM no estado *WriteMemory*.

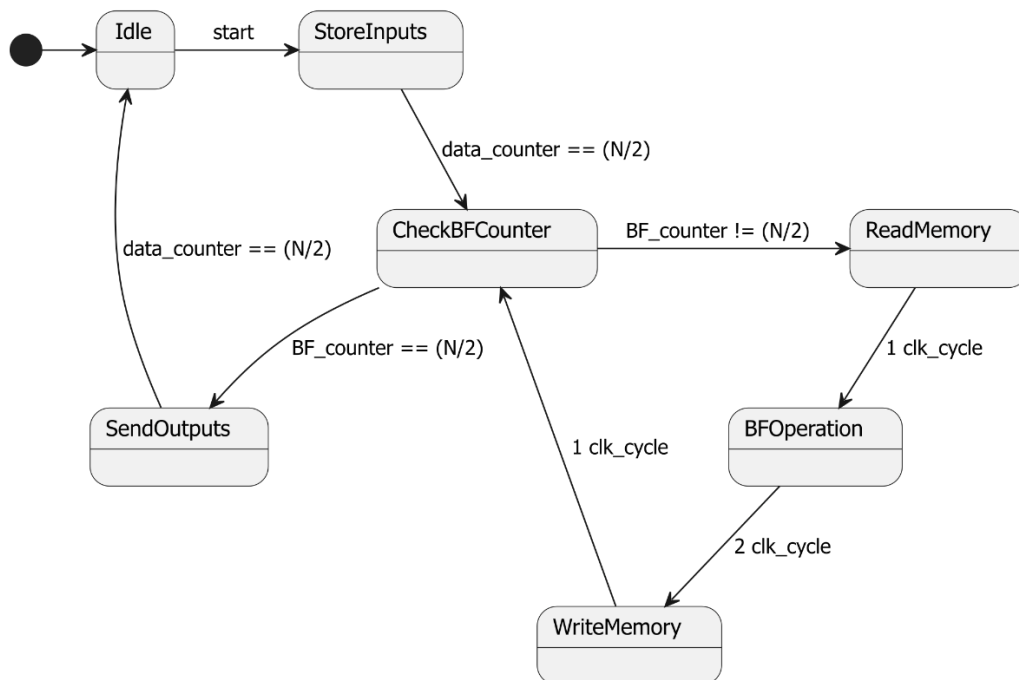


Figura 5 - FSM da Control Unit

Na figura 6, está representada a arquitetura da FFT.

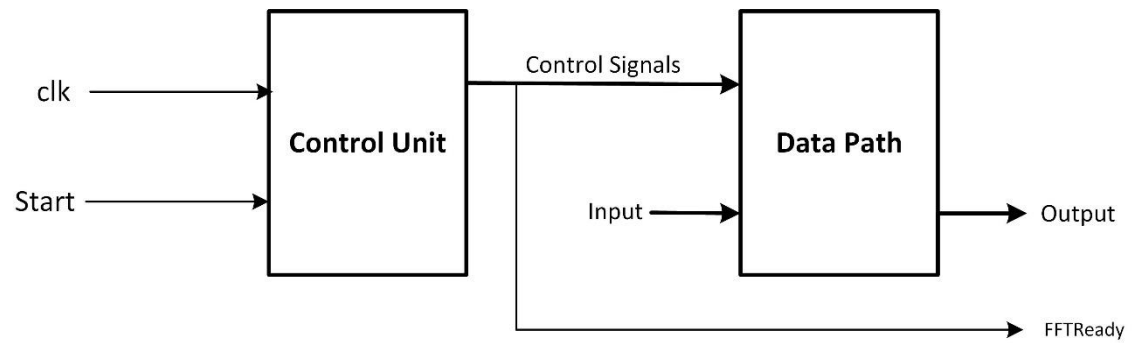


Figura 6 - FFT Architecture

De forma a realizar todos os estágios, as arquiteturas FFT serão encadeadas, sendo que cada uma representa um estágio, como apresentado na figura 7.

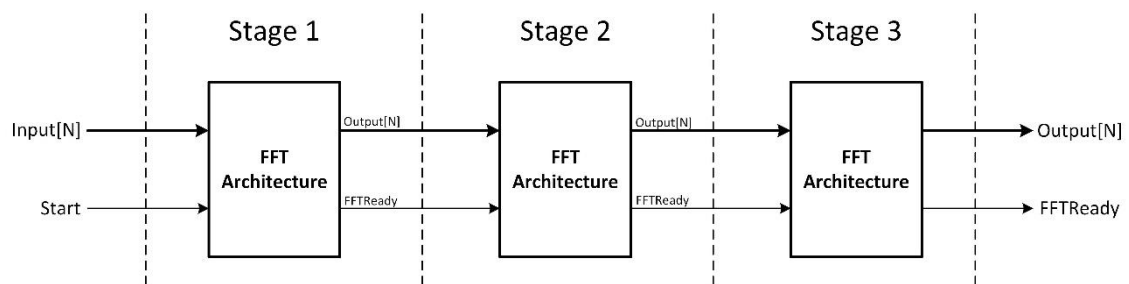


Figura 7 - FFT Architecture encadeadas.