

备考速记

例题

某存储器按字节编址，容量为1MB，cache为256B，块大小为4个字，一个字为4个字节。

(1) cache地址为几位？有多少块？

(2) 主存地址为几位？有多少块？

解：

存储器即主存，容量为1MB=2的20次方B，块大小为4个字，一个字4个字节。一个块=16个字节=2的4次方个字节。

按字节编址，主存容量为2的20次方个字节，即主存地址的位数为20

2的20次方/2的4次方=2的16次方=64K（块数=主存的字节数/一个块的字节数），即主存有64K个块

按字节编址，cache容量为256B=2的8次方个字节，即cache的位数为8

2的8次方/2的4次方=2的4次方=16，即cache有16个块

不明：

8421码中，相加？？？

重新看下BCD码（包括8421码、余3码、2421码）

重新看下中文字符里的国标码、汉字内码和机内码

CPU时钟周期（时钟周期）

CPU主频

CPI

IPS

FLOPS

CPU执行时间

- 执行一条指令的耗时=CPI*CPU时钟周期
- 执行整个程序的耗时（CPU执行时间）
=CPU时钟周期/主频
=（指令条数*CPI）/主频

关于K、M、G、T：描述容量、文件大小等，则是2的n次方；描述数据处理速率等，则是数量单位。

进制换算

八进制：二进制 $r=2$ ，数位有两种可能；八进制 $r=8$ ，数位有八种可能。取三位二进制的数，则有 $2*2*2=8$ 种可能

十六进制：二进制 $r=2$ ，数位有两种可能；十六进制 $r=16$ ，数位有十六种可能。取四位二进制的数，则有 $2*2*2*2=16$ 种可能

编码

BCD码

奇偶校验

奇偶校验码、海明码推一遍

全校验、循环冗余校验码再了解一下

数据计算

定点数：

补码计算推一遍

一位乘法运算（补码、原码）重看一遍

除法运算（原码、补码），有空重看一遍

浮点数：

计算推一遍

算术逻辑单元

加法器优化，计算

存储系统、指令系统

看题计算复习

一、选择题

1、执行算术右移指令的操作过程是

- A、操作数的符号位不变,各位顺次右移 1 位,符号位拷贝至最高数据位
- B、进位标志移至符号位,各位顺次右移 1 位
- C、操作数的符号位填 0,各位顺次右移 1 位
- D、操作数的符号位填 1,各位顺次右移 1 位

正确答案： A

整体右移一位，最高位原来是1（0），右移过后最高位就补1（0）

！ 2、某计算机主存容量为 64KB,其中 ROM 区为 4KB ,其余为 RAM 区,按字节编址。现要用 2KB ×8 位的 ROM 芯片和 4KB ×4 位的 RAM 芯片来设计该存储器,则需要上述规格的 ROM 芯片数和 RAM 芯片数分别是

- A、 1 15
- B、 2 15
- C、 1 30
- D、 2 30

正确答案： D

字节编址，1B=8b，所以ROM为4kb*8位，RAM为60kb*8位。

首先确定ROM的个数，ROM区为4KB，选用2K*8位的ROM芯片，需要 $\frac{4K \times 8}{2K \times 8} = 2$ 片，采用字扩展方式；RAM区为60KB，选用4K*4位的RAM芯片，需要 $\frac{60K \times 8}{4K \times 4} = 30$ 片，采用字和位同时扩展方式。

3、响应中断请求的条件是 。

- A、 外设提出中断;

- B、 外设工作完成和系统允许时;**
- C、 外设工作完成和中断标记触发器为“1”时;**
- D、 CPU 提出中断。**

正确答案： B

CPU响应中断条件：

- 1、有中断源发出的中断请求;
- 2、中断总允许位EA=1，即CPU开中断;
- 3、申请中断的中断源的中断允许位为1，即中断没有被屏蔽;
- 4、无同级或更高级中断正在被服务;
- 5、当前的指令周期已经结束。

！ 4、 整数 x 的机器数为 1101 1000,分别对 x 进行逻辑右移 1 位和算术右移 1 位操作,得到的机器数各是 。

- A、 1110 1100 、 1110 1100**
- B、 0110 1100、 1110 1100**
- C、 1110 1100、 0110 1100**
- D、 0110 1100、 0110 1100**

正确答案： B

逻辑右移就是不考虑符号位，右移一位，左边补零即可。

算术右移需要考虑符号位，右移一位，若符号位为1，就在左边补1；否则，就补0。

5、 计算机硬件能够直接执行的是 。

I .机器语言程序

II. 汇编语言程序

III. 硬件描述语言程序

- A、 仅 I**
- B、 仅 I、 II**
- C、 仅 I、 III**
- D、 I、 II、 III**

正确答案： A

解析：对于 I, 二进制由于只有 0 和 1 两种数值，运算规则较简单，都通过 ALU 部件转换成加法运算。对于 II, 二进制只需要高电平和低电平两个状态就可表示，这样的物理器件很容易制造。对于 III, 二进制与逻辑量相吻合。二进制的 0 和 1 正好与逻辑量的“真”和“假”相对应，因此用二进制数表示二值逻辑显得十分自然，采用逻辑门电路很容易实现运算。

6、下列关于 for 循环对数组 a 的访问局部性的描述中，正确的是。

- A、时间局部性和空间局部性皆有**
- B、无时间局部性，有空间局部性**
- C、有时间局部性，无空间局部性**
- D、时间局部性和空间局部性皆无**

正确答案： A

解析：时间局部性是，一旦一条指令执行，它就可能在不久的将来再被执行。空间局部性是，一旦一个存储单元被访问，它附近的存储单元也很快被访问。显然，这里的循环指令本身具有时间局部性，它对数组 a 的访问具有空间局部性，选A。

！ 7、下列有关浮点数加减运算的叙述中,正确的是。

- I.对阶操作不会引起阶码上溢或下溢**
 - II.右规和尾数舍入都可能引起阶码上溢**
 - III.左规时可能引起阶码下溢**
 - IV.尾数溢出时结果不一定溢出**
- A、仅 II、III**
 - B、仅 I、II、IV**
 - C、仅 I、III、IV**
 - D、I、II、III、IV**

正确答案： D

I、对阶时，小阶向大阶看齐，大阶已经存在，所以对阶时不会引起阶码溢出。

II、右规时，阶码增加，可能出现上溢；尾数舍入时，位数末尾可能加1，导致尾数溢出而进行向右规格化，这时阶码会加1，阶码可能出现溢出。

III、左规时，阶码减小，可能引起阶码下溢。

IV、尾数溢出时，可以通过向右规格化将尾数修正，结果不一定溢出。

对整数，溢出指代数值：小于最小值为下溢，大于最大值为上溢

对浮点数，溢出指绝对值：绝对值小于浮点数所能表示的最小值，为下溢，当作 0；绝对值大于浮点数所能表示的最大范围，为上溢，当作 INF。

根据具体符号的不同，又分为：正上溢、正下溢、负上溢、负下溢

***8、下列选项中,能缩短程序执行时间的措施是 。**

I.提高 CPU 时钟频率

II.优化数据通路结构

III.对程序进行编译优化

A、 仅 I 和 II

B、 仅 I 和 III

C、 仅 II 和 III

D、 I、 II、 III

正确答案： D

I、CPU的时钟频率也就是CPU主频率。一般说来，一个时钟周期内完成的指令数是固定的，所以主频越高，CPU的速度也就快，程序的执行时间就越短。

II、数据在功能部件之间传送的路径称为数据通路，数据通路的功能是实现CPU内部的运算器和寄存器以及寄存器之间的数据交换。优化数据通路结构，可以有效提高计算机系统的吞吐量，从而加快程序的执行。

III、计算机程序需要先转化成机器指令序列才能最终得到执行，通过对程序进行编译优化可以得到更优的指令序列，从而使得程序的执行时间也越短。

9、计算机操作的最小单位时间是

A、 时钟周期;

B、 指令周期;

C、 CPU 周期;

D、 中断周期。

正确答案： A

10、下列选项中,描述浮点数操作速度指标的是 。

A、 MIPS

B、 CPI

C、 IPC

D、MFLOPS

正确答案：D

MIPS (million instructions per second) 每秒处理的百万级的机器语言指令数

CPI (Cycle per instruction) 每条指令执行时所花费的平均时钟周期数

IPC (Instruction per clock) 每个时钟周期平均可以执行的指令数量

MFLOPS (Million Floating-point Operations per Second, 每秒百万个浮点操作), 衡量计算机系统的技术指标, 不能反映整体情况, 只能反映浮点运算情况。

11、存储周期是指()。

A、存储器的读出时间

B、存储器的写入时间

C、存储器进行连续读和写操作所允许的最短时间间隔

D、存储器进行连续写操作所允许的最短时间间隔

正确答案：C

存储周期, 是指主存储器两次启动操作之间需要的最小时间间隔, 也称之为存储周期时间。

*12、下列关于 RISC 的叙述中,错误的是。

A、RISC 普遍采用微程序控制器

B、RISC 中的大多数指令在一个时钟周期内完成

C、RISC 的内部通用寄存器数量比 CISC 的多

D、RISC 的指令数、寻址方式和指令格式种类比 CISC 的少

正确答案：A

B项、C项、D项都是RISC的特点之一,所以它们都是正确的,只有A项是CISC的特点,因为RISC的速度快,所以普遍采用硬布线控制器,而非微程序控制器。

*13、为了缩短指令中某个地址段的位数,有效的方法是采取。

A、立即寻址

B、变址寻址

C、间接寻址

D、寄存器寻址

正确答案： C

因为涉及到的是内存地址段的位数，所以需要内存寻址，直接寻址不能指定位数，而间接寻址可以通过指定 bx 或 bp 寄存器减少位数。

*14、对于 IEEE754 格式的浮点数,下列描述正确的是

A、阶码用移码表示,尾数用补码表示

B、阶码和尾数都用原码表示

C、阶码用移码表示,尾数用原码表示

D、阶码和尾数都用补码表示

正确答案： C

阶码用移码表示，尾数用原码表示



浮点数的真值： $N = r^E \times M$
阶码的底，通常为2

*15、由 3 个“1”和 5 个“0”组成的 8 位二进制补码，能表示的最小整数是。

A、 -126

B、 -125

C、 -32

D、 -3

正确答案： B

解析：补码整数表示时，负数的符号位为 1，数值位按位取反，末位加 1，因此剩下的 2 个“1”在最低位时，表示的是最小整数，为 10000011，转换成真值为-125。

注意负数为1，整数为0！！！

***17、所谓三总线结构的计算机是指 。**

- A、 地址线、数据线和控制线三组传输线。**
- B、 I/O 总线、主存总线和 DMA 总线三组传输线;**
- C、 I/O 总线、主存总线和系统总线三组传输线;**
- D、 设备总线、主存总线和控制总线三组传输线。。**

正确答案： D

18、外存储器与内存储器相比 ,外存储器()。

- A、 速度快 ,容量大 ,成本高**
- B、 速度慢 ,容量大 ,成本低**
- C、 速度快 ,容量小 ,成本高**
- D、 速度慢 ,容量大 ,成本高**

正确答案： B

外存储器一般指磁盘存储器、光盘存储器、磁带存储器等存储设备，它们存储容量大，速度慢，成本也相对较低。

内存储器主要指内存和计算机内部的寄存器、Cache等存储设备，它们造价高，处理速度快，但存储容量小。

20、一定不属于冯·诺依曼机体系结构必要组成部分的是 。

- A、 ROM**
- B、 RAM**
- C、 Cache**
- D、 CPU**

正确答案： C

***21、假定带符号整数采用补码表示，若 int 型变量 x 和 y 的机器数分别是 FFFF FDFH 和 00 0041H，则 x、y 的值以及 x-y 的机器数分别是。**

- A、x=-65, y=41, x-y 的机器数溢出
- B、x=-33, y=65, x-y 的机器数为 FFFF FF9DH
- C、x=-33, y=65, x-y 的机器数为 FFFF FF9EH
- D、x=-65, y=41, x-y 的机器数为 FFFF FF96H

正确答案： C

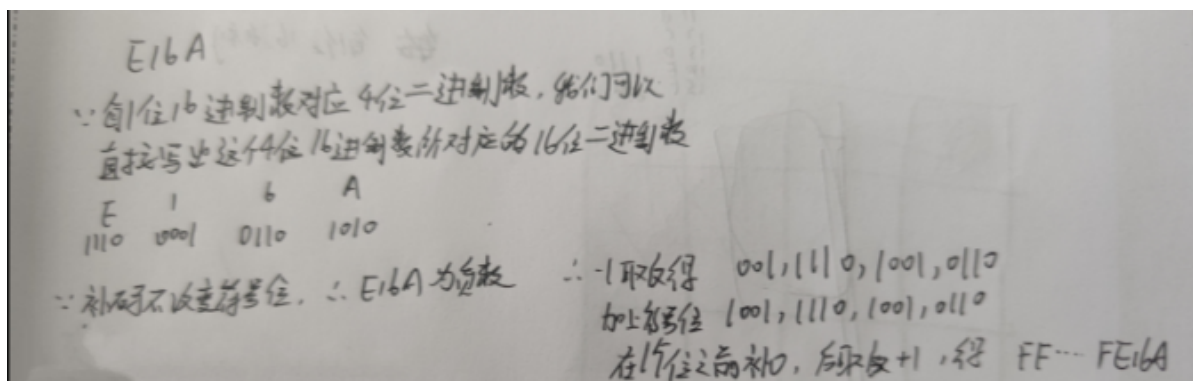
解析：利用补码转换成原码的规则：负数符号位不变数值位取反加一；正数补码等于原码。两个机器数对应的原码是[x]原 = 80000021H, 对应的数值是 - 33, [y]原=[y]补 = 00000041H = 65。排除 A、D。

x-y 直接利用补码减法准则，[x]补-[y]补 = [x]补 + [-y]补，-y 的补码是连同符号位取反加一，[-y]补的最低两位是 BF，[x]补的最低两位是 DF，最终减法变成加法，得出结果为 FFFF FF9EH。

***22、两个字长 16 位的补码 0A2B 和 E16A, 带符号扩展成 32 位后的结果分别是**

- A、00000A2B 和 FFFF E16A
- B、11110A2B 和 FFFF E16A
- C、00000A2B 和 0000 E16A
- D、FFFF0A2B 和 0000 E16A

正确答案： A



***23、DMA 访问主存时,让 CPU 处于等待状态,等 DMA 的一批数据访问结后,CPU 再恢复工作,这种情况称作。**

- A、 停止 CPU 访问主存;**
- B、 周期挪用;**
- C、 DMA 与 CPU 交替访问;**
- D、 DMA。**

正确答案： A

停止CPU访问主存的特点是：在DMA传送过程中，CPU释放总线的控制权，处于不工作或保持状态，数据传送完毕后，DMA控制器向CPU发一个DMA结束信号，把总线控制权还给CPU。

***24、在 CPU 中跟踪指令后继地址的寄存器是。**

- A、 主存地址寄存器**
- B、 程序计数器**
- C、 指令寄存器**
- D、 状态条件寄存器**

正确答案： B

程序计数器是用于存放下一条指令所在单元的地址的地方。程序计数器是计算机处理器中的寄存器，它包含当前正在执行的指令的地址 (位置)

25、Cache 的速度应比从主存储器取数据速度()。

- A、 快**
- B、 稍慢**
- C、 相等**
- D、 慢**

正确答案： A

***26、有字长为 8 位的代码 10010011,分别采用奇校验和偶校验方式对其编码,把增加的 1 位校验码安排在编码结果的最低位,则得到的奇、偶校验编码分别是**

- A、 010010011 和 110010011
- B、 100100111 和 100100110
- C、 100100110 和 100100111
- D、 110010011 和 010010011

正确答案： B

27、主存和 CPU 之间增加高速缓冲存储器的目的是。

- A、 解决 CPU 和主存之间的速度匹配问题;
- B、 扩大主存容量;
- C、 既扩大主存容量,又提高了存取速度;
- D、 扩大辅存容量。

正确答案： A

28、在定点二进制运算器中,减法运算一般通过 来实现。

- A、 原码运算的二进制减法器
- B、 补码运算的二进制减法器
- C、 补码运算的十进制加法器
- D、 补码运算的二进制加法器

正确答案： D

***29、下列器件中存取速度最快的是。**

- A、 Cache;
- B、 主存;
- C、 寄存器;

D、辅存。

正确答案： C

存储速度从快到慢排列：内存储器 > 高速缓冲存储器 > 计算机的主存 > 大容量磁盘

***30、在存储体系中,辅助存储器的作用是**

- A、弥补主存的存取速度不足**
- B、缩短主存的读写周期**
- C、减少 CPU 访问内存的次数**
- D、弥补主存容量不足的缺陷**

正确答案： D

主存-辅存层次的目的是为了弥补主存容量的不足。它是在主存外面增加一个容量更大、每位价格更低、但速度更慢的存储器 (称为辅存，一般是硬盘)。

***31、浮点数的表示范围和精度取决于。**

- A、阶码的位数和尾数的机器数形式;**
- B、阶码的机器数形式和尾数的位数;**
- C、阶码的位数和尾数的位数;**
- D、阶码的机器数形式和尾数的机器数形式。**

正确答案： C

浮点数能表示的数的范围由阶码的位数决定，精度由尾数的位数决定。

32、和外存储器相比,内存储器的特点是

- A、容量大、速度快、成本低**
- B、容量大、速度慢、成本高**
- C、容量小、速度快、成本高**
- D、容量小、速度快、成本低**

正确答案： C

内存储器主要指内存和计算机内部的寄存器、Cache等存储设备，它们造价高，处理速度快，但存储容量小。

33、高级语言源程序转换为机器级目标代码文件的程序称为。

- A、汇编程序
- B、链接程序
- C、编译程序
- D、解释程序

正确答案： C

将高级语言编写的源程序转换为目标程序的是“编译程序”。由高级语言编写的程序称为“源程序”，由二进制代码表示的程序称为“目标程序”，而把源程序转换成机器能够识别的目标程序是由“编译程序”完成的。

34、常用的虚拟存储器寻址系统由 两级存储器组成。

- A、主存-辅存;
- B、Cache-主存;
- C、Cache-辅存;
- D、主存-硬盘。

正确答案： A

在主存—辅存这一层存储器的发展过程中，形成了虚拟存储系统，而虚存的管理由软件（操作系统）和硬件共同完成。

**36、某数采用 IEEE754 单精度浮点数格式表示为 C640 0000H，则该数的值是

- A、 -1.5×2^{13}
- B、 -1.5×2^{12}
- C、 -0.5×2^{13}
- D、 -0.5×2^{12}

正确答案： A

解析：IEEE 754 单精度浮点数格式为 C640 0000H，二进制格式为 1100 0110 0100

0000 0000 0000 0000 0000，转换为标准的格式为：S=1,E=1000 1100,尾数是

100 0000 0000 0000 0000 0000，因此，浮点数的值为 -1.5×2^{13} 。

37、在下列机器数中,零的表示形式是唯一的()

- A、原码**
- B、补码**
- C、反码**
- D、原码和反码**

正确答案： B

38、当主存储器与单个存储器芯片位数相同而字数不同时,可采用()。

- A、字扩展方式**
- B、位扩展方式**
- C、字位同时扩展方式**
- D、以上都不对**

正确答案： A

***39、一个节拍信号的宽度是指 。**

- A、指令周期;**
- B、机器周期;**
- C、时钟周期;**
- D、存储周期。**

正确答案： C

***40、主机与设备传送数据时,采用___,主机与设备是串行工作的。**

- A、程序查询方式;**
- B、中断方式;**
- C、DMA 方式;**
- D、通道。**

正确答案： A

程序查询方式是一种程序控制方式，是主机和外设之间通信最基本的一种方式，中断查询方式无须等待

***41、系统总线是指 ()**

- A、 运算器、控制器和寄存器之间的信息传送线**
- B、 运算器、寄存器和主存之间的信息传送线**
- C、 运算器、寄存器和外围设备之间的信息传送线**
- D、 CPU、主存和外围设备之间的信息传送线**

正确答案： D

系统总线是计算机系统中各部件之间传输信息的公共通路,运算器、控制器和寄存器同属于CPU一个部件

***42、 下列寻址方式中,最适合按下标顺序访问一维数组元素的是 。**

- A、 相对寻址**
- B、 寄存器寻址**
- C、 直接寻址**
- D、 变址寻址**

正确答案： D

在变址操作时，将计算机指令中的地址与变址寄存器中的地址相加，得到有效地址，指令提供数组首地址，由变址寄存器来定位数据中的各元素。所以它最适合按下标顺序访问一维数组元素

***44、 某字长为 8 位的计算机中,已知整型变量 x、y 的机器数分别为 [x] 补=11110100 ,[y] 补 = 10110000。若整型变量 $z=2 \times x+y/2$,则 z 的机器数为**

- A、 11000000**
- B、 00100100**
- C、 10101010**
- D、 溢出**

正确答案： A

***45、某计算机的 cache 共有 16 块,采用 2 路组相联映射方式(即每组 2 块)。每个主存块大小为 32B,按字节编址。主存 129 号单元所在主存块应装入的cache 组号是**

- A、 0
- B、 1
- C、 4
- D、 6

正确答案： C

1. 主存与cache之间转送是以块为单位的，主存中按字节编址，那么一个单元是一个字节，则129号单元是第4个主存块。
2. 采用二路组相联映射的16块cache分为8组
3. 则cache组号 = 主存块号%cache总组数 = 4%8 = 4

***46、对字长为 8 位的二进制代码 10001101,下列说法错误的是。**

- A、 如果代码为补码数,则其十进制真值为-115
- B、 如果代码为标准移码数,则其十进制真值为+115
- C、 如果代码为原码数,则其十进制真值为-13
- D、 如果代码为无符号数,则其十进制真值为+141

正确答案： B

***47、通常情况下,不包含在中央处理器(CPU)芯片中的部件是。**

- A、 DRAM
- B、 ALU
- C、 控制器
- D、 寄存器

正确答案： A

通常情况下，不包含在中央处理器 (CPU)芯片中的部件是（ DRAM ）

***48、指令寄存器的位数取决于**

- A、存储器的容量**
- B、指令字长;**
- C、机器字长;**
- D、存储字长。**

正确答案： B

指令寄存器 (IR, Instruction Register)存放当前从主存储器读出的正在执行的一条指令。当执行一条指令时, 先把它从内存取到数据寄存器 (DR, Data Register)中, 然后再传送至IR。指令划分为操作码和地址码字段, 由二进制数字组成。因此, 指令寄存器的位数取决于指令字长。

***49、下列有关 RAM 和 ROM 的叙述中, 正确的是**

- I.RAM 是易失性存储器, ROM 是非易失性存储器**
 - II. RAM 和 ROM 都采用随机存取方式进行信息访问**
 - III. RAM 和 ROM 都可用作 cache**
 - IV. RAM 和 ROM 都需要进行刷新**
- A、仅 I 和 II**
 - B、仅 II 和 III**
 - C、仅 I、II 和 IV**
 - D、仅 II、III 和 IV**

正确答案： A

解析:

RAM (random access memory) 即随机存储内存, 这种存储器在断电时将丢失其存储内容, 故主要用于存储短时间使用的程序。

ROM (Read-Only Memory) 即只读内存, 是一种只能读出事先所存数据的固态半导体存储器。

一般 Cache 采用高速的 SRAM 制作, 比 ROM 的速度快很多, 因此 III 错误。动态 RAM 需要刷新, 而 ROM 不需要刷新, 因此 IV 错误。

50、下列关于冯·诺依曼结构计算机基本思想的叙述中, 错误的是。

- A、程序的功能都通过中央处理器执行指令实现**

B、指令和数据都用二进制表示，形式上无差别

C、指令按地址访问，数据都在指令中直接出

D、程序执行前，指令和数据需预先存放在存储器中

正确答案： C

解析：

冯·诺依曼结构计算机的功能部件包括输入设备、输出设备、存储器、运算器和控制器，程序的功能都通过中央处理器（运算器和控制器）执行指令， A 正确。

指令和数据以同等地位存于存储器内，形式上无差别，只在程序执行时具有不同的含义， B 正确。

指令按地址访问，数据由指令的地址码指出，除立即寻址外，数据均存放在存储器内， C 错误。

在程序执行前，指令和数据需预先存放在存储器中，中央处理器可以从存储器存取代码， D 正确。

二、判断题：

1、指令周期是指一条指令从取出到执行完成所需要的时间。

(√)

指令周期是cpu从内存取出一条指令并执行这条指令的时间总和。

指令周期是执行一条指令所需要的时间，一般由若干个机器周期组成，是从取指令、分析指令到执行完所需的全部时间。

拓展：

执行指令的过程可以分为取指、译码和执行指令。

1. Fetch（取指），也就是从 PC 寄存器里找到对应的指令地址，根据指令地址从内存里把具体的指令，加载到指令寄存器中，然后把 PC 寄存器自增，好在未来执行下一条指令。
2. Decode（译码），也就是根据指令寄存器里面的指令，解析成要进行什么样的操作，是 R、I、J 中的哪一种指令，具体要操作哪些寄存器、数据或者内存地址。
3. Execute（执行指令），也就是实际运行对应的 R、I、J 这些特定的指令，进行算术逻辑操作、数据传输或者直接的地址跳转。

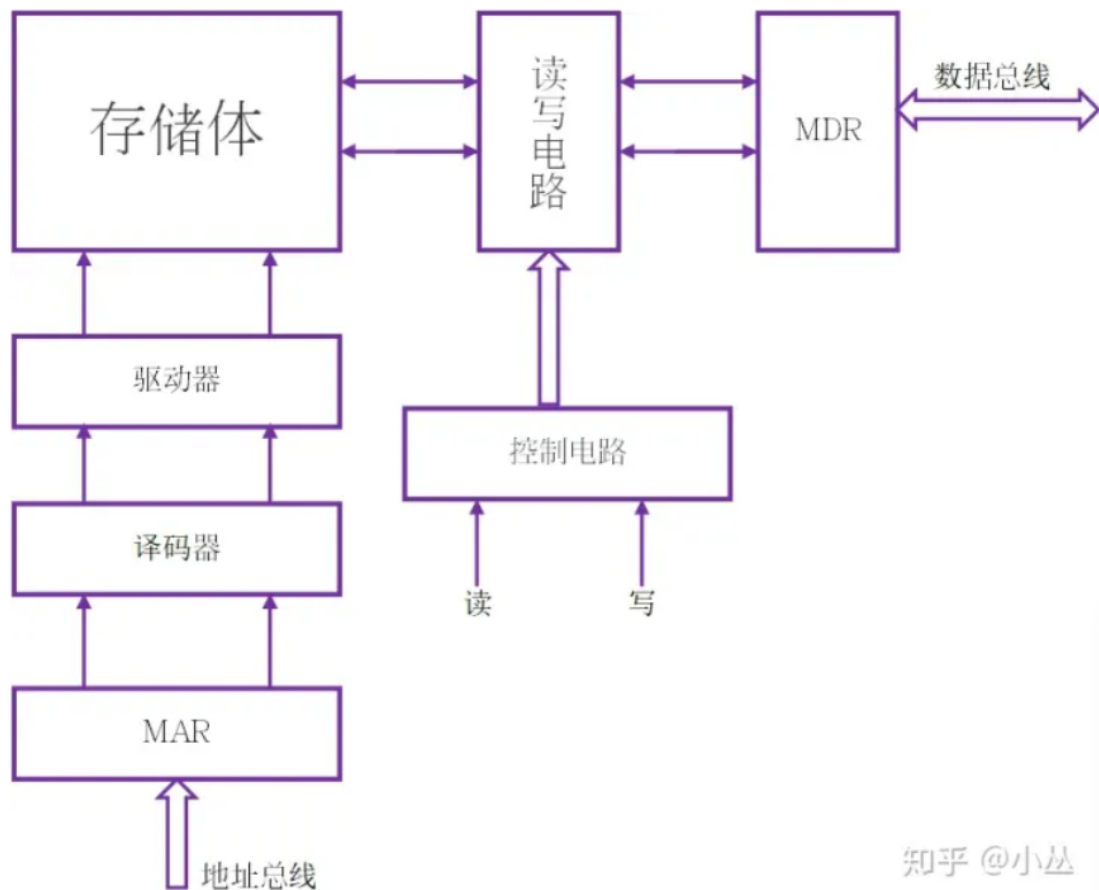
2、海明码是一种能发现两位错误并能纠正一位错的编码。

(√)

3、存储芯片中包括存储体、读写电路、地址译码电路和控制电路。

(√)

主存储器的基本组成结构



*4、按主机与接口间的数据传送方式,输入/输出接口可分为串行接口和并行接口。

(√)

输入输出的方式

输入/输出接口分类:

- 1、按数据传送方式分: 串行、并行
- 2、按CPU访问外设的控制方式:
程序查询、中断、DMA、通道控制、I/O处理机
- 3、按是否需要统一的控制时钟: 同步、异步
- 4、按通用性: 通用、专用

5、变址寻址方式中,操作数的有效地址等于变址寄存器内容加上形式地址。

(√)

有效地址EA等于指令字中的形式地址A与变址寄存器IX的内容相加之和即 $EA=(IX)+A$

6、指令周期是指：从取出一条指令开始到该指令执行结束，所需要的总时间。

(√)

指令周期是cpu从内存取出一条指令并执行这条指令的时间总和。

指令周期是执行一条指令所需要的时间，一般由若干个机器周期组成，是从取指令、分析指令到执行完所需的全部时间。

*7、程序计数器 PC 主要用于解决指令的执行次序。

(√)

为了保证程序能够连续地执行下去，CPU必须具有某些手段来确定下一条取指指令的地址。程序计数器（PC）正是起到这种作用，所以通常又称之为‘指令计数器’。

在程序开始执行前，将程序指令序列的起始地址，即程序的第一条指令所在的内存单元地址送入PC，CPU按照PC的指示从内存读取第一条指令（取指）。

*8、补码的运算特点是符号位与数值位一同参与运算，但运算结果如果溢出应加以校正。

(×)

补码加法溢出，高位直接舍弃。减法才需要校正。

是否需要对补码运算结果的溢出进行校正，要根据实际应用场景而定，一般情况下，不需要进行校正。

9、CPU 以外的设备都称外部设备。

(×)

外部设备是指连在计算机主机以外的设备，因此CPU和存储器以外的设备称为外部设备

计算机主机包括CPU和存储器。

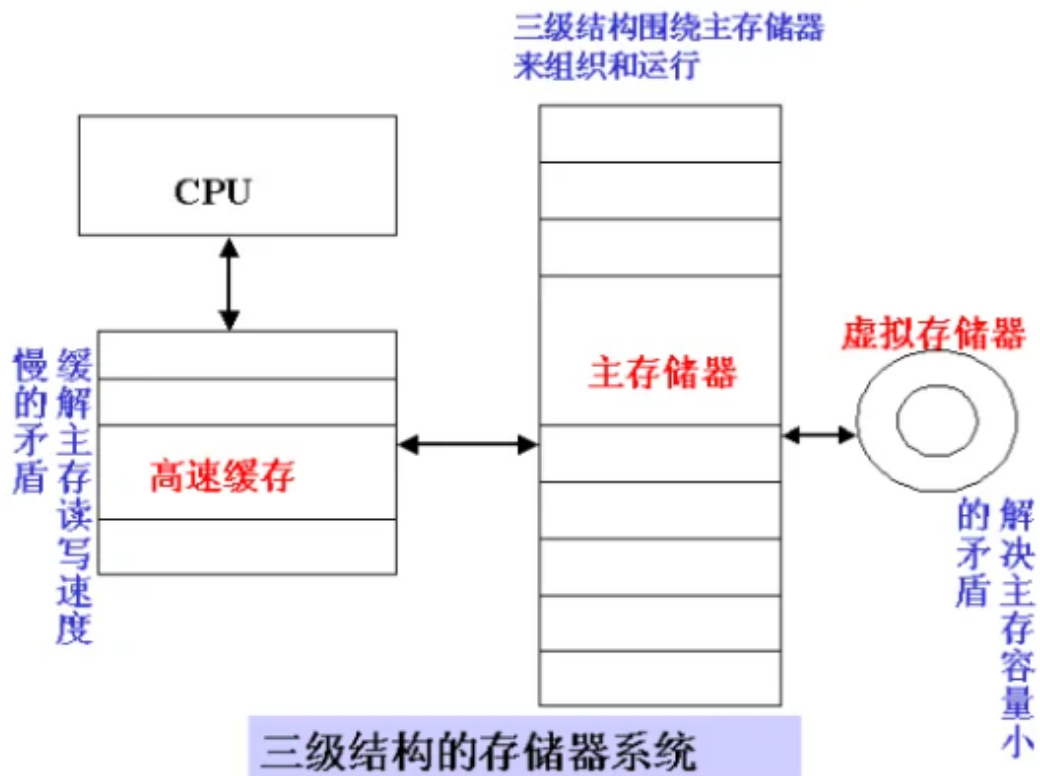
10、三级存储系统中，缓存-主存的层次主要解决主存的容量扩充问题。

(×)

Cache（缓存）-主存：解决CPU和主存速度不匹配的问题

主存-辅存：解决存储系统的容量问题

具体如图：



11、按数据传送方式的不同,计算机的外部接口可分为串行接口和并行接口两大类。

(√)

同判断第4题。

12、ALU 的主要功能是进行算术运算和逻辑运算。

(√)

13、奇偶校验可以纠正代码中出现的错误。

(×)

奇偶校验码能检测奇数位错，不能纠错

***14、与各中断源的中断级别相比，CPU(或主程序)的级别最高。**

(×)

在计算机系统中，中断是一种由硬件或软件触发的事件，它会打断当前正在执行的程序，转而执行中断处理程序来响应事件。为了区分不同类型的中断，每个中断都会被赋予一个特定的优先级。

在中断优先级中，中断源的中断级别表示中断的紧急程度，级别越高的中断意味着需要更快地得到响应。而CPU或主程序并没有中断级别，因为它们用于执行正常的计算机程序，而不是中断处理程序。

通常情况下，中断处理程序具有比正常程序更高的优先级，因为它们需要及时响应中断事件。但是，在任何情况下都不应该将CPU或主程序与中断源的中断级别进行比较，因为它们代表了不同的概念。

*15、硬布线控制器执行速度快，设计复杂，但其耗费成本低。

(×)

硬布线控制器速度快，设计比较复杂，成本高

17、程序计数器的位数取决于存储器的容量,指令寄存器的位数取决于指令字长。

(√)

程序计数器用于存放下一条指令在主存中的地址，具有自增功能。程序计数器的内容为下一条指令在主存中的地址，所以程序计数器的位数与存储器地址的位数相等，而存储器地址取决于存储器的容量，由此可知，**程序计数器的位数取决于存储器的容量。**

指令寄存器是用来存放正在执行的指令码的，所以其位数取决于指令字长。 机器字长是指计算机能直接处理的二进制数据的位数，它决定了计算机的运算精度。

*18、阶码部件可实现加、减、乘、除四种运算。

(×)

浮点运算可用两个松散连接的定点运算部件来实现：即阶码部件和尾数部件，浮点运算器的一般结构尾数部件实质上就是一个通用的定点运算器，要求该运算器能实现加、减、乘、除四种基本算术运算。对阶码部件来说，只要能进行阶码相加、相减和比较操作即可。

*19、扩展操作码是操作码字段中用来进行指令分类的代码。

(×)



指令长度 = 操作码位数 + 地址码的个数 × 地址码位数。

操作码不够用，因此需要对操作码进行扩展。

***20、CPU访问存储器的时间由存储器的容量决定的，存储器容量越大，访问存储器所需的时间越长。**

(×)

主存是随机存储器，CPU访问任何单元的时间都是相同的，同容量的大小没有关系。

***21、总线的特性包含物理特性、功能特性、电器特性和可靠性。**

(×)

总线的特性有物理特性、功能特性、电气特性、时间特性4个方面

22、定点小数表示中,只有补码能表示-1

(√)

23、定点数的表示范围有限,如果运算结果超出表示范围,称为溢出。

(√)

24、系统总线中，地址总线是单向传输的。

(√)

数据总线和控制总线是双向的，地址总线是单向是只能CPU到I/O口。

***25、和静态存储器相比，动态存储器的工作速度较慢，但功耗较低、集成度较高，因而常用于主存储器。**

(√)

SRAM（静态存储器）和DRAM（动态存储器）：

SRAM的访问速度非常快，因为数据存储在触发器中，可以立即读取和写入。SRAM具有较低的访问延迟和高速的读写性能。

DRAM的访问速度相对较慢，因为数据存储在电容中，需要经过访问晶体管的操作。

***26、计算机操作的最小单位时间是一个 CPU 周期。**

(×)

计算机操作的最小单位时间是一个 时钟周期。

27、一个更高级的中断请求一定可以中断另一个中断处理程序的执行。

(×)

关中断：处理器响应中断后，首先要保护 程序的现场状态，在保护现场过程中，CPU 不应该响应更高级中断源的中断请求。否则，如果现场保存不完整，在中断服务程序结束后，也就不能正确地恢复并继续执行 现行程序。

29、海明校验码是多个数据位使用多个校验位的一种检错纠错编码方案,不仅可以发现是否出错,还能发现是哪位出错。

(√)

30、海明码是一种能发现并能纠正数据错误的编码。

(√)

31、非访存指令不需从内存中取操作数，也不需将目的操作数存放到内存，因此这类指令的执行不需地址寄存器参与工作。

(×)

指令取址的时候都要地址寄存器参与工作。

32、只有定点数运算才可能溢出，浮点数运算不会产生溢出。

(×)

都会溢出。

***33、主存地址转换成 Cache 地址，是由 Cache 的硬件完成的。**

(√)

34、ASCII 编码是一种汉字字符编码。

(×)

35、时序电路用来产生各种时序信号,以保证整个计算机协调地工作。

(√)

***36、常用的虚拟存储器寻址系统由 cache+主存+辅存三级存储器组成。**

(×)

常用的虚拟存储器寻址系统由主存、辅存的二级存储器组成。

内存在计算机中的作用很大，电脑中所有运行的程序都需要经过内存来执行，如果执行的程序很大或很多，就会导致内存消耗殆尽。为了解决这个问题，Windows中运用了虚拟内存技术，即拿出一部分硬盘空间来充当内存使用，当内存占用完时，电脑就会自动调用硬盘来充当内存，以缓解内存的紧张。

***37、半导体 ROM 是非易失性的，断电后仍然能保持记忆。**

(√)

RAM使用寄生电容充放电来表示0和1，断电后电容放电，数据就消失了。

ROM用MOS管中间的一个绝缘体来储备电子，可以长期保存。

***38、计算机“运算速度”指标的含义是指每秒钟能执行多少条操作系统的命令。**

(×)

通常所说的计算机运算速度（平均运算速度），是指每秒钟所能执行的**指令条数**。一般用“百万条指令/秒”（mips, millionInstructionPerSecond）来描述。

39、所有指令的指令周期都是相同的。

(×)

各种指令的指令周期是不尽相同的。

***40、在 DMA 控制方式中，主机和外设是并行运行的。**

(√)

DMA，全称Direct Memory Access，即直接存储器访问。

DMA是一种完全由硬件进行成组信息传送的控制方式。具有程序中断方式的优点，即在数据准备阶段，CPU与外设并行工作。DMA方式在外设与内存之间开辟一条“直接数据通路”，信息传送不再经过CPU，也就不需要保护、恢复CPU现场等繁琐操作。

41、一般情况下，字长越长，表示的数据范围越大。

(√)

字长直接反映了一台计算机的计算精度，字长直接反映了一台计算机的计算精度。

42、Cache 的地址映射中,直接映射的地址变换速度快,硬件容易实现,但命中率略低。

(√)

43、定点补码运算时,其符号位不参加运算。

(×)

同前，补码运算符号位包括在内。

44、CPU 执行中断的工作过程，是由软件和硬件共同完成的。

(√)

47、存储单元是存储器件最小的存储单位，其作用是存储一位二进制信息。

(√)

存储元（存储单元）：存储器的最小存储单元，它的作用是用来存放一位二进制代码0或1，任何具有两个稳定状态（双稳态）的物理器件都可以来做存储元。

***48、程序计数器的位数取决于指令字长，指令寄存器的位数取决于机器字长。**

(×)

程序计数器位数取决于存储器的字长（存储器的字长 \leq **机器字长**），存放的是下一条指令的地址（所以地址可以用指针来表示）（指令在内存中的地址）

指令寄存器位数取决于指令的长度，存放的是接收取得的指令。

49、两个正浮点数运算不可能溢出，两个负浮点数运算不会产生溢出。

(×)

两个正数相加（或一个正数减一个负数）得到负数，或是两个负数相加得到正数，就是**溢出**了。

50、没有设置乘、除法指令的计算机系统中，就不能实现乘、除法运算。

(×)

加法器实现。

三、简答

1、简述浮点加减法运算的过程。

答案：

对阶——小的阶码向大的阶码看齐；

尾数运算——按照定点数补码加减运算法则，执行尾数加减操作；

结果规格化——使运算结果成为规格化数；

舍入——尾数末尾超出计算机字长被舍弃；

溢出判断——通过双符号位判断运算结果是否溢出，双符号位互异为溢出。

2、CPU 的基本功能是什么？从实现其功能的角度分析，它应由哪些部件组成？

答案：

CPU 五大基本功能如下：

程序控制——控制程序中指令执行的顺序。

操作控制——产生指令执行过程中需要的操作控制信号。

时序控制——指对每个操作控制信号进行定时。

数据加工——对数据进行算术、逻辑运算。

中断处理——及时响应内部异常和外部中断请求。

CPU 主要由控制器和运算器两个部分构成。

控制器的主要功能包括取指令、计算下条指令的地址、对指令译码、产生相应的操作控制信号、控制指令执行所需的数据通路

运算器是执行部件,由算术逻辑单元和各种寄存器组成。

3、简述 CISC 和 RISC 的概念和特点。

答案：

CISC：CISC 是复杂指令系统计算机的简称，这类计算机指令系统复杂，寻址方式种类较多，指令执行效率低。

RISC：RISC 是精简指令集计算机的简称，这类计算机指令系统简单，寻址方式种类少，指令执行效率高。

	CISC	RISC
	复杂指令系统计算机	精简指令集计算机
计算机指令系统	复杂	简单
寻址方式种类	较多	少
指令执行效率	低	高

4、硬布线控制器与微程序控制器各有什么特点？

答案：

硬布线控制器又称为组合逻辑控制器,这种控制器中的控制信号直接由逻辑门电路和触发器等构成,与微程序控制器相比,具有结构复杂但速度快的特点。

微程序控制器的设计采用了存储技术和程序设计技术,使复杂的控制逻辑得到简化。通过读出存放在微程序控制器中微指令产生指令执行过程中所需要的控制信号,所以,与硬布线控制器相比,微程序控制器的速度较慢。

5、CPU 内部有哪些寄存器?功能分别是什么？

答案：

CPU 中主要有以下寄存器：

程序计数器 PC——保存将要执行指令的字节地址。

存储器地址寄存器 AR——保存 CPU 访问主存的单元地址。

存储器数据寄存器 DR——存放从主存中读出的数据或准备写入主存的数据。

指令寄存器 IR——保存当前正在执行的指令。

通用寄存器组 GR——运算器内部的若干寄存器,又称寄存器堆。

程序状态字寄存器 PSW——保存由运算指令创建的各种条件标志。

6、计算机系统中采用层次化存储体系结构的目的是什么？层次化存储体系结构如何构成？

答案：

根据时间局部性原理和空间局部性原理，存储系统的分级结构为Cache、主存和辅助存储器三级结构。

Cache——主存存储层次，解决快速的 CPU 和慢速的主存之间的速度差异
主存-辅存存储层次，解决主存容量不够大的问题。

7、计算机为什么要设置时序系统？说明指令周期、机器周期、和时钟周期的含义。

答案：

指令执行过程中的所有**操作必须按照一定的次序和时间完成**，因此，在计算机系统中需要设置**时序系统**，对指令执行过程中的**所有控制信号进行时间控制**，以**保证指令功能的正确实现**。

通常将**一条指令从取出到执行完成**所需要的时间称为**指令周期**，包括取指周期和执行周期。

机器周期分成若干个节拍电位时间段，通常以**CPU 完成一次微操作所需要的时间**为基础来定义节拍电位的时间；

时钟周期由CPU 时钟定义的定长时间间隔，是**CPU 工作的最小时间单位**，也称节拍脉冲或 T 周期。

指令周期由若干个机器周期组成，机器周期又包含若干个时钟周期

8、简述溢出的概念及常见的溢出检测方法。

答案：

运算结果超出数据类型的表示范围称为溢出。

常用的溢出检测方法有三种：

- (1) 根据**操作数和运算结果符号位**是否一致进行检测；
- (2) 根据运算过程中**最高数据位的进位与符号位的进位**是否一致进行检测；
- (3) 利用**变形补码的符号位**进行检测。

9、存储器技术指标有哪些？概念是什么？

答案：

存储容量——存储器**可以存储的二进制信息总量**称为存储容量；

存取时间——是指**启动一次存储操作到该操作完成所有经历时间**；

存取周期——**连续启动两次访问操作之间的最短时间间隔**；

存储器带宽——**单位时间内存储器所能传输的信息量**。

10、为什么在存储器芯片中设置片选输入端？

答案：

由于存储芯片的容量及字长与目标存储器的容量及字长之间可能存在差异，应用存储芯片组织一定容量与字长的存储器时，一般可采用位扩展、字扩展、字位同时扩展等方法来组织。这样就会使用多个存储芯片，从而要设置片选输入端来选择正确的存储芯片来进行操作。

四、综合题：

1、设 8 位有效信息为 01101110，试写出它的海明校验码。给出过程，说明分组检测方式，并给出指误字及其逻辑表达式。

如果接收方收到的有效信息变成 01101111，说明如何定位错误并纠正错误。

解：D1D2D3D4D5D6D7D8 = 01101110

(1) 被检验位有 8 位，设检验位有 r 位 因为： $8+r \leq 2^r - 1$ ，所以 $r=4$ ；设四位分别为 P1, P2, P3, P4

海明码为： H1H2H3H4H5H6H7H8H9H10H11H12=P1P2P3 110P4 1110

$P1 = H3 \oplus H5 \oplus H7 \oplus H9 \oplus H11$

$P2 = H3 \oplus H6 \oplus H7 \oplus H10 \oplus H11$

$P3 = H5 \oplus H6 \oplus H7 \oplus H12$

$P4 = H9 \oplus H10 \oplus H11 \oplus H12$

所以 $P1=1, P2=1, P3=0, P4=1$

海明码为： 110011011110（四个校验位表达式每个2分（异或符号可用文字描述或校验位与校验信息位——对应即为正确），海明码2分）（共10分）

指错位

$G1 = H1 \oplus H3 \oplus H5 \oplus H7 \oplus H9 \oplus H11$

$G2 = H2 \oplus H3 \oplus H6 \oplus H7 \oplus H10 \oplus H11$

$G3 = H4 \oplus H5 \oplus H6 \oplus H7 \oplus H12$

$G4 = H8 \oplus H9 \oplus H10 \oplus H11 \oplus H12$

所以 $G1=0, G2=0, G3=0, G4=0$ （指错位表达式每个1分，指错字1分）（共5分）

(2)如果接收方收到的有效信息变成 D1D2D3D4D5D6D7D8 = 01101111 那么 $G1=0, G2=0, G3=1, G4=1$

所以，检错码 $G4G3G2G1=(1100)_2 = (12)_{10}$

即第 12 位错，直接将 D8 纠错为 0 即可。（检错码2分，指出第12位错2分，纠错1分）（共5分）

2、设某机主频为 8MHz，每个机器周期平均含 2 个时钟周期， 每条指令平均有 2.5 个机器周期

1.试问该机的平均指令执行速度为多少 MIPS?

2.若机器主频不变， 但 每个机器周期平均含 4 个时钟周期， 每条指令平均有 5 个机器周期， 则该机的平均指令执行速度又是多少 MIPS?

3.由此可得出什么结论?

解： 先通过主频求出时钟周期， 再求出机器周期和平均指令周期， 最后通过平均指令周期的倒数求出平均指令执行速度。计算如下：

时钟周期= $1/8\text{MHz}=0.125\times10^{-6}=125\text{ns}$ (2.5分)

机器周期= $125\text{ns}\times2=250\text{ns}$ (2.5分)

平均指令周期= $250\text{ns}\times2.5=625\text{ns}$ (2.5分)

平均指令执行速度= $1/625\text{ns}=1.6\text{MIPS}$ (2.5分)

当参数改变后： 机器周期= $125\text{ns}\times4=500\text{ns}=0.5\mu\text{s}$ (2.5分)

平均指令周期= $0.5\mu\text{s}\times5=2.5\mu\text{s}$ (2.5分)

平均指令执行速度= $1/2.5\mu\text{s}=0.4\text{MIPS}$ (2.5分)

结论： 两个主频相同的机器， 执行速度不一定一样。 (2.5分)

3、 将十进制数20.59375转换成IEEE754单精度浮点数的十六进制机器码。

解： 首先分别将整数和小数部分转换成二进制数：

$(20.59375)_{10} = (10100.10011)_2$ (3分)

移动小数点， 使尾数变成1.M的形式：

$10100.10011 = 1.010010011 \times 2^4$ (3分)

可得：

$S=0$, $E=e+127=4+127=131=10000011$, $M=010010011$ (4分)

最后得到32位浮点数的二进制存储格式为： (4分)

0	1000 0011	010 0100 1100 0000 0000 0000
---	-----------	------------------------------

最终机器码= $(0100\ 0001\ 1010\ 0100\ 1100\ 0000\ 0000\ 0000)_2$ (3分)

则十六进制为 $(41A4C00)_{16}$ (3分)

4、某计算机的 cache 由 64 个存储块构成，采用 4 路组相联映射方式，主存包含 4096 个存储块，每块由 128 个字组成，访问地址为字地址。

(1)主存地址和 cache 地址各有多少位？(10 分)

(2)按照题目条件中的映射方式，列出主存地址的划分情况，并标出各部分的位数。(10 分)

答案：

(1) (主存地址和cache地址求解过程各3分；结果各2分)

主存地址位数为 19 位， cache 地址位数为 13 位(10 分)

因为主存包含 4096 个存储块，每块由 128 个字组成，所以主存地址位数是 $12+7=19$ 位；

(这里他没有说一个字为多少个字节，默认就1字=1字节，因此内存容量为 $4096 \times 128 \text{Byte} = 2^{19} \text{Byte}$ ，因此内存地址就需要19位的数，这样才能表示任意内存的地址，因此内存地址位数=19)

因为 cache 由 64 个存储块构成，采用 4 路组相联映射方式，所以 cache 的地址位数是 $6+7=13$ 位。

(2)列出主存地址的划分情况，并标出各部分的位数(10 分) (各部分位数计算过程每个两分，地址划分图4分)

s=主存地址位数=19

(第一题得主存地址位数19位)

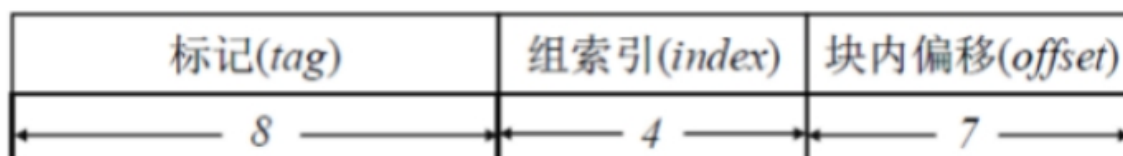
index=4

($64/4=16$ 组，2的4次方等于16，所以组地址为4位，(如果是直接相连的话，那么就是2的6次方等于64，块地址就为6位了，但是这里是4路组相连，所以是组地址，而不是块地址)，即组相连，将cache分成了64块，然后将这64块要分成每组4块，因此能分成16组，此时需要一个4位的数字来表示任意一组，因此组索引index=4)

offset=7

每块128字，默认1字=1Byte，所以需要一个7位的数表示块内任意地址，所以块内地址为7位。

tag=s-index-offset



5、设某机内存容量为 16MB,Cache 的容量 16KB,每块 8 个字,每个字 32 位. 设计一个四路组相联映射 (即 Cache 内每组包含 4 个字块) 的 Cache 组织方式。

(1)列出主存地址划分情况, 并标出各部位的位数。(12 分)

(2) 设 Cache 的初态为空,CPU 从主存第 0 号单元开始连续访问 100 个字 (主存一次读出一个字),重复此次序读 8 次,求存储访问的命中率。(8 分)

答案:

(1)块内偏移 5 位, index7 位、tag12 位。图略。(各部位求解过程每个3分, 图3分)

内存 $16\text{MB} = 2^4 \times 2^{20} \text{B} = 2^{24} \text{B}$, 所以, 内存地址 24 位。

(这里是因为: 内存容量为 $16\text{MB}=2^4 \times 2^{20}\text{Byte}$, 因此内存地址就需要24位的数, 这样才能表示任意内存的地址, 因此内存地址位数=24)

Cache $16\text{KB} = 2^4 \times 2^{10} \text{B} = 2^{14} \text{B}$, 所以, Cache 地址 14 位。

(这里是因为: cache容量为 $16\text{KB}=16 \times 2^{10}\text{Byte}=2^{14}\text{Byte}$, 因此cache地址就需要14位的数, 这样才能表示任意cache的地址, 因此cache地址位数=14)

Cache 中, 每块 8 个字, 每个字 32 位, 即 4B, 每块有 $8 \times 4\text{B} = 32\text{B} = 2^5 \text{B}$, 所以主存地址中的 offset 有 5 位。

(这里注意, offset为块内偏移)

Cache 中, 每组有四路, 即有 $4 \times 32\text{B} = 2^7 \text{B}$, 这样 Cache 可以分为 $2^{14}\text{B} / 2^7\text{B} = 2^7$ 组, 所以主存地址中的 index 有 7 位。

这样, 主存地址中的 tag 位 $= 24 - 5 - 7 = 12$ 。

(2)主存 100 个单元可以分为 $100/8 = 12.5 \approx 13$ 块。(2分)

每次从主存中读出 1 个字, 包括该字在内的 8 个字将加载入Cache 中的某块。Cache 有 $2^7 = 128$ 组, 每组里面有 4 路。

访问主存前, Cache 初态为空, 每块第一次不命中, 后 7 次访问均命中; (2分)

100 号单元对应 13 块, 第一轮访问 13 次不命中, 后七轮访问均命中; (2分)

循环 8 次的总命中率为:

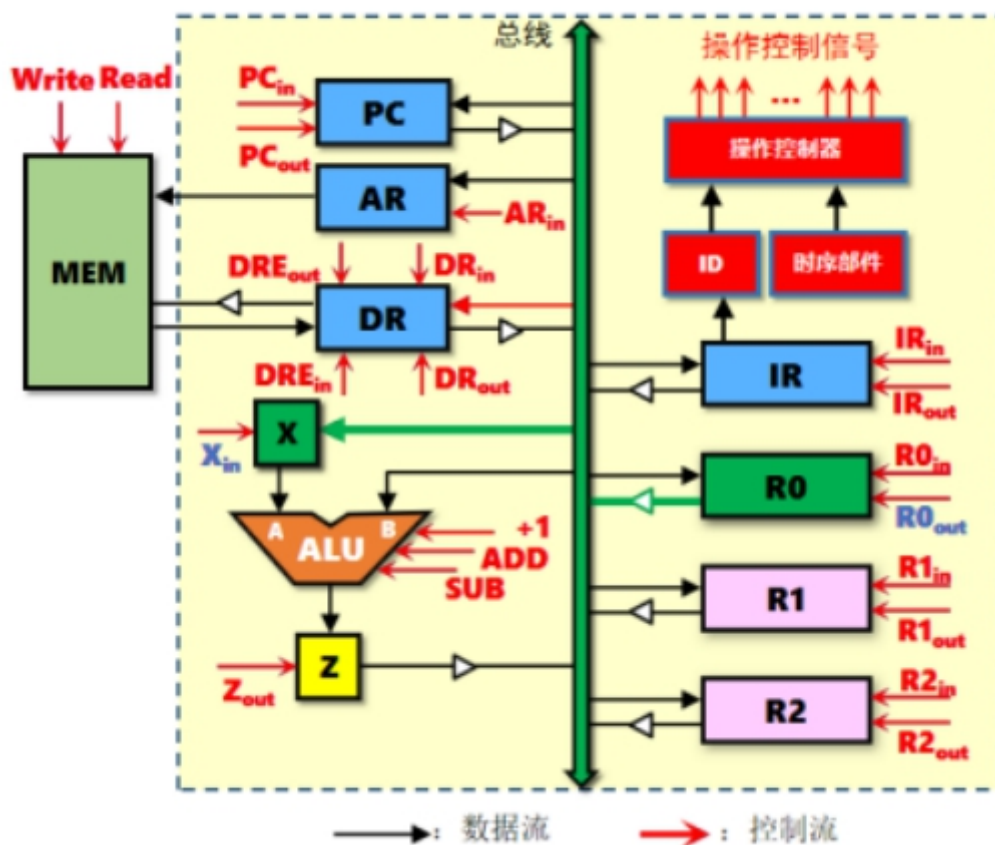
$(100 \times 8 - 13) / (8 \times 100) = 98.375\%$ (2分)

首先要明确一点: 只有在第一遍访问时才会存在未命中情况, 那么我们就需要计算第一次有多少个字没有命中。

当出现一次未命中时, 主存就会把对应块上的数据传送到Cache中, 那么我们只需要计算出第一遍遍历中主存向Cache传送了多少次数据, 就可以得到未命中的次数。

100个字有 $100 \times 4 = 400\text{B}$ ，每一块存储空间为32B，那么100个字就需要 $400/32 = 13$ 个块。
 那么第一遍便利的时候主存需要向Cache传送13次数据，也就是说有13次未命中。
 全部过程访问 $8 \times 100 = 800$ 次，未命中13次，则命中率为 $(800 - 13)/800 = 98.375\%$

6、根据 CPU 的单总线结构图，完成下列各问。



(1)系统取指令阶段需要完成的功能是什么？需要用到几个节拍？每个节拍的数据通路是什么？（10分）（功能2分，数据通路每个2分，文字描述或流程均可）

(2) $\text{lw } \$rt, \text{imm}(\$rs)$ 的功能为： $R[\$rt] \leftarrow \text{MemMem4B}(R[\$rs] + \text{SignExt16b}(\text{imm}))$ 。给出该指令取和执行阶段需要使用的主功能部件。（10分）

答案： (1)需要实现的功能是在存储器中取出指令；共需要 4 个节拍。

在 T1 节拍中，将 PC 的值送入 AR 寄存器，同时送入寄存器 X；在 T2 节拍中完成 $X+4$ 送入 Z 寄存器；在 T3 节拍中，将 Z 送入 PC 寄存器，实际上完成 $\text{PC}+4$ 送入 PC，同时将指令从存储器中取出送入 DR 寄存器；在 T4 节拍中，将指令送入 IR 寄存器。将各节拍的数据通路如图所示

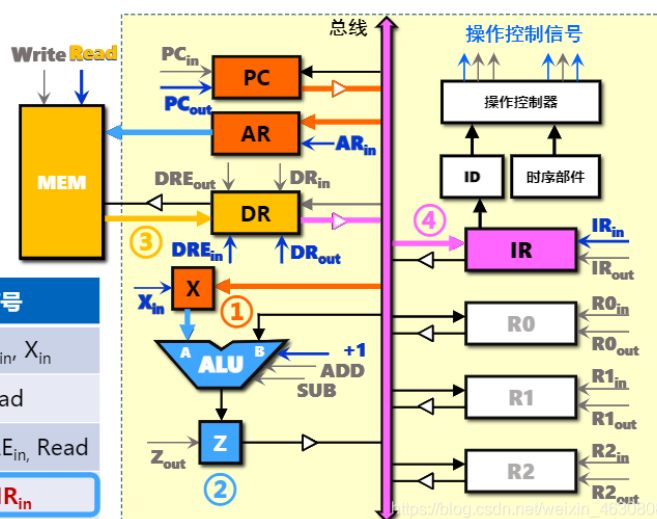
节拍	数据通路 (数据流)
T1	PC→AR, PC→X
T2	X+4→Z
T3	Z→PC, M[AR]→DR
T4	DR→IR

！！！！系统各个阶段数据通路

1 取指令数据通路

Mem[PC++] → IR

节拍	数据通路	控制信号
T1	(PC)→AR, (PC)→X	PC _{out} , AR _{in} , X _{in}
T2	(X)+1→Z	+1, Read
T3	(Z)→PC, Mem[AR]→DR	Z _{out} , PC _{in} , DR _{in} , Read
T4	(DR)→IR	DR _{out} , IR _{in}



分四个阶段进行取指令操作

对于该指令我们需要将指令存入IR中，然后PC指向下一个地址

(1) 将PC的值输出，需要给出一个PC_{out}控制信号将其送到总线，然后给出AR_{in}控制信号将其送入AR中，同时一个X_{in}控制信号将其送入X寄存器中。（注意是在时钟周期到来时将其写入）

(2) 选择ALU的+1控制信号将X中存放的地址进行该操作（MIPS为+4），然后输入到Z中（因为Z没有输入控制信号所以直接输入，进入其中进行锁存）。同时主存给出Read信号开始读取地址中的内容。

(3) 此时我们需要将更新后的PC值返回PC，所以给出Z_{out}输入信号进入总线，并且有PC_{in}输入信号进行输入操作。将主存中的内容读取到DR中。

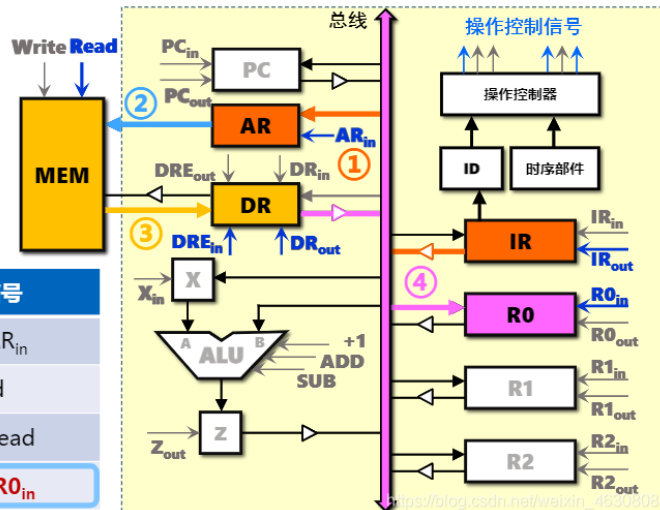
(4) 我们通过DR_{out}和IR_{in}将DR中的值送入到IR中。当指令取出后再送到指令译码器生成操作控制信号。

2 LOAD指令执行数据通路

LOAD R0,6#

Mem[IR_A] → Reg

节拍	数据通路	控制信号
T1	(IR _A)→AR, (PC)→X	IR _{out} , AR _{in}
T2		Read
T3	Mem[AR]→DR	DRE _{in} , Read
T4	(DR)→R0	DR _{out} , R0 _{in}



同样分四个阶段进行执行操作

对于该指令我们需要将IR中的指令取出放入主存中找到对应的值，然后存入R0中

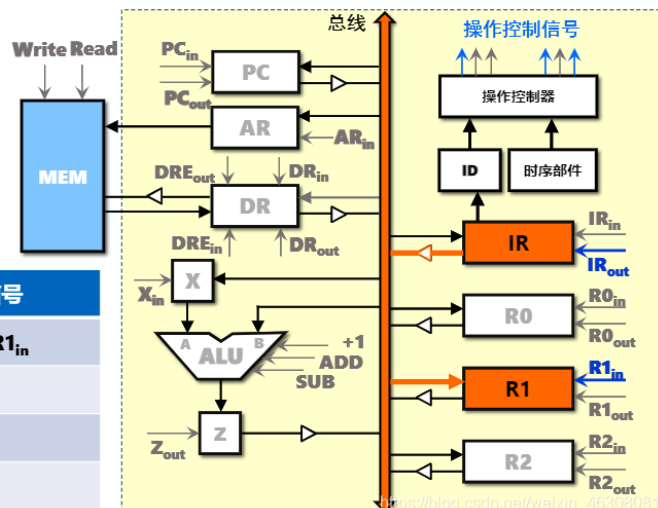
- (1) 我们通过IR_{out}控制信号取出指令进入总线，然后通过AR_{in}控制信号存入AR中。
- (2) 进行指令在主存中的读取
- (3) 通过DRE_{in}信号将结果输入DR中
- (4) 通过DR_{out}和R0_{in}控制信号，将结果存入R0寄存器中，Load指令操作结束。

1 MOVE指令执行数据通路

MOVE R1,10

(IR_A) → Reg

节拍	数据通路	控制信号
T1	(IR _A) → R[0]	IR _{out} , R1 _{in}
T2		
T3		
T4		



该操作只有一个阶段

我们将10即IR_A中的值传递给寄存器R1

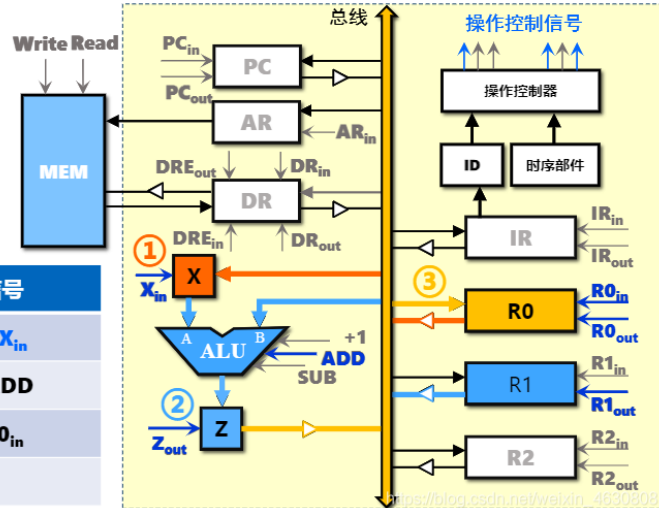
- (1) 通过IR_{out}控制信号输出到总线，然后通过R1_{in}控制信号输入到R1寄存器中。

2 ADD指令执行数据通路

ADD R0,R1

$(R0) + (R1) \rightarrow R0$

节拍	数据通路	控制信号
T1	$(R0) \rightarrow X$	$R0_{out}, X_{in}$
T2	$(X) + (R1) \rightarrow Z$	$R1_{out}, ADD$
T3	$(Z) \rightarrow R0$	$Z_{out}, R0_{in}$
T4		



分三个阶段

将寄存器R0和R1中的值相加并返回到R0中

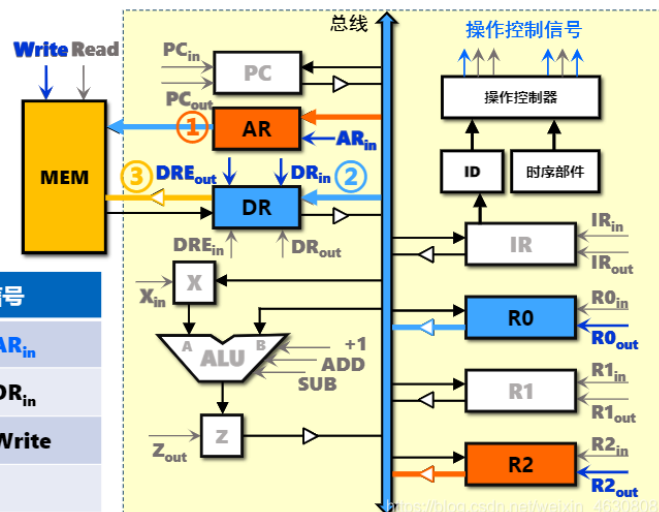
- (1) 通过R0out信号将R0中的值送入总线，然后通过Xin指令锁存到X寄存器中。
- (2) 通过R1out控制信号将结果输入到ALU的B端，然后通过ADD控制信号，将X中的值与其相加，求得结果放入暂时寄存器Z中。
- (3) 通过Zout控制信号和R0in控制信号将结果转移到R0中。

3 STORE指令 数据通路

STORE R0,(R2)

$(R0) \rightarrow \text{Mem}[R2]$

节拍	数据通路	控制信号
T1	$(R2) \rightarrow AR$	$R2_{out}, AR_{in}$
T2	$(R0) \rightarrow DR$	$R0_{out}, DR_{in}$
T3	$(DR) \rightarrow \text{Mem}[AR]$	DRE_{out}, Write
T4		



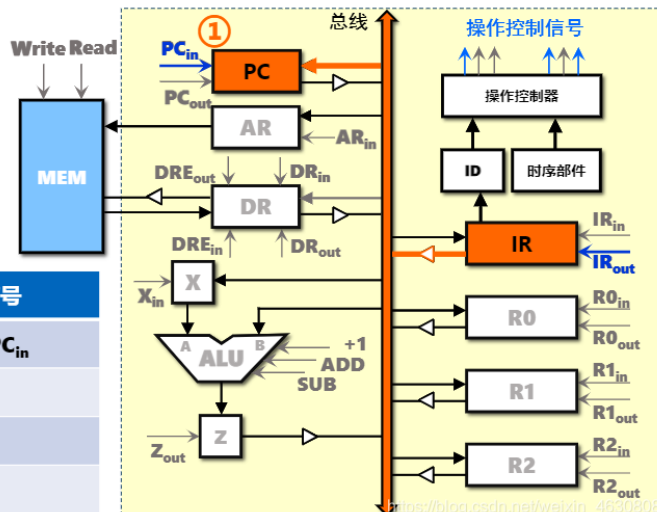
分三个阶段

将R0的值写入主存，地址为R2的地址

- (1) 通过R2out和ARin信号将地址存放到AR中
- (2) 通过R0out和DRin信号将值存放到DR中
- (3) 通过主存的Write信号和DREout信号将该内容写入主存

JMP 1000 **$(IR_A) \rightarrow PC$**

节拍	数据通路	控制信号
T1	$(IR_A) \rightarrow PC$	IR_{out}, PC_{in}
T2		
T3		
T4		



只有一个阶段

将PC跳转到1000的位置

(1) 立即数存放在IR中，我们通过IRout和PCin信号将该地址输入到PC中

(2) $lw \$rt, imm(\$rs)$ 的功能为: $R[\$rt] \leftarrow MemMem4B(R[\$rs] + SignExt16b(imm))$ 。分别给出该指令取和执行阶段需要使用的主功能部件。(10分)

取指令阶段部件: PC 寄存器, 指令寄存器, 加法器 (每个2分)

执行阶段部件: 寄存器堆, ALU, 符号扩展器, 数据存储器 (每个1分)

7、设数的阶码为3位，尾数为6位(不包括符号位)按机器补码浮点运算步骤，完成 $[x+y]$ 补。 $x = 2^{011} \times 0.100100$, $y = 2^{010} \times (-0.011010)$ (每一步5分)

解:

(a) 采用双符号位, $[x]_{补} = 00011\ 00100100$ $[y]_{补} = 00010\ 11100110$

对阶: 阶差 $\Delta E = E_x - E_y = 00001$, 阶差为1, 将 $[y]_{补}$ 尾数右移一位得到 $00011\ 1110011$

(先求补码, 再对阶)

(b) **相加:** $[x]_{补} + [y]_{补} = 00011\ 00010111$, 尾数相加为 00010111

(尾数相加, 阶码不变)

(c)**结果规格化**:由于尾数符号位跟最高有效位相同, 需要左规, 规格化结果为: $[x]_{补}+[y]_{补}=0001000101110$

(不是11.0或00.1时, 需要规格化, 01.xx或10.xx, 尾数右归一位, 阶码+1; 11.1xx或00.0xx, 左归n位, 阶码-n)

(若右归, 可能需要舍入, 末位置1——若移位丢失的位中有1, 则运算结果最低位置1; 0舍1入: 丢失位数最高位是1, 尾数末位加1)

(d)**溢出判断**: 不需舍入, 无溢出, 则: $[x]_{补}+[y]_{补}=0001000101110$

(尾数运算时, 尾数结果的符号位若为01或10, 则为溢出)

8、若某程序编译后生成的目标代码由 A、B、C、D 四类指令组成, 它们在程序中所占比例分别为 40%、20%、15%、25%。已知 A、B、C、D 四类指令的 CPI 分别为1、2、2、2。现需要对程序进行编译优化, 优化后的程序中 A 类指令条数减少了一半而其它指令数量未发生变化。假设运行该程序的计算机 CPU 主频为 500MHZ。完成下列各题:

1)优化前后程序的 CPI 各为多少?

2)优化前后程序的 MIPS 各为多少?

3) 通过上面的计算结果你能得出什么结论?

解: 可以假设某程序编译后生成的目标代码有 100 条指令。A 有 40 条, B 有 20 条, C 有 15 条, D 有 25 条。优化后 A 类指令条数减少一半, 那么 A 有 20 条, B 有 20 条, C 有 15 条, D 有 25 条。

$$1) \text{ 优化前: } CPI = \sum_{i=1}^n (CPI_i \times P_i) = 1 \times 0.4 + 2 \times 0.2 + 2 \times 0.15 + 2 \times 0.25 = 1.6$$

优化后: A、B、C、D 四类指令在程序中所占比例分别为 1/4、1/4、3/16、5/16, 则: $CPI =$

$$\sum_{i=1}^n (CPI_i \times P_i) = 1 \times 1/4 + 2 \times 1/4 + 2 \times 3/16 + 2 \times 5/16 = 1.75$$

2) 根据公式 $MIPS = \text{时钟频率} / (CPI \times 10^6)$ 得:

$$\text{优化前: } MIPS = (500 \times 10^6) / (1.6 \times 10^6) = 312.5$$

$$\text{优化后: } MIPS = (500 \times 10^6) / (1.75 \times 10^6) = 285.7$$

3) 优化后, A 类指令条数减少, 造成计算机的 CPI 增加, MIPS 减少。这样的优化虽然减少了 A 类指令条数, 却降低了程序的执行速度。

9、要基于一位全加器 FA 串联设计一个 4 位无符号补码可控加减法器，两个运算操作数分别为 $X = X_3X_2X_1X_0$, $Y = Y_3Y_2Y_1Y_0$ ，进位输入信号为 C_0 ，运算结果输出为 $S = S_3S_2S_1S_0$ ， C_4 为进位输出,运算控制信号为 Sub ，试完成下列各题。

(1)请设计一位全加器 FA 的电路，运算操作数为 X, Y ，进位信号为 C_{in} ，输出为运算结果 S ，进位输出 C_{out} ，给出所有输出信号逻辑表达式。(6 分) (2)以一位全加器 FA 为基础，设计一个 4 位串行无符号补码加减法器，请给出其电路图，并说明其工作原理。(8 分)

(3)假设所有门电路时间延迟均为 $1T$ ，则一位全加器 FA 的时延为___，(2 分)该 4 位可控加减法器的关键路径延迟为___。(4 分)

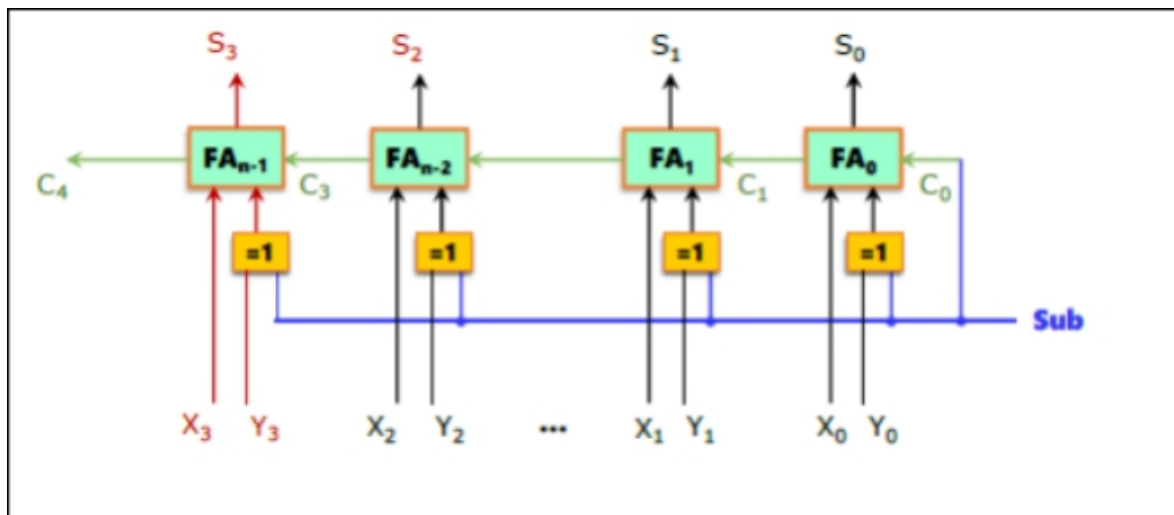
答案：

(1)所有输出信号逻辑表达式 (6 分)

$S_i = X \oplus Y \oplus C_{in}$ (3 分)

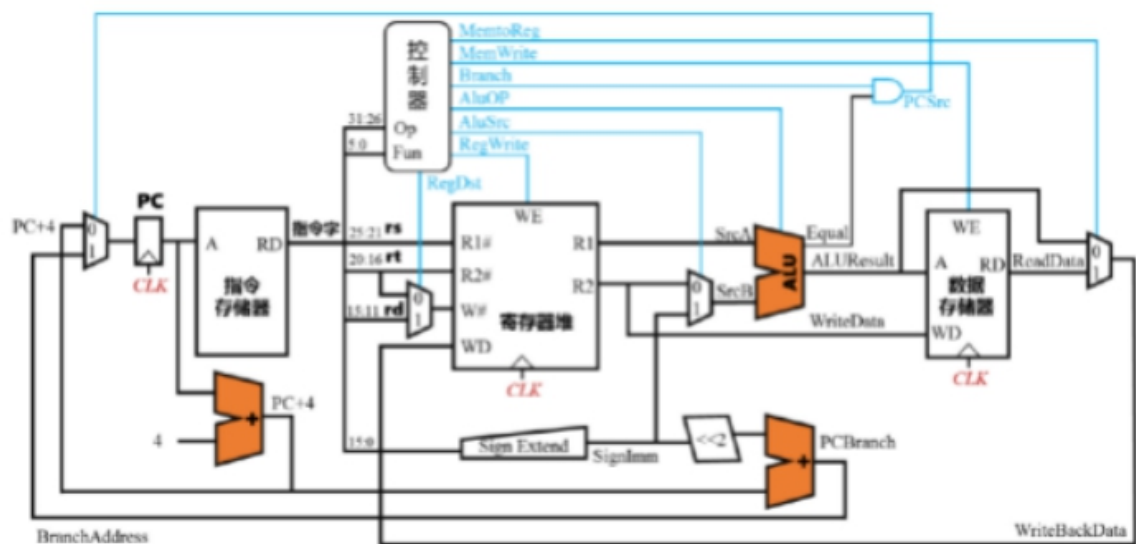
$C_{out} = XY + (X \oplus Y)C_{in}$ 或 $C_{out} = XY + (X + Y)C_{in}$ (3 分)

(2) (8分)



(3) 假设所有门电路时间延迟均为 $1T$ ，则一位全加器 FA 的时延为 $3T$ ，(2 分) 该 4 位可控加减法器的关键路径延迟为 ___ $10T$ (4 分)

10、下图为某 32 位单周期 MIPS CPU 的逻辑框图，完成下列各问。



(1) $lw \$rt, imm(\$rs)$ 的功能为： $R[\$rt] \leftarrow MemMem4B$

$(R[\$rs] + SignExt16b(imm))$ 。分别给出该指令取和执行阶段需要使用的主功能部件及相关控制信号的值，确保该指令能正执行。(14分)

(2) 假设 lw 指令中 imm 字段的值为 $8AF2H$ ，则经过图中扩展电路后的值为 ___ (16 进制)? 为什么要对指令 imm 字段的值进行符号扩展? (6分)

答案：(1) 分别给出该指令取和执行阶段需要使用的主功能部件及相关控制信号的值，确保该指令能正执行。(14分)

取指令阶段部件：PC 寄存器，指令寄存器，加法器 (每个1分)

执行阶段部件：寄存器堆，ALU，符号扩展器，数据存储器 (每个1分)

(控制信号每个1分)

控制信号	MentoReg	MemWrite	Branch	AluOP	AluSrc	RegWrite	RegDst
值	1	0	0	5	1	1	0

(2) $FFFF8AF2$; (3分)

原因：因为ALU为32位， imm 字段本身只有16位，当与另一个32位数据进行运算时，必须将符号位数据扩展为32位数才能参与运算。(3分)