

《数字电路与逻辑设计 A》课程期末考试大纲

(2024-2025 第一学期)

➤ 期末考试试卷题型及分值（共 11 道大题，卷面总分 100 分）

- 一、单选题：10 个，每个 2 分，共 20 分
- 二、填空题：5 个，每个 2 分，共 10 分
- 三、公式法化简题：1 个，6 分
- 四、卡诺图化简题：1 个，6 分
- 五、六、中小规模组合逻辑电路的分析和设计题：2 个，每个 10 分，共 20 分
- 七、触发器波形题：1 个，6 分（以填空方式答题）
- 八、VHDL 读程序题：1 个，6 分
- 九、同步小规模时序逻辑电路设计题：1 个，10 分
- 十、中规模时序逻辑电路设计题（任意进制计数器设计）：1 个，10 分
- 十一、用 74194 进行扭环型计数器设计或序列信号发生器设计：1 个，6 分

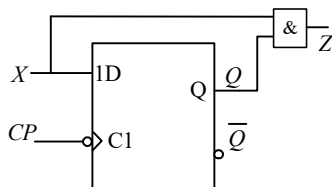
➤ 各章节考核内容（具体内容以课件为准）

章节	考核内容	试卷题号	分值
第 1 章	数字电路的基本概念	一、二	4-6 分
第 2 章	数制和码制的基本概念及相互转换		
第 3 章	逻辑代数的基本概念、理论及简单应用	一、二	2-4 分
	公式化简及卡诺图化简逻辑函数	三、四	12 分
第 4 章	VHDL 语言的基本概念	一、二	2 分
	VHDL 程序代码（第 6,7,8 章的代码）的阅读及简答	八	6 分
第 5 章	集成逻辑门的基本原理、概念及应用	一、二	2-4 分
第 6 章	组合逻辑电路的基本原理和相关概念	一、二	2-4 分
	中小规模组合逻辑电路的分析和设计	五、六	20 分
第 7 章	各种触发器的基本原理和相关概念	一、二	2-4 分
	触发器电路波形图	七	6 分
第 8 章	时序逻辑电路的基本原理和相关概念	一、二	2-4 分
	同步中小规模时序逻辑电路的分析和设计	九、十、十一	26 分
第 10 章	存储器的基本原理和相关概念	一、二	2-4 分
第 11 章	数模和模数转换的基本原理和相关概念	一、二	2-4 分
第 12 章	可编程逻辑器件的基本原理、概念及应用	一、二	2-4 分

《数字电路与逻辑设计 A》期末考试样卷及评分标准

一、单项选择题(每小题 2 分, 共 20 分)

- 1、余 3 码 10010111.0110 对应的十进制数为()。
A. $(97.6)_{10}$ B. $(97.3)_{10}$ C. $(94.6)_{10}$ D. $(64.3)_{10}$
- 2、若 $\overline{A}BCDE$ 是函数的最小项, 则该最小项的相邻最小项的总数目为()。
A. 1 个 B. 5 个 C. 10 个 D. 32 个
- 3、以下描述一个逻辑函数的方法中, ()只能唯一表示。
A. 逻辑代数式 B. 逻辑图 C. 真值表 D. 波形图
- 4、VHDL 语句中, 能够并行执行的语句的是 ()。
A. IF 语句 B. CASE 语句 C. PROCESS 语句 D. LOOP 语句
- 5、8 路数据分配器有()个数据输入线。
A. 2 B. 3 C. 8 D. 1
- 6、存在约束条件的触发器是()。
A. 基本 RS 触发器 B. D 触发器 C. JK 触发器 D. T 触发器
- 7、由 3 级触发器构成的环形和扭环计数器的最大计数模值依次为()。
A. 3 和 6 B. 6 和 3 C. 8 和 8 D. 6 和 8
- 8、下列中规模逻辑器件中, 可以实现并/串转换和串/并转换的是()。
A. 计数器 B. 存储器 C. 全加器 D. 移位寄存器
- 9、存储容量为 2048×16 的 RAM 有()根地址输入线。
A. 8 B. 10 C. 11 D. 2048
- 10、下图所示的电路中, 若 $Q^n=0$ 、 $X=1$ 时, 触发器的次态和输出是()



- A. $Q^{n+1}=0, Z=0$ B. $Q^{n+1}=0, Z=1$
C. $Q^{n+1}=1, Z=0$ D. $Q^{n+1}=1, Z=1$

二、填空题(每小题 2 分, 共 10 分)

- 1、 $(46.5)_{10} = (\underline{\hspace{2cm}})_{2}$
- 2、 $(97.8)_{10} = (\underline{\hspace{2cm}})_{5421BCD}$
- 3、 $F(A,B,C) = \sum m(0,2,7)$, 则 $F = \prod M(\underline{\hspace{2cm}})$ 。
- 4、J-K 触发器的特性方程为 $\underline{\hspace{2cm}}$ 。
- 5、VHDL 语言端口模式分为 in、out、inout 和 $(\underline{\hspace{1cm}})$ 四种类型。

三、(6 分) 用公式法化简下列逻辑函数为最简与-或式。

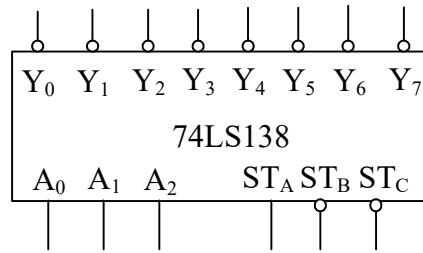
$$F(A,B,C,D,E) = AC + \overline{B}C + \overline{B}D + \overline{C}D + A(B + \overline{C}) + \overline{A}BC\overline{D} + \overline{A}BDE$$

四、(6 分) 用卡诺图化简法将下面的逻辑函数化简为最简与-或表达式。

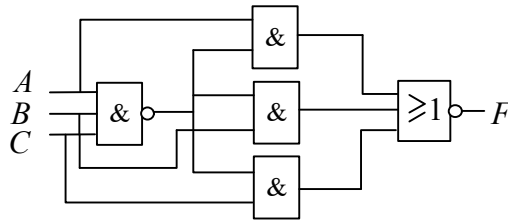
$$F(A,B,C,D) = \sum m(2,3,5,6,7,8,9,12,13) + \sum d(1,11,14,15)$$

五、(10 分) 试用 3 线-8 线译码器 74LS138 和适当的门电路设计下面的多输出组合逻辑电路, 写出 F_1 、 F_2 的最小项表达式, 并画出完整的逻辑电路图。

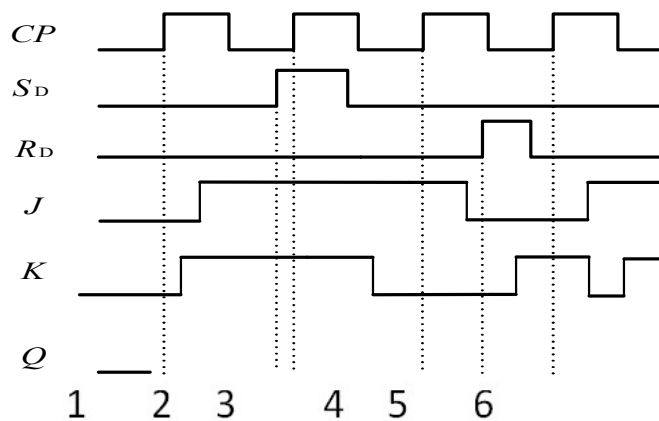
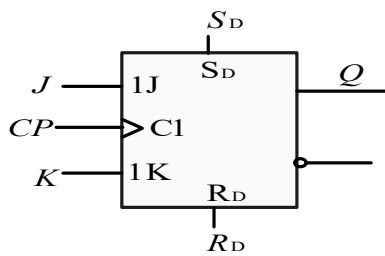
$$\begin{cases} F_1(A, B, C) = \overline{A}BC + B\overline{C} + \overline{A}B\overline{C} \\ F_2(A, B, C) = A\overline{B}C + AB\overline{C} + \overline{A}C \end{cases}$$



六、(10 分) 分析下图所示的组合逻辑电路, 请 (1) 写出逻辑表达式; (2) 列出真值表; (3) 说明电路逻辑功能。



七、上升沿触发的 JK 触发器, 其输入波形如图所示, 试画出 JK 触发器的输出波形。(设其初始状态为 0) (6 分)



以上 1-6 段输出波形的值依次为(填 0 或者 1):

八、阅读下面的 VHDL 程序, 并根据程序回答问题: (6 分)

```
library ieee;
use ieee.std_logic_1164.all;
entity adder is
    port (ai, bi, ci : in std_logic;
          si, co : out std_logic);
end adder;
architecture adder of adder is
begin
    si <= ai xor bi xor ci;
    co <= (ai xor bi) and ci or ai and bi;
end adder;
```

1. 画出该电路的逻辑符号。
2. 说明该程序描述的逻辑电路功能？

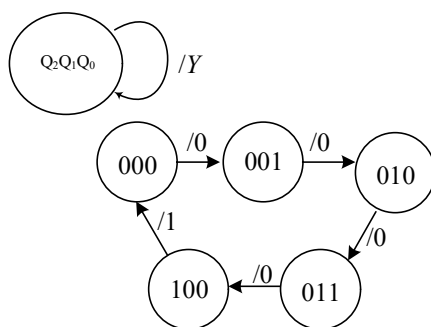
九、(10 分) 用边沿 JK 触发器和门电路设计一个同步五进制的计数器，其状态图如下，

要求：(1) 列出状态转换真值表；

(2) 列出卡诺图；

(3) 检查启动特性，设计电路能自启动；

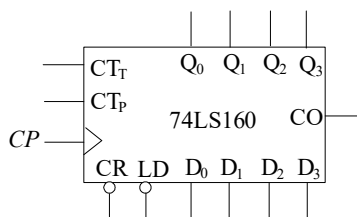
(4) 写出状态方程、输出方程和驱动方程。



十、(10 分) 74LS160 的功能表和逻辑符号如图所示，试用 74LS160 和必要的门电路构成一个 12 进制计数器。要求初态为 3。

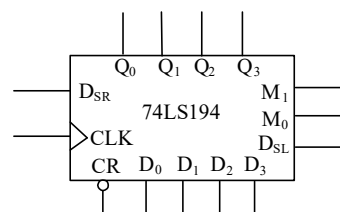
要求：(1) 写出反馈状态代码及反馈置数函数；(2) 画出电路图。

输				入					输 出			
\overline{CR}	\overline{LD}	CT_P	CT_T	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0
0	×	×	×	×	×	×	×	×	0	0	0	0
1	0	×	×	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0
1	1	1	1	↑	×	×	×	×	计数	$CO = Q_3Q_0$		
1	1	0	×	×	×	×	×	×		保	持	
1	1	×	0	×	×	×	×	×		保	持	



十一、(6 分) 74LS194 的功能表和逻辑符号如图所示，试用 74LS194 和必要的门电路设计一个左移模 6 的扭环型计数器，要求写出反馈函数，画出电路图和有效状态转移图。

输 入										输 出				说 明
\overline{CR}	M_1	M_0	CP	D_{SL}	D_{SR}	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3	
0	×	×	×	×	×	×	×	×	×	0	0	0	0	清 零
1	×	×	0	×	×	×	×	×	×	保 持				
1	1	1	↑	×	×	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3	并行置数
1	0	1	↑	×	1	×	×	×	×	1	Q_0	Q_1	Q_2	右移输入1
1	0	1	↑	×	0	×	×	×	×	0	Q_0	Q_1	Q_2	右移输入0
1	1	0	↑	1	×	×	×	×	×	Q_1	Q_2	Q_3	1	左移输入1
1	1	0	↑	0	×	×	×	×	×	Q_1	Q_2	Q_3	0	左移输入0
1	0	0	×	×	×	×	×	×	×	保 持				



答案及评分标准

一、 选择题 (共 20 分，每题 2 分)

1、D 2、B 3、C 4、C 5、D 6、A 7、A 8、D 9、C 10、C

二、 填空 (共 10 分、每小题 2 分)

1、101110.1

2、1100 1010.1011

3、(1, 3, 4, 5, 6)

4、 $Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$

5、buffer

三、 用公式法化简下列逻辑函数为最简与-或式（6分）。

评分标准：化简过程4分，最后结果2分。

$$\begin{aligned} F(A,B,C,D,E) &= AC + \overline{B}C + B\overline{D} + C\overline{D} + A(B + \overline{C}) + \overline{A}BC\overline{D} + \overline{A}BDE \\ &= AC + \overline{B}C + B\overline{D} + C\overline{D} + \overline{A}B\overline{C} + \overline{A}BC\overline{D} + \overline{A}BDE \\ &= A + \overline{B}C + B\overline{D} + C\overline{D} \\ &= A + \overline{B}C + B\overline{D} \end{aligned}$$

四、 用卡诺图化简法将下面的逻辑函数化简为最简与-或表达式（6分）。

评分标准：卡诺图表示正确2分、画圈正确2分，最后的化简结果正确2分。

		CD			
AB		00	01	11	10
	00		×	1	1
	01		1	1	1
	11	1	1	×	×
	10	1	1	×	

F

$$F = D + \overline{A}\overline{C} + \overline{A}C$$

五、 试用3线-8线译码器74LS138和适当的门电路设计下面的多输出组合逻辑电路，写出 F_1 、 F_2 的最小项表达式，并画出完整的逻辑电路图。（10分）

$$\begin{cases} F_1(A,B,C) = \overline{A}BC + B\overline{C} + \overline{A}B\overline{C} \\ F_2(A,B,C) = \overline{A}BC + AB\overline{C} + \overline{A}C \end{cases}$$

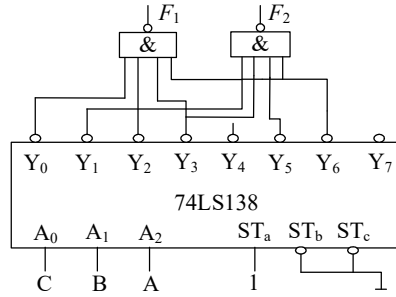
解：评分标准：最小项表达式4分，设计过程2分，电路图4分

$$(1) \begin{cases} F_1(A,B,C) = \overline{A}BC + B\overline{C} + \overline{A}B\overline{C} = m_0 + m_2 + m_3 + m_6 = \overline{m_0} \cdot \overline{m_2} \cdot \overline{m_3} \cdot \overline{m_6} \\ F_2(A,B,C) = \overline{A}BC + AB\overline{C} + \overline{A}C = m_1 + m_3 + m_5 + m_6 = \overline{m_1} \cdot \overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \end{cases}$$

(2) 将函数和74LS138的输出表达式($\overline{Y_i} = \overline{m_i}$)比较，并设A=A2, B=A1, C=A0, 则

$$\begin{cases} F_1 = \overline{Y_0} \cdot \overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_6} \\ F_2 = \overline{Y_1} \cdot \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_6} \end{cases}$$

(3) 画出逻辑图。



六、 分析下图所示的组合逻辑电路，请（1）写出逻辑表达式（2）列出真值表；（3）说明电路逻辑功能。（10分）

评分标准：正确写出逻辑表达式 4 分，正确列出真值表 4 分，正确说明逻辑功能 2 分。

（1）逻辑表达式：

$$\begin{aligned}
 F(A, B, C) &= \overline{A} \overline{A} B C + \overline{B} \overline{A} B C + \overline{C} \overline{A} B C \\
 &= \overline{A} B C (A + B + C) \\
 &= A B C + \overline{A} + \overline{B} + \overline{C} \\
 &= A B C + \overline{A} \overline{B} \overline{C}
 \end{aligned}$$

(2)真值表：

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

(3)逻辑功能:该电路为“一致性”电路。当三输入变量 A 、 B 、 C 的值相同时，输出 1，否则为 0。

七、 触发器波形题（6分）

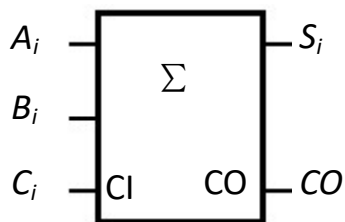
评分标准：一个空 1 分。

0 1 1 1 0 0

八、 阅读下面的 VHDL 程序，并根据程序回答问题：（6分）

评分标准：画出逻辑符号 3 分，说明逻辑功能 3 分。

（1）



(2) 该程序描述的是一位全加器。

九、 (10分)

答案及评分标准:

解: (1) 状态转换真值表 (2分)

CP脉冲 顺序	现 态			次 态			输 出
	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
2	0	1	0	0	1	1	0
3	0	1	1	1	0	0	0
4	1	0	0	0	0	0	1

(2) 列出卡诺图并画圈 (4分)

Q_2^{n+1}

	$Q_1^n Q_0^n$			
Q_2^n	00	01	11	10
0	0	0	1	0
1	0	×	×	×

(a)

Q_1^{n+1}

	$Q_1^n Q_0^n$			
Q_2^n	00	01	11	10
0	0	1	0	1
1	0	×	×	×

(b)

Q_0^{n+1}

	$Q_1^n Q_0^n$			
Q_2^n	00	01	11	10
0	1	0	0	1
1	0	×	×	×

(c)

Y

	$Q_1^n Q_0^n$			
Q_2^n	00	01	11	10
0	0	0	0	0
1	1	×	×	×

(3) 检查自启动 (1分)

101→010, 110→010, 111→000

结论: 电路能自启动

(4) 写出状态方程、输出方程和驱动方程 (3分)

状态方程和输出方程:

$$\begin{cases} Q_2^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n \\ Q_1^{n+1} = Q_0^n \overline{Q_1^n} + Q_1^n \overline{Q_0^n} \\ Q_0^{n+1} = \overline{Q_2^n} \cdot \overline{Q_0^n} \\ Y = Q_2^n \end{cases}$$

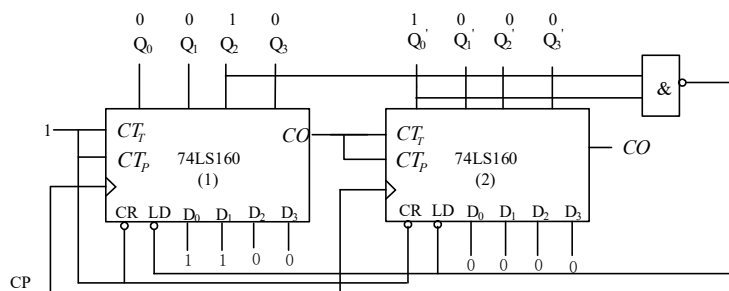
$$\text{驱动方程: } \begin{cases} J_2 = Q_1^n Q_0^n, K_2 = 1 \\ J_1 = Q_0^n, K_1 = Q_0^n \\ J_0 = \overline{Q_2^n}, K_0 = 1 \end{cases}$$

十、 答案及评分标准:

(1) 计数器反馈状态代码 $S_{14}=00010100$ (3 分)

(2) 反馈函数 $\overline{LD} = \overline{Q_0' Q_2}$ (3 分)

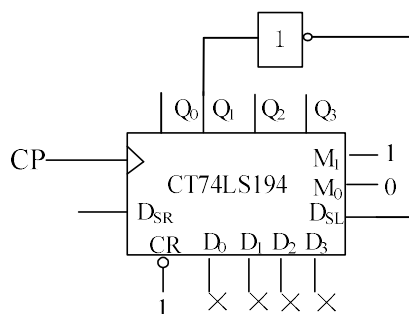
(3) 电路图 (4 分)



十一、 答案及评分标准:

解: (1) 反馈函数: $D_{SL} = \overline{Q_1}$ (2 分)

(2) 逻辑电路图 (2 分)



(1) 有效状态转移图: (2 分)

