

UFRGS - UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
DELAE - DEPARTAMENTO DE SISTEMAS ELÉTRICOS DE AUTOMAÇÃO E ENERGIA
ENG-10043 – LABORATÓRIO DE SISTEMAS DIGITAIS

Nome: _____

Cartão: _____

Nome: _____

Cartão: _____

Circuito Digital Sequencial

Objetivos:

Desenvolvimento de circuito digital sequencial para conversão de valor binário para BCD.

Atividade:

Projeto e verificação no simulador:

Realizar um circuito digital sequencial que decodifique uma entrada em binário (com ou sem sinal) para BCD, mostrando o resultado em displays de sete segmentos, obedecendo alguns sinais de controle.

Requisitos:

- Entrada **A** de oito bits (tipo barramento) permite a entrada do valor, entre 0x00 a 0xFF;
- Entrada **SIG**, um bit, controla a representação do código de entrada. Se **SIG** estiver em nível lógico um, o valor de entrada pode ser negativo (*signed*). A técnica para representar números negativos é complemento de dois. Do contrário (**SIG** em nível lógico zero), o valor da entrada não contém informação de sinal (*unsigned*). A entrada SIG não contém a informação do sinal, apenas indica se a entrada é *signed* ou *unsigned*;
- Quatro displays de 7 segmentos de saídas, D3 a D0, sendo D0 o display menos significativo. O display D3 deve ser utilizado para mostrar o sinal “-”, quando for o caso. Deve ser utilizado o display “**One Hex Digit, bus**”, exceto para D3 (para permitir acesso ao segmento g);
- Uma saída **S**, de oito bits (tipo barramento), que reproduz o valor da entrada **A**;
- Uma entrada **STR** (Start), um bit, que quando da troca de nível lógico zero para nível lógico um inicia o processo de conversão. Um novo cálculo é realizado somente quando **STR** voltar ao nível lógico zero e então para nível lógico um;
- Uma saída **DONE**, um bit, que quando em nível lógico um indica que o processo de conversão foi finalizado. A saída **DONE** irá a nível lógico zero somente quando a entrada **STR** voltar ao nível lógico zero;
- Uma entrada **RST** (*reset*), ativa em nível lógico zero, para permitir acionar o *clear* de todos os elementos síncronos;
- O desenvolvimento deve ser realizado utilizando a metodologia de Parte Operativa e Parte de Controle;

Verificação na placa DE2:

- Para a entrada do valor **A** devem ser utilizadas as chaves SW07 a SW00, esta última para o bit menos significativo. Os LEDs LEDR07 a LEDR00 devem ser utilizados para visualizar a saída **S**, sendo LEDR00 para o bit menos significativo;
- A chave SW17 deve ser utilizada para a entrada **SIG**, e seu valor deve ser reproduzido em LEDR17;
- Os displays HEX3 a HEX0 devem ser utilizados para **D3** a **D0**, respectivamente;
- A chave SW10 deve ser utilizada para a entrada **STR** e seu valor deve ser reproduzido em LEDR10;
- A saída **DONE** deve ser dada pelo LEDG8;
- O *clock* deve ser de 1 MHz. Porém, a chave SW16 deve permitir que o *clock* seja gerado de maneira manual pela chave KEY3 e visualizado em LEDG7. Durante o processamento com *clock* manual os valores intermediários devem ser visualizados nas saídas;
- O sinal de **RST** deve ser colocado na chave KEY0;

Entregáveis:

O projeto final deve ser submetido pelo Moodle (arquivo .PBS e arquivo .CBE, quando for o caso), contendo algumas sequências de testes (diagramas temporais) e o mapeamento para as entradas e saídas da placa DE2. Além disto, o sistema em funcionamento na placa DE2 deve ser apresentado.