Projektowanie Systemów Cyfrowych  
24.01.2020r.

**Zamek szyfrowy**

Krzysztof Pokora

Elektronika 3 rok

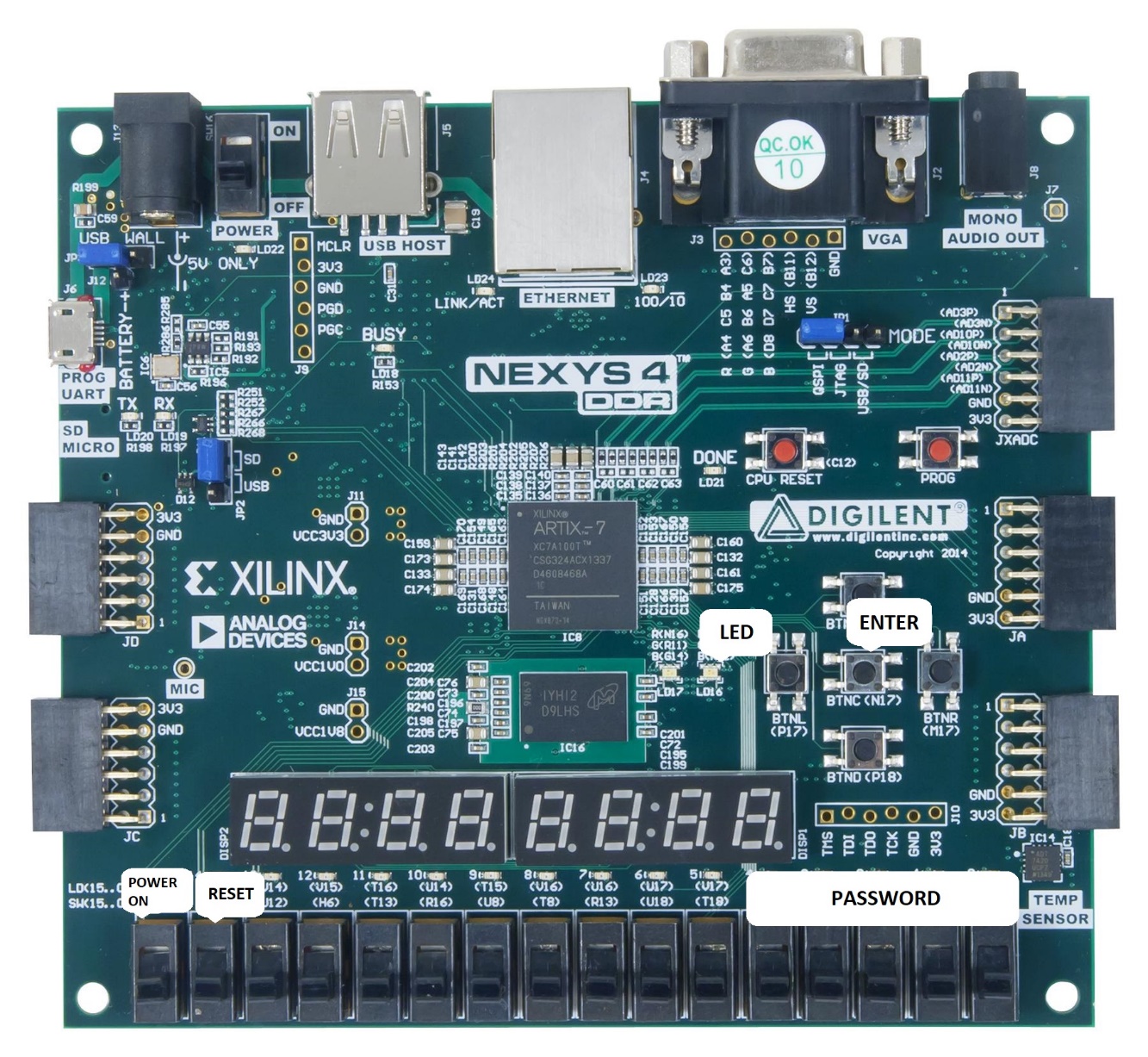
WIET AGH

Opiekun: Dr inż. Paweł Rajda

## Założenia projektowe

Celem tego projektu jest stworzenie zamka szyfrowego w programie Aldec Active-HDL oraz zaimplementowanie go na płytkę Nexys 4. Projekt ten polega na wpisaniu kombinacji 4 cyfr 4bitowych a następnie sprawdzenie czy dana kombinacja cyfr jest prawidłowa.

## Zdjęcie poglądowe



## Funkcjonalność

Do obsługi zamka wykorzystuje się następujące elementy:

* 4 przełączniki służące do wpisywania hasła
* 1 przełącznik do włączenia zamka
* 1 przełącznik do resetowania zamka
* 1 przycisk służący do zatwierdzania wpisanego hasła
* Dioda RGB informująca nas o tym czy hasło zostało poprawnie wpisane

## Instrukcja obsługi zamka

Na samym początku należy uruchomić zamek ustawiając przełącznik (SW15) w pozycje 1. Następnie należy wpisać 1 liczbę w postaci binarnej na 4 przełącznikach(SW3 – SW0). Najstarszy bit znajduje się po prawej stronie (SW0). Po wpisaniu liczby należy zatwierdzić ją naciskając przycisk ENTER(przycisk BTNC).Operację tą należy powtórzyć 4 razy. Po wpisaniu ostatniej liczby oraz jej zatwierdzeniu natychmiast otrzymujemy informacje na diodzie RGB czy poprawnie wpisaliśmy kombinacje liczb. Kolor zielony oznacza poprawną kombinację zaś czerwony błędną . Aby powtórnie wpisać liczby należy zresetować zamek za pomocą przełącznika( SW 14).

## Realizacja na płytce Nexys

|  |  |
| --- | --- |
| Element | Port |
| Przycisk ENTER | Przycisk BTNC |
| PASSWORD | Przełączniki SW3- SW0 |
| RESET | Przełącznik SW14 |
| POWER ON | Przełącznik SW15 |
| Sygnalizacja LED | Dioda RGB LD16 |

## Opis modułów

* Prescaler

W tym projekcie został wykorzystany zostany zewnętrzny oscylator o częstotliwości 100 MHz. Z tego powodu został dodany element o nazwie Prescaler. Moduł ten służy do tego aby dla wszelkich synchronicznych zjawisk w zbudowanym układzie wyznaczć interwały 1-sekundowe — będą one na tyle długie, aby możliwe było zaobserwowanie zmian w działającym układzie. Prescaler zlicza 100 mln okresów sygnału zegarowego, przy ostatnim zliczeniu generuje sygnał CEO (Clock Enable Output), trwający jeden okres sygnału zegarowego. Sygnał ten, podłączony do wejścia CEI (Clock Enable Input) układu podrzędnego spowoduje w nim jednorazowe zakwalifikowanie aktywnego zbocza zegarowego.

|  |  |  |  |
| --- | --- | --- | --- |
| Port | Kierunek | Szerokość | Funkcja |
| CLK | Wejście | STD\_LOGIC | Sygnał zegara |
| CE | Wejście | STD\_LOGIC | Włączenie modułu – przełącznik POWER ON |
| CLR | Wejście | STD\_LOGIC | Zerowanie modułu – przełącznik RESET |
| CEO | Wyjście | STD\_LOGIC | Przerwanie co 1s |

* Debouncer

Działanie tego układu opera się na fakcie, że czas drgania styków przycisku w praktyce nie przekracza 10 msek. Układ *debouncera* próbkuje więc sygnał z przycisku i analizuje zmiany jego wartości. Próbkowanie takie powinno się odbywać odpowiednio rzadko, nie częściej niż co 10 msek., ale na tyle często, żeby nie powodowało to nadmiernego opóźnienia w reakcji całego układu. Na podstawie każdych trzech kolejnych próbek generowany jest sygnał **PE (Push Enable)**, odblokowujący podrzędne układy (na jeden okres szybkiego zegara systemowego) jedynie w momentach wykrycia odpowiednich, długoterminowych zmian stanu zakłóconego sygnału. Wszystkie krótkoterminowe zmiany stanu są dyskryminowane i nie powodują uaktywnienia układów podrzędnych. Odpowiednie interwały czasowe wyznaczane są przez zmodyfikowany *preskaler*. Wszystkie moduły zostaną sprzężone w taki sposób, aby cały system pracował synchronicznie (ten sam sygnał zegarowy dla wszystkich modułów, uzależnienia wyłącznie sygnałami  informacyjnymi).

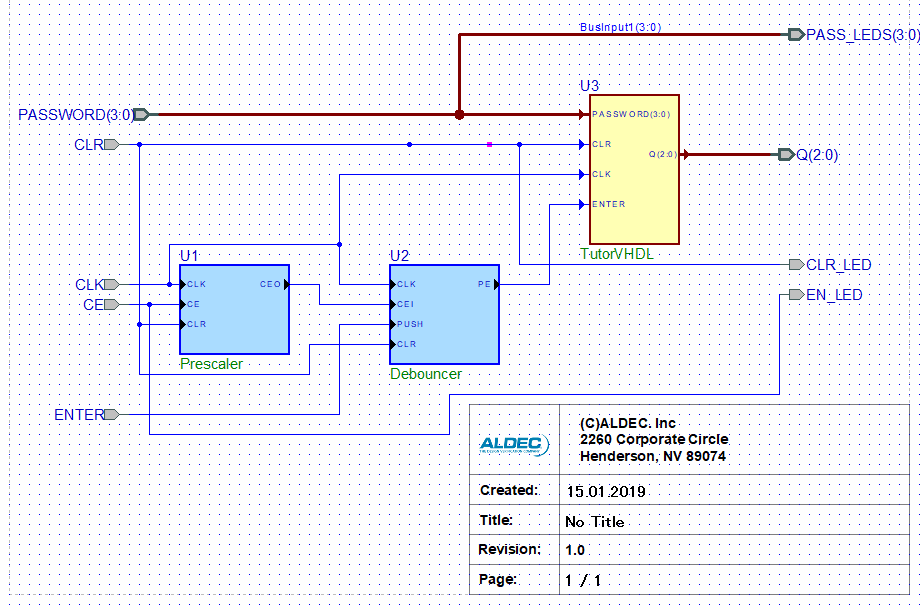
|  |  |  |  |
| --- | --- | --- | --- |
| Port | Kierunek | Szerokość | Funkcja |
| CLK | Wejście | STD\_LOGIC | Sygnał zegara |
| CEI | Wejście | STD\_LOGIC | Przerwanie z prescalera co 1s |
| PUSH | Wejście | STD\_LOGIC | Przycisk ENTER |
| CLR | Wejście | STD\_LOGIC | Zerowanie modułu – przełącznik RESET |
| PE | Wyjście | STD\_LOGIC | Sygnał pobudzający moduł zamek szyfrowy |

* Zamek szyfrowy

Moduł ten sprawdza poprawność wpisanego hasła oraz sygnalizuje go na diodzie RGB. Za każdym razem gdy wpiszemy hasło musimy go zatwierdzić przyciskiem. Tą czynność powtarzamy 4 razy. Jest to główny moduł tego projektu, w którym następuje główny proces działania układu. Pozostałe służą jako pomoc w obsłudze głównego modułu w celu poprawnego działania na płytce Nexys.

|  |  |  |  |
| --- | --- | --- | --- |
| Port | Kierunek | Szerokość | Funkcja |
| CLK | Wejście | STD\_LOGIC | Sygnał zegara |
| CLR | Wejście | STD\_LOGIC | Zerowanie modułu – przełącznik RESET |
| ENTER | Wejście | STD\_LOGIC | Sygnał pobudzający moduł zamek szyfrowy |
| PASSWORD | Wejście | STD\_LOGIC\_VECTOR  (3 downto 0) | Liczba 4 bitowa – pojedyncze hasło |
| Q | Wyjście | STD\_LOGIC\_VECTOR  (2 downto 0) | Wynik poprawności wpisanego hasła |

## Schemat



## Graf stanów

