

# Trabalho de Verilog 4

## Instruções

- Os exercícios devem ser implementados usando a linguagem Verilog. Todos os códigos devem ser simulados no ModelSim.
- A solução deverá ser salva em um arquivo no formato V. Cada equipe vai enviar dois arquivos Equipe-X e Equipe-TB-X onde X é o número da equipe (ex: Equipe-1.v, Equipe-TB-1.v, etc). **Arquivos com nomes em formatos diferentes destes serão ignorados.**
- Entrega: **até às 23:55h do dia 22/06/2020** (não serão aceitas listas entregues após este horário).
- Os arquivos devem ser entregues pelo classroom.
- Cada equipe deve resolver a sua lista de **forma individual**.
- **CUIDADO COM CÓPIAS!** **Cópias não serão toleradas!** Será usada uma ferramenta para detecção de cópias. Será feita a comparação com soluções disponíveis na internet e com os exercícios entregues pelas demais equipes. Caso seja detectada alguma fraude as questões serão anuladas.
- Este trabalho, em conjunto com o trabalho 3, valem 10 pontos e tem peso 15% na nota da terceira unidade.

1. Projete o módulo em Verilog que implementa a função do PC (program counter). Considere a arquitetura do MIPS monociclo. Este módulo deverá ter os seguintes sinais:

Nome	Descrição	Tamanho (bits)
LoadPC (entrada)	Habilita a escrita no PC	1 bits
Input (entrada)	Valor a ser escrito no PC	32 bits
Address (saída)	Valor armazenado no PC (usado para endereçar a memória).	32 bits
LoadEnable (entrada)	Habilita a escrita no PC. Escritas no PC só ocorrerá se este sinal tiver valor 1.	1 bit

2. Implemente um test bench para testar todos os modos de funcionamento do program counter.