

Trabalho de Verilog 3

Instruções

- Os exercícios devem ser implementados usando a linguagem Verilog. Todos os códigos devem ser simulados no ModelSim.
- A solução deverá ser salva em um arquivo no formato V. Cada equipe vai enviar dois arquivos Equipe-X e Equipe-TB-X onde X é o número da equipe (ex: Equipe-1.v, Equipe-TB-1.v, etc). **Arquivos com nomes em formatos diferentes destes serão ignorados.**
- Entrega: **até às 23:55h do dia 22/06/2020** (não serão aceitas listas entregues após este horário).
- Os arquivos devem ser entregues pelo classroom.
- Cada equipe deve resolver a sua lista de **forma individual**.
- **CUIDADO COM CÓPIAS!** **Cópias não serão toleradas!** Será usada uma ferramenta para detecção de cópias. Será feita a comparação com soluções disponíveis na internet e com os exercícios entregues pelas demais equipes. Caso seja detectada alguma fraude as questões serão anuladas.
- Este trabalho, em conjunto com o trabalho 4, valem 10 pontos e tem peso 15% na nota da terceira unidade.

1. Projete o bloco decodificador de instruções do MIPS. Considere a arquitetura do MIPS monociclo. Nesta arquitetura o bloco de decodificação deve ter os seguintes sinais:

Nome	Descrição	Tamanho (bits)
Instruction (entrada)	Contém a instrução lida da memória de instruções.	32 bits
OpCode (saída)	Os bits correspondentes a parte da instrução em que está localizado o opcode.	6 bits
Rs (saída)	Bits correspondentes ao campo que contém o endereço do registrador Rs na instrução	5 bits
Rt (saída)	Bits correspondentes ao campo que contém o endereço do	5 bits

	registrador Rt na instrução	
Rd (saída)	Bits correspondentes ao campo que contém o endereço do registrador Rd na instrução	5 bits
shamt	Bits correspondentes ao campo shamt da instrução	5 bits
funct	Bits correspondentes ao campo funct da instrução	6 bits
immediate	Bits correspondentes ao campo immediate da instrução	16 bits
Target	Bits correspondentes ao campo target address da instrução	26 bits

2. Implemente um test bench para testar todos os modos de funcionamento do decodificador de instrução.