

Trabalho de Verilog 2

Instruções

- Os exercícios devem ser implementados usando a linguagem Verilog. Todos os códigos devem ser simulados no ModelSim.
- A solução deverá ser salva em um arquivo no formato V. Cada equipe vai enviar dois arquivos Equipe-X e Equipe-TB-X onde X é o número da equipe (ex: Equipe-1.v, Equipe-TB-1.v, etc). **Arquivos com nomes em formatos diferentes destes serão ignorados.**
- Entrega: **até às 23:55h do dia 17/06/2020** (não serão aceitas listas entregues após este horário).
- Os arquivos devem ser entregues pelo classroom.
- Cada equipe deve resolver a sua lista de **forma individual**.
- **CUIDADO COM CÓPIAS!** **Cópias não serão toleradas!** Será usada uma ferramenta para detecção de cópias. Será feita a comparação com soluções disponíveis na internet e com os exercícios entregues pelas demais equipes. Caso seja detectada alguma fraude as questões serão anuladas.
- A lista vale 10 pontos e tem peso 15% na nota da terceira unidade.

1. Projete um banco de registradores semelhante ao que existe no processador MIPS. O banco deve ser composto de 32 registradores de 32 bits cada. Observe que, de acordo com a arquitetura do MIPS, o registrador de endereço zero é apenas uma constante de valor igual a 0. Qualquer tentativa de escrita neste endereço deve ser ignorada. Este banco de registradores deve ter os seguintes sinais de entrada/saída:

Sinal	Descrição	Número de bits
ReadAddr1 (entrada)	Endereço de leitura 1. O conteúdo do registrador endereçado por este sinal deverá ser disponibilizado na saída ReadData1.	5 bits
ReadAddr2 (entrada)	Endereço de leitura 2. O conteúdo do registrador endereçado por este sinal deverá ser disponibilizado na saída ReadData2.	5 bits
WriteAddr (entrada)	Endereço do registrador a ser escrito. O	5 bits

	valor presente em WriteData deverá ser escrito no registrador endereçado por este sinal. Esta escrita só deverá ocorrer se RegWrite for igual a 1.	
WriteData (entrada)	Valor a ser escrito no registrador endereçado por WriteAddr. A escrita só deverá ocorrer se RegWrite for igual a 1.	32 bits
ReadData1 (saída)	Conteúdo do registrador endereçado por ReadAddr1.	32 bits
ReadData2 (saída)	Conteúdo do registrador endereçado por ReadAddr1.	32 bits
RegWrite	Este sinal habilita as escritas no registrador endereçado por WriteAddr. A escrita deve ocorrer apenas se este sinal for igual a 1. Se o sinal for igual a 0, nada deve ocorrer.	1 bit
Reset	Este sinal faz com que o conteúdo de todos os registradores seja zerado. O sinal deve ser ativo em 0, ou seja os registradores devem ser zerados se o valor deste sinal for 0. Durante o funcionamento normal do banco de registradores este sinal deve permanecer em 1.	1 bit

2. Implemente um test bench para testar as escritas/leituras em todos os registradores deste banco. O testbench deve testar também situações incomuns como por exemplo tentativas de escrever no registrador 0.