Apple 1 Replica

Revision 1
Last updated on June 15th 2017

Ruud van Falier

U7 ARDUINO NANO

Pin	Signal	Signal	Pin	Pin label
30	VIN	V1N		VCC
29	GND	GND		GND
28	RESET	RESET		RESET
27	+5V	+5V		
26	A7	A7		
25	A6	A6		
24	A5	A5		PB3
23	A4	A4		PB4
22	A3	A3		PB5
21	A2	A2		PB6
20	A1	A1		RDA
19	A0	A0		DA
18	AREF	AREF		
17	3V3	3V3		
16	D13	D13		

Pin	Signal	label
1	D1/TX	
2	D0/RX	
3	RESET	
4	GND	
5	D2	PB0
6	D3	PB1
7	D4	PB2
8	D5	PA0
9	D6	PA1
10	D7	PA2
11	D8	PA3
12	D9	PA4
13	D10	PA5
14	D11	PA6
15	D12	STROBE

U4 6821 PIA

Pin	Signal	Net
40	CA1	STROBE
39	CA2	
38	*IRQA	
37	*IRQB	
36	RS0	A0
35	RS1	A1
34	*RESET	RESET
33	D0	D0
32	D1	D1
31	D2	D2
30	D3	D3
29	D4	D4
28	D5	D5
27	D6	D6
26	D7	D7
25	CLOCK	CLOCK_PH2
24	CS1	VCC
23	*CS2	$D000
22	CS0	A4
21	R/*W	RW

Pin	Signal	Net
1	VSS	VSS
2	PA0	PA0
3	PA1	PA1
4	PA2	PA2
5	PA3	PA3
6	PA4	PA4
7	PA5	PA5
8	PA6	PA6
9	PA7	VCC
10	PB0	PB0
11	PB1	PB1
12	PB2	PB2
13	PB3	PB3
14	PB4	PB4
15	PB5	PB5
16	PB6	PB6
17	PB7	DA
18	CB1	RDA
19	CB2	VCC
20	VCC	

C1 100nF

U8a 74LS04
VCC 14, GND 7

Select ROM for $E000 and $F000

U5c SN74LS00 Y 8 (9 A, 10 B) → 28C64-CE-OE
U5d SN74LS00 Y 11 (12 A, 13 B)

U3 62256 RAM

Pin	Signal	Net
28	VCC	VCC
27	*WE	62256_WE
26	A13	A13
25	A8	A8
24	A9	A9
23	A11	A11
22	*OE	A10
21	A10	A10
20	*CS	A15
19	I/O8	D7
18	I/O7	D6
17	I/O6	D5
16	I/O5	D4
15	I/O4	D3

Pin	Signal	Net
1	A14	A14
2	A12	A12
3	A7	A7
4	A6	A6
5	A5	A5
6	A4	A4
7	A3	A3
8	A2	A2
9	A1	A1
10	A0	A0
11	I/O1	D0
12	I/O2	D1
13	I/O3	D2
14	VSS	VSS

U2 28C64BP ROM

Pin	Signal	Net
28	VCC	VCC
27	*WE	VCC
26	NC	
25	A8	A8
24	A9	A9
23	A11	A11
22	*OE	A10
21	A10	A10
20	*CE	28C64-CE-OE
19	I/O7	D7
18	I/O6	D6
17	I/O5	D5
16	I/O4	D4
15	I/O3	D3

Pin	Signal	Net
1	NC	
2	A12	A12
3	A7	A7
4	A6	A6
5	A5	A5
6	A4	A4
7	A3	A3
8	A2	A2
9	A1	A1
10	A0	A0
11	I/O0	D0
12	I/O1	D1
13	I/O2	D2
14	VSS	VSS

U6 74LS138

VCC 16, VSS GND 8

Pin	Signal	Net
15	Y0	
14	Y1	
13	Y2	
12	Y3	
11	Y4	
10	Y5	$D000
9	Y6	
7	Y7	
6	G1	VCC
4	G2A	
5	G2B	VSS
1	A	A12
2	B	A13
3	C	A14

A15 →

Write RAM on PH2 clock

U5a SN74LS00 Y 3 (1 A, 2 B) ← RW
U5b SN74LS00 Y 6 (4 A, 5 B) ← CLOCK_PH2 → 62256_WE

U5e SN74LS00
VCC 14 VCC GND
VSS 7 GND

U1 6502 CPU

Pin	Signal	Net
40	*RES	RESET
39	CLOCK_PH2	CLOCK_PH2
38	SO	
37	CLOCK_1N	CLOCK
36	NC	
35	NC	
34	R/*W	RW
33	DB0	D0
32	DB1	D1
31	DB2	D2
30	DB3	D3
29	DB4	D4
28	DB5	D5
27	DB6	D6
26	DB7	D7
25	AB15	A15
24	AB14	A14
23	AB13	A13
22	AB12	A12
21	VSS	VSS

Pin	Signal	Net
1	VSS	VSS
2	RDY	
3	CLOCK_PH1	
4	*IRQ	
5	NC	
6	*NMI	
7	SYNC	
8	VCC	VCC
9	AB0	A0
10	AB1	A1
11	AB2	A2
12	AB3	A3
13	AB4	A4
14	AB5	A5
15	AB6	A6
16	AB7	A7
17	AB8	A8
18	AB9	A9
19	AB10	A10
20	AB11	A11

SW1
R4 1K → VCC
R1 1K, R2 1K, R3 1K

XTAL1 XTAL-OSCILATOR

Pin	Signal	Net
3	CLOCK	CLOCK
4	VCC	VCC
1	NC	
2	VSS	VSS

R5 1K
VSS