

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»

Інститут комп'ютерних технологій, автоматики та метрології
кафедра “Електронних обчислювальних машин”



Звіт
з лабораторної роботи №1
дисципліни «Моделювання комп'ютерних систем»
на тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»
Варіант 9

Виконав:
студент групи КІ-202
Іванюк Д. В.
Прийняв:
Козак Н. Б.

ЛАБОРАТОРНА РОБОТА №1

Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.

Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA

Мета роботи: Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA.

Завдання:

1. Інсталяція Xilinx ISE та додавання ліцензії.
2. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACK™ Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Вхідні дані (варіант 9):

in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5	out_6
0	0	0	0	0	0	1	1	0
0	1	1	0	1	1	1	1	0
1	0	1	1	0	0	1	0	0
1	1	1	0	1	0	1	1	1

Виконання завдання:

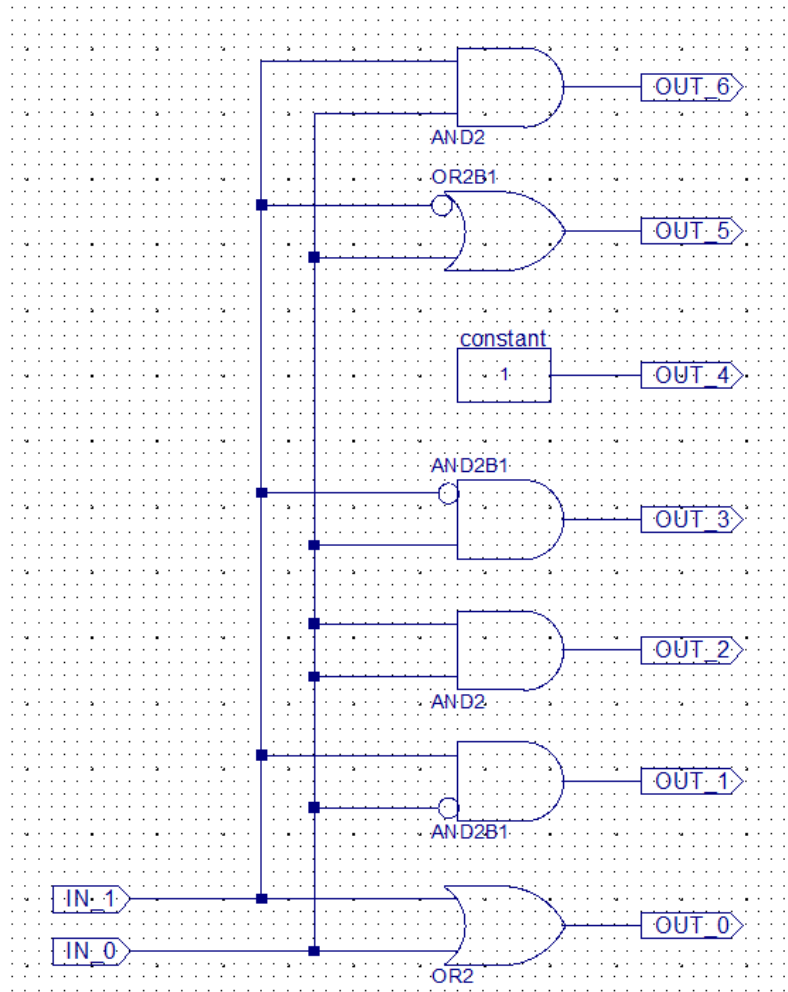


Рис.1.1 Схема дешифратора

```

1  #+++++
2  # This file is a .ucf for ElbertV2 Development Board
3  # To use it in your project :
4  # * Remove or comment the lines corresponding to unused pins in the project
5  # * Rename the used signals according to the your project
6  #+++++
7
8  #-----
9  #                               UCF for ElbertV2 Development Board
10 #-----
11 CONFIG VCCAUX = "3.3" ;
12
13 # Clock 12 MHz
14 #NET "clk"          LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
15
16 #-----
17 #                               LED
18 #-----
19
20 NET "OUT_0"          LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
21 NET "OUT_1"          LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
22 NET "IN_0"           LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
23 NET "OUT_3"          LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
24 NET "OUT_4"          LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
25 NET "OUT_5"          LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
26 NET "OUT_6"          LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
27 #NET "LED[7]"        LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
28
29 #-----
30 #                               DP Switches
31 #-----
32
33 NET "IN_0"           LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
34 NET "IN_1"           LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
35 #NET "DPSwitch[2]"   LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
36 #NET "DPSwitch[3]"   LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
37 #NET "DPSwitch[4]"   LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
38 #NET "DPSwitch[5]"   LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
39 #NET "DPSwitch[6]"   LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
40 #NET "DPSwitch[7]"   LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

```

Рис.1.1 Файл“11.ucf”:

Вміст файлу "l1.ucf":

```
#+++++
+++++
# This file is l1.ucf for ElbertV2 Development Board #
# To use it in your project : #
# * Remove or comment the lines corresponding to unused pins in the project
#
# * Rename the used signals according to the your project #
#+++++
+++++

#####
#####

#                               UCF for ElbertV2 Development Board
#

#####
#####

CONFIG VCCAUX = "3.3" ;

# Clock 12 MHz

#NET "Clk"          LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD =
12MHz;

#####
#####

#                               LED

#####
#####

NET "OUT_0"          LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
```

```
NET "OUT_1"      LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |  
DRIVE = 12;  
  
NET "IN_0"       LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW =  
SLOW | DRIVE = 12;  
  
NET "OUT_3"      LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |  
DRIVE = 12;  
  
NET "OUT_4"      LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |  
DRIVE = 12;  
  
NET "OUT_5"      LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |  
DRIVE = 12;  
  
NET "OUT_6"      LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |  
DRIVE = 12;  
  
#NET "LED[7]"    LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW  
| DRIVE = 12;
```

```
#####  
#####
```

```
#                DP Switches
```

```
#####  
#####
```

```
NET "IN_0"       LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 |  
SLEW = SLOW | DRIVE = 12;  
  
NET "IN_1"       LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 |  
SLEW = SLOW | DRIVE = 12;  
  
#NET "DPSwitch[2]" LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 |  
SLEW = SLOW | DRIVE = 12;  
  
#NET "DPSwitch[3]" LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 |  
SLEW = SLOW | DRIVE = 12;  
  
#NET "DPSwitch[4]" LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 |  
SLEW = SLOW | DRIVE = 12;  
  
#NET "DPSwitch[5]" LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 |  
SLEW = SLOW | DRIVE = 12;
```

```
#NET "DPSwitch[6]"      LOC = P59  | PULLUP | IOSTANDARD = LVCMOS33 |
SLEW = SLOW | DRIVE = 12;

#NET "DPSwitch[7]"      LOC = P58  | PULLUP | IOSTANDARD = LVCMOS33 |
SLEW = SLOW | DRIVE = 12;
```

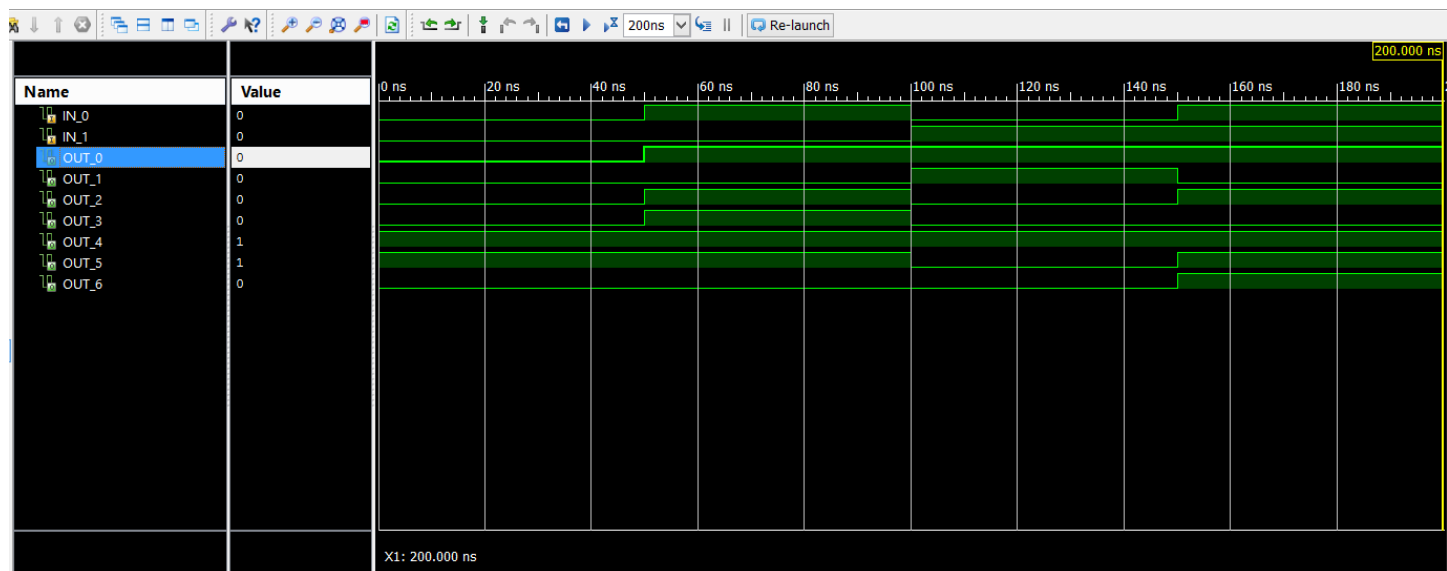


Рис.1.2 Часова Діаграма

Висновок:

Під час виконання лабораторної роботи навчився інстальюувати середовище розробки Xilinx ISE та ознайомився зі стендом Elbert V2 – Spartan 3A FPGA.