



Vysoké učení technické v Brně

INC

Návrh číslicových systémů

Projekt: UART

Autor:

Dmytro Trifonov

Login:

xtrifo00

17. dubna 2023

Obsah

Návrh.....	3
Návrh FSM.....	3
Schéma automatu	3
Popis funkce:.....	4
Architektura navrženého obvodu (na úrovni RTL).....	4
Popis funkce:	4
Schéma obvodu.....	5
Snímek obrazovky ze simulací	5

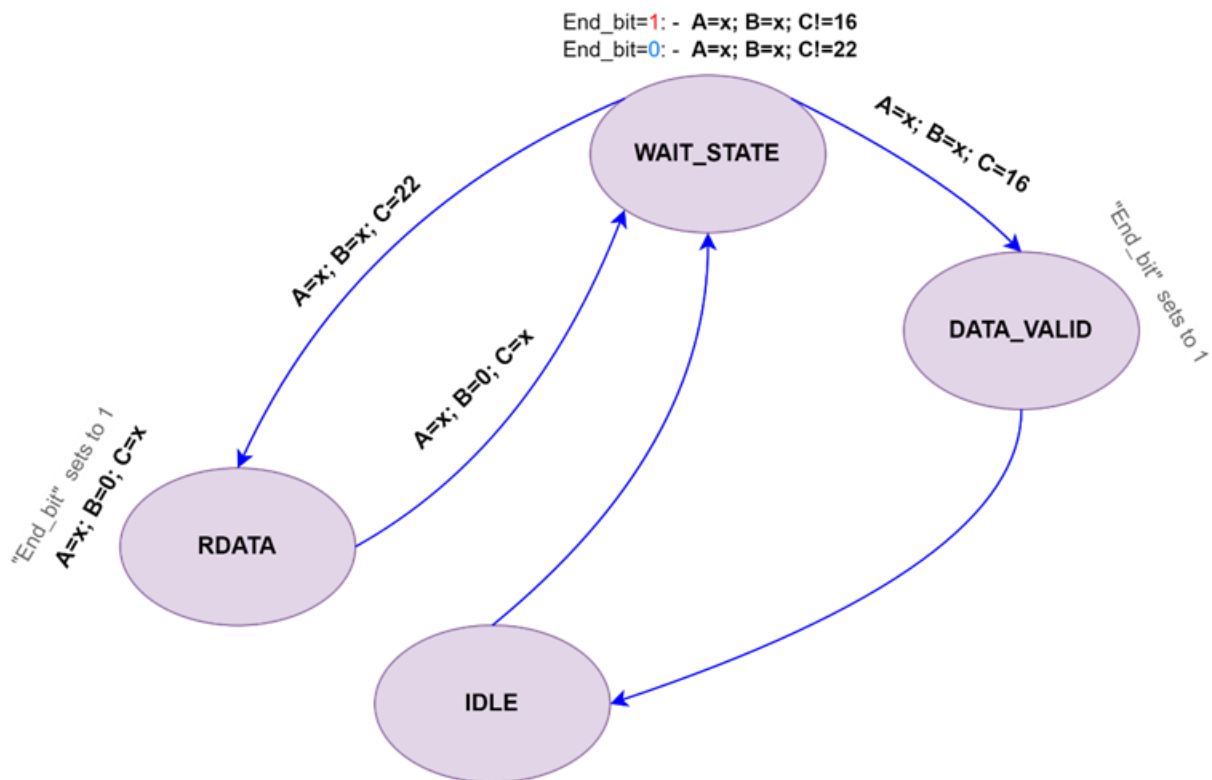
Návrh

Návrh FSM

Scháema automatu

Legenda:

- Typ: Mealy state machine
- Stavý: STAV: IDLE, WAIT_STATE, RDATA, DATA_VALID
- Vstupy: DAT, B: DATA_FLOW_END, C: CLK_CNT
- Mealyho výstupy: READ_EN, CLK_CNT_EN, VALID
- Extern signál: End_bit



Popis funkce:

V počátečním stavu (IDLE) jsou signály READ_EN, CLK_CNT_EN a VALID nastaveny na 0. Modul čeká na nízký signál sériových dat, který indikuje počáteční bit přenosu UART. Jakmile je detekován startovací bit, modul přejde do stavu WAIT_STATE.

Ve stavu WAIT_STATE je signál CLK_CNT_EN nastaven na 1 a signály READ_EN a VALID jsou nastaveny na 0. Modul čeká na přijetí koncového bitu přenosu UART. Po zjištění koncového bitu modul přejde do stavu DATA_VALID. Pokud není koncový bit detekován, modul přejde do stavu RDATA.

Ve stavu RDATA je signál CLK_CNT_EN nastaven na 1 a signál READ_EN je nastaven na 1. Modul čte datové bity přenosu UART a čeká na signál řízení toku dat (DATA_FLOW_END), který signalizuje konec přenosu dat. Když signál řízení toku dat indikuje konec přenosu, modul přejde zpět do stavu WAIT_STATE.

Ve stavu DATA_VALID je signál CLK_CNT_EN nastaven na 0 a signál READ_EN na 0. Modul nastaví signál VALID na 1, což znamená, že přijatá data jsou platná. Modul pak přejde zpět do stavu IDLE.

Architektura navrženého obvodu (na úrovni RTL)

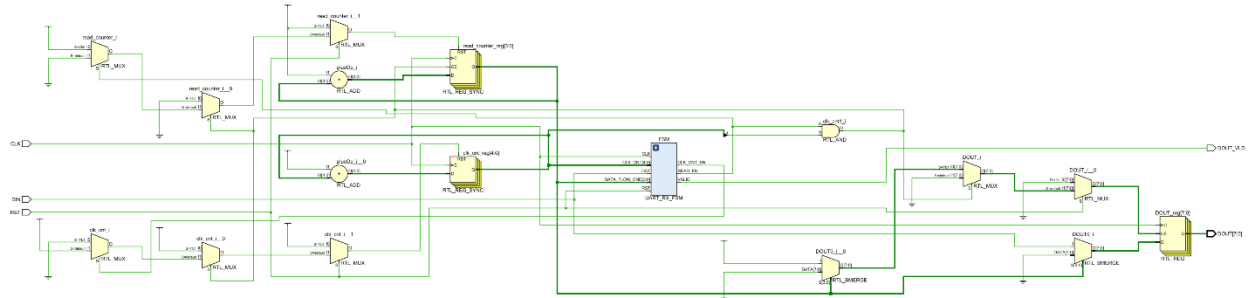
Popis funkce:

UART_RX má vstupní port pro hodinový signál CLK, resetovací signál RST a vstupní datový signál DIN. Má také výstupní port pro datový výstupní signál DOUT a datový výstupní validní signál DOUT_VLD.

Kód inicializuje signály pro povolení čtení (rd_en), povolení počítání hodin (clk_cnt_en), platnost výstupu (out_vld), počítání hodin (clk_cnt) a čítač čtení (read_counter). Entita UART_RX_FSM, která představuje konečný stavový stroj pro řízení strany RX, řídí výstupní signály na základě aktuálního stavu.

Procesní blok se stavem rising_edge(CLK) aktualizuje počet hodin, čítač čtení a výstupní signál dat, když je povolení čtení vysoké a počet hodin se rovná 16. V opačném případě vynuluje počet hodin a čítač čtení. Výstupní signál platných dat je aktualizován na základě aktuálního stavu UART_RX_FSM.

Scháéma obvodu



Snímek obrazovky ze simulací

