



**Universitatea „Transilvania” din  
Brașov  
Facultatea de Inginerie Electrică și Știința  
Calculatoarelor**

**P r o i e c t   A.S.C.N.**

Îndrumator: Prof. Florin Moldoveanu

Nume: Dobre Alexandru-Nicolae

Specializarea :Automatică și informatică aplicată

Grupa:4LF421B

**2024**

**Cuprins :**

• Tema proiectului.....	3
• Introducere.....	4
• Exprimarea funcțiilor logice asociate circuitului combinațional cu FCD FCC,tabel de adevăr și diagrame Karnaugh.....	5
• Formele minime disjunctive și conjunctive ale funcțiilor.....	9
• Metoda Quine-McCluskey.....	14
• Implementarea fiecarei funcții, independent, numai cu porți logice řI-NU (porțile logice sunt realizate în tehnologia TTL).....	17
• Implementarea ansamblului funcțiilor logice numai cu porți logice řI-NU (porțile logice sunt realizate în tehnologia TTL).....	29
• Implementarea ansamblului funcțiilor logice în urmatoarea varianta: primele patru funcții logice cu porți logice řI-NU, realizate în tehnologia TTL, iar urmatoarele șase cu porți logice SAU-NU, realizate în tehnologia CMOS.....	31
• Implementarea ansamblului funcțiilor logice cu MUX-uri de 8 respectiv 16 căi (circuitele sunt realizate în tehnologia TTL).....	34
• Implementarea ansamblului funcțiilor logice cu DMUX-uri de 8 respectiv 16 căi și porți logice řI-NU în prima varianta, respectiv řI în a doua varianta (tehnologia CMOS).....	38
• Timpii de propagare „intrare-ieșire”, pentru toate schemele logice obținute.....	43
• Puterile disipate pentru schemele logice obținute.....	45
• Compararea soluțiilor de implementare obținute.....	46
• Simularea schemelor logice.....	47
• Bibliografie.....	51

## FIŞA PROIECTULUI DE DISCIPLINĂ

**Disciplina:**

*Analiza și sinteza circuitelor numerice I*, an II/sem. 4.

**Tema de proiect nr. 36:**

Să se proiecteze un decodificator din codul BCD neponderat Gray/zecimal (logică combinatională). Proiectarea se va referi la o singură decadă.

**Cerințe de proiectare:**

În rezolvarea temei proiectului se vor trata următoarele puncte:

- Să se reprezinte funcțiile logice asociate circuitului combinațional prin forma canonică disjunctivă (FCD), forma canonică conjunctivă (FCC), tabel de adevăr și diagrame Veitch-Karnaugh.
- Să se obțină formele minime disjunctive și conjunctive pentru funcțiile logice asociate decodificatorului (utilizându-se combinațiile indiferente) prin metoda diagramelor Veitch-Karnaugh; de asemenea, se vor obține formele minime disjunctive pentru două dintre funcțiile logice de ieșire ( $f_5$  și  $f_7$ ) și prin metoda Quine-McCluskey.
- Să se implementeze fiecare funcție logică, independent, numai cu porți logice řI-NU (se vor utiliza circuite integrate realizate în tehnologia TTL).
- Să se implementeze ansamblul funcțiilor logice numai cu porți logice řI-NU (se vor utiliza circuite integrate realizate în tehnologia TTL).
- Să se implementeze ansamblul funcțiilor logice în următoarea variantă: primele patru funcții logice de ieșire cu porți logice řI-NU (circuite integrate TTL), iar următoarele șase cu porți logice SAU-NU (circuite integrate CMOS).
- Să se implementeze ansamblul funcțiilor logice cu MUX-uri de 8, respectiv 16 căi (se vor utiliza circuite integrate realizate în tehnologia TTL).
- Să se implementeze ansamblul funcțiilor logice cu DMUX-uri de 8, respectiv 16 căi și porți logice řI-NU în prima variantă, respectiv řI în a doua variantă (se vor utiliza circuite integrate realizate în tehnologia CMOS).
- Să se calculeze timpii de propagare „intrare-ieșire”, pentru toate schemele logice obținute.
- Să se calculeze puterile disipate pentru toate schemele logice obținute.
- Să se compare soluțiile de implementare obținute.
- Se va face analiza, prin simulare, a tuturor schemelor logice obținute utilizându-se pachetul de programe OrCAD.

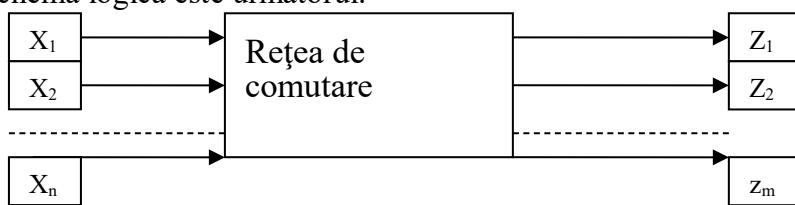
Pe schemele logice obținute se vor specifica tipul și gradul de utilizare al fiecărui circuit integrat.

## Introducere

Un circuit logic combinațional este un circuit de comutare combinațională ce se caracterizează prin aceea că la un moment dat starea ieșirilor circuitului depinde doar de starea intrarilor săle. Legatura dintre starea ieșirilor și starea intrarilor este data și în acest caz de funcția de transfer a circuitului.

Suportul fizic utilizat în CLC este destul de variat. Studiul CLC și al celor secvențiale se face folosind un model al acestora numit rețea de comutare sau schema logică. În rețeaua de comutare sau schema logică se face abstracție de caracteristicile constructive ale elementelor ce concep rețeaua sau schema logică avându-se în vedere doar proprietățile lor funcționale. Din acest motiv rețeaua are un înalt grad de generalitate, permitând studiul unor clase largi de circuite logice.

Schema bloc generală (modelul general) al unui CLC reprezentată printr-o rețea de comutare sau schema logică este următorul:



$X_1, X_2, \dots, X_n$  – setul valorilor de intrare

$Z_1, Z_2, \dots, Z_m$  – setul valorilor de ieșire Relații

generale între aceste valori:

$$\left. \begin{array}{l} 
 \text{Z}_1 = f(X_1, \dots, X_n) \\ 
 \dots\dots\dots \\ 
 \text{Z}_m = f(X_1, \dots, X_n) 
 \end{array} \right\} \text{logice} \quad \begin{array}{l} 
 f_i - \text{functii logice} \\ 
 X_i - \text{variabile} 
 \end{array}$$

## Analiza circuitelor logice combinaționale

Prin analiza unui CLC se înțelege obținerea expresiilor marimilor de ieșire cunoscându-se setul variabilelor de intrare  $X_1, X_2, \dots, X_n$  și configurația rețelei. Înțelegem numarul și tipul de elemente logice care intra în componentă, modul de conectare, punctul în care se aplică variabilele de intrare, numarul de nivele logice etc.

Analiza rețelelor CLC realizate cu elemente logice de tip inversor (ȘI-NU, SĂU-NU): numarul maxim de elemente logice aflate între intrarea și ieșirea rețelei determină numarul de nivele logice ale acestuia. Numerotarea lor se face de la ieșire catre intrare. Într-o rețea de comutare realizată cu elemente ȘI-NU respectiv SĂU-NU s-a observat că o variabilă de intrare apare negată în expresia ieșirii în cazul în care a parcurs un număr impar de elemente de inversare și necomplementată dacă a parcurs un număr par de astfel de elemente.

- Să se reprezinte funcțiile logice asociate circuitului combinațional prin forma canonica disjunctivă (FCD), forma canonica conjunctivă (FCC), tabel de adevăr și diagrame Veitch-Karnaugh.

Tabel de adevăr:

Cifra zecimală	EZ	Codul Gray				Zecimal									
		X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	F <sub>0</sub>	F <sub>1</sub>	F <sub>2</sub>	F <sub>3</sub>	F <sub>4</sub>	F <sub>5</sub>	F <sub>6</sub>	F <sub>7</sub>	F <sub>8</sub>	F <sub>9</sub>
0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	1	0	0	0	1	0	1	0	0	0	0	0	0	0	0
2	3	0	0	1	1	0	0	1	0	0	0	0	0	0	0
3	2	0	0	1	0	0	0	0	1	0	0	0	0	0	0
4	6	0	1	1	0	0	0	0	0	1	0	0	0	0	0
5	7	0	1	1	1	0	0	0	0	0	1	0	0	0	0
6	5	0	1	0	1	0	0	0	0	0	0	1	0	0	0
7	4	0	1	0	0	0	0	0	0	0	0	0	1	0	0
8	12	1	1	0	0	0	0	0	0	0	0	0	0	1	0
9	13	1	1	0	1	0	0	0	0	0	0	0	0	0	1

Combinări indiferente: 8, 9, 10, 11, 14, 15

- Să se reprezinte funcțiile logice asociate circuitului combinațional prin forma canonica disjunctivă (FCD), forma canonica conjunctivă (FCC), tabel de adevăr și diagrame Veitch-Karnaugh.

$$F_0^{FCD} = \overline{x_1} \overline{x_2} \overline{x_3} \overline{x_4} = P_0 = \sum (0)$$

$$F_5^{FCD} = \overline{x_1} x_2 x_3 x_4 = P_7 = \sum (7)$$

$$F_1^{FCD} = \overline{x_1} \overline{x_2} \overline{x_3} x_4 = P_1 = \sum (1)$$

$$F_6^{FCD} = \overline{x_1} x_2 \overline{x_3} x_4 = P_5 = \sum (5)$$

$$F_2^{FCD} = \overline{x_1} \overline{x_2} x_3 x_4 = P_3 = \sum (3)$$

$$F_7^{FCD} = \overline{x_1} x_2 \overline{x_3} \overline{x_4} = P_4 = \sum (4)$$

$$F_3^{FCD} = \overline{x_1} \overline{x_2} x_3 \overline{x_4} = P_2 = \sum (2)$$

$$F_8^{FCD} = x_1 x_2 \overline{x_3} \overline{x_4} = P_{12} = \sum (12)$$

$$F_4^{FCD} = \overline{x_1} x_2 x_3 \overline{x_4} = P_6 = \sum (6)$$

$$F_9^{FCD} = x_1 x_2 \overline{x_3} x_4 = P_{13} = \sum (13)$$

$$F_0^{FCC} = (x_1 + x_2 + x_3 + \overline{x_4})(x_1 + x_2 + \overline{x_3} + \overline{x_4})(x_1 + x_2 + \overline{x_3} + x_4)(x_1 + \overline{x_2} + \overline{x_3} + x_4)(x_1 + \overline{x_2} + \overline{x_3} + \overline{x_4})(x_1 + \overline{x_2} + x_3 + \overline{x_4})(x_1 + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + \overline{x_4}) = S_1 S_3 S_2 \\ S_6 S_7 S_5 S_4 S_{12} S_{13} = \prod (1, 3, 2, 6, 7, 5, 4, 12, 13)$$

$$F_1^{FCC} = (x_1 + x_2 + x_3 + x_4)(x_1 + x_2 + \overline{x_3} + \overline{x_4})(x_1 + x_2 + \overline{x_3} + x_4)(x_1 + \overline{x_2} + \overline{x_3} + x_4)(x_1 + \overline{x_2} + \overline{x_3} + \overline{x_4})(x_1 + \overline{x_2} + x_3 + \overline{x_4})(x_1 + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + \overline{x_4}) = S_0 S_3 S_2 \\ S_6 S_7 S_5 S_4 S_{12} S_{13} = \prod (0, 3, 2, 6, 7, 5, 4, 12, 13)$$

$$F_2^{FCC} = (x_1 + x_2 + x_3 + x_4)(x_1 + x_2 + x_3 + \overline{x_4})(x_1 + x_2 + \overline{x_3} + x_4)(x_1 + \overline{x_2} + \overline{x_3} + x_4)(x_1 + \overline{x_2} + \overline{x_3} + \overline{x_4})(x_1 + \overline{x_2} + x_3 + \overline{x_4})(x_1 + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + \overline{x_4}) = S_0 S_1 S_2 \\ S_6 S_7 S_5 S_4 S_{12} S_{13} = \prod (0, 1, 2, 6, 7, 5, 4, 12, 13)$$

$$F_3^{FCC} = (x_1 + x_2 + x_3 + x_4)(x_1 + x_2 + x_3 + \overline{x_4})(x_1 + x_2 + \overline{x_3} + \overline{x_4})(x_1 + \overline{x_2} + \overline{x_3} + x_4)(x_1 + \overline{x_2} + \overline{x_3} + \overline{x_4})(x_1 + \overline{x_2} + x_3 + \overline{x_4})(x_1 + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + \overline{x_4}) = S_0 S_1 S_3 \\ S_6 S_7 S_5 S_4 S_{12} S_{13} = \prod (0, 1, 3, 6, 7, 5, 4, 12, 13)$$

$$F_4^{FCC} = (x_1 + x_2 + x_3 + x_4)(x_1 + x_2 + x_3 + \overline{x_4})(x_1 + x_2 + \overline{x_3} + \overline{x_4})(x_1 + x_2 + \overline{x_3} + x_4)(x_1 + x_2 + \overline{x_3} + \overline{x_4})(x_1 + \overline{x_2} + \overline{x_3} + x_4)(x_1 + \overline{x_2} + \overline{x_3} + \overline{x_4})(x_1 + \overline{x_2} + x_3 + \overline{x_4})(x_1 + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + \overline{x_4}) = S_0 S_1 S_3 S_2 S_7 S_5 S_4 S_{12} S_{13} \\ \prod (0, 1, 3, 2, 7, 5, 4, 12, 13)$$

$$F_5^{FCC} = (x_1 + x_2 + x_3 + x_4)(x_1 + x_2 + x_3 + \overline{x_4})(x_1 + x_2 + \overline{x_3} + \overline{x_4})(x_1 + x_2 + \overline{x_3} + x_4)(x_1 + x_2 + \overline{x_3} + \overline{x_4})(x_1 + \overline{x_2} + \overline{x_3} + x_4)(x_1 + \overline{x_2} + \overline{x_3} + \overline{x_4})(x_1 + \overline{x_2} + x_3 + \overline{x_4})(x_1 + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + x_4)(\overline{x_1} + \overline{x_2} + x_3 + \overline{x_4}) = S_0 S_1 S_3 S_2 S_6 S_5 S_4 S_{12} S_{13} \\ \prod (0, 1, 3, 2, 6, 5, 4, 12, 13)$$

$$F_6^{\text{FCC}} = (x_1 + x_2 + x_3 + x_4)(x_1 + x_2 + x_3 + \bar{x}_4)(x_1 + x_2 + \bar{x}_3 + \bar{x}_4)(x_1 + x_2 + \bar{x}_3 + x_4)(x_1 + \bar{x}_2 + \bar{x}_3 + x_4)(x_1 + \bar{x}_2 + \bar{x}_3 + \bar{x}_4)(x_1 + \bar{x}_2 + x_3 + x_4)(\bar{x}_1 + \bar{x}_2 + x_3 + x_4)(\bar{x}_1 + \bar{x}_2 + x_3 + \bar{x}_4) = \\ S_0S_1S_3S_2S_6S_7S_4S_{12}S_{13} = \prod (0, 1, 3, 2, 6, 7, 4, 12, 13)$$

$$F_7^{\text{FCC}} = (x_1 + x_2 + x_3 + x_4)(x_1 + x_2 + x_3 + \bar{x}_4)(x_1 + x_2 + \bar{x}_3 + \bar{x}_4)(x_1 + x_2 + \bar{x}_3 + x_4)(x_1 + \bar{x}_2 + \bar{x}_3 + x_4)(x_1 + \bar{x}_2 + \bar{x}_3 + \bar{x}_4)(x_1 + \bar{x}_2 + x_3 + x_4)(\bar{x}_1 + \bar{x}_2 + x_3 + x_4)(\bar{x}_1 + \bar{x}_2 + x_3 + \bar{x}_4) = \\ S_0S_1S_3S_2S_6S_7S_5S_{12}S_{13} = \prod (0, 1, 3, 2, 6, 7, 5, 12, 13)$$

$$F_8^{\text{FCC}} = (x_1 + x_2 + x_3 + x_4)(x_1 + x_2 + x_3 + \bar{x}_4)(x_1 + x_2 + \bar{x}_3 + \bar{x}_4)(x_1 + x_2 + \bar{x}_3 + x_4)(x_1 + \bar{x}_2 + \bar{x}_3 + x_4)(x_1 + \bar{x}_2 + \bar{x}_3 + \bar{x}_4)(x_1 + \bar{x}_2 + x_3 + x_4)(x_1 + \bar{x}_2 + x_3 + \bar{x}_4)(x_1 + \bar{x}_2 + x_3 + x_4)(\bar{x}_1 + \bar{x}_2 + x_3 + \bar{x}_4) = \\ S_0S_1S_3S_2S_6S_7S_5S_4S_{13} = \prod (0, 1, 3, 2, 6, 7, 5, 4, 13)$$

$$F_9^{\text{FCC}} = (x_1 + x_2 + x_3 + x_4)(x_1 + x_2 + x_3 + \bar{x}_4)(x_1 + x_2 + \bar{x}_3 + \bar{x}_4)(x_1 + x_2 + \bar{x}_3 + x_4)(x_1 + \bar{x}_2 + \bar{x}_3 + x_4)(x_1 + \bar{x}_2 + \bar{x}_3 + \bar{x}_4)(x_1 + \bar{x}_2 + x_3 + x_4)(x_1 + \bar{x}_2 + x_3 + \bar{x}_4)(x_1 + \bar{x}_2 + x_3 + x_4)(\bar{x}_1 + \bar{x}_2 + x_3 + \bar{x}_4) = \\ S_0S_1S_3S_2S_6S_7S_5S_4S_{12} = \prod (0, 1, 3, 2, 6, 7, 5, 4, 12)$$

Diagrama Karnaugh pentru funcția 0

		X <sub>1</sub> X <sub>2</sub>	00	01	11	10	
		X <sub>3</sub> X <sub>4</sub>	00	1	0	0	*
		00	0	0	0	*	*
		01	0	0	*	*	*
		11	0	0	*	*	*
		10	0	0	*	*	*

Diagrama Karnaugh pentru funcția 1

		X <sub>1</sub> X <sub>2</sub>	00	01	11	10	
		X <sub>3</sub> X <sub>4</sub>	00	0	0	0	*
		00	1	0	0	*	*
		01	0	0	*	*	*
		11	0	0	*	*	*
		10	0	0	*	*	*

Diagrama Karnaugh pentru funcția 2

		X <sub>1</sub> X <sub>2</sub>	00	01	11	10	
		X <sub>3</sub> X <sub>4</sub>	00	0	0	0	*
		00	0	0	0	*	*
		01	0	0	0	*	*
		11	1	0	*	*	*
		10	0	0	*	*	*

Diagrama Karnaugh pentru funcția 3

		X <sub>1</sub> X <sub>2</sub>	00	01	11	10	
		X <sub>3</sub> X <sub>4</sub>	00	0	0	0	*
		00	0	0	0	*	*
		01	0	0	0	*	*
		11	0	0	*	*	*
		10	1	0	*	*	*

Diagrama Karnaugh pentru funcția 4

		$X_1X_2$	00	01	11	10	
		$X_3X_4$	00	0	0	0	*
		01	0	0	0	*	*
		11	0	0	*	*	*
		10	0	1	*	*	*

Diagrama Karnaugh pentru funcția 5

		$X_1X_2$	00	01	11	10	
		$X_3X_4$	00	0	0	0	*
		01	0	0	0	*	*
		11	0	1	*	*	*
		10	0	0	*	*	*

Diagrama Karnaugh pentru funcția 6

		$X_1X_2$	00	01	11	10	
		$X_3X_4$	00	0	0	0	*
		01	0	1	0	*	*
		11	0	0	*	*	*
		10	0	0	*	*	*

Diagrama Karnaugh pentru funcția 7

		$X_1X_2$	00	01	11	10	
		$X_3X_4$	00	0	1	0	*
		01	0	0	0	*	*
		11	0	0	*	*	*
		10	0	0	*	*	*

Diagrama Karnaugh pentru funcția 8

		$X_1X_2$	00	01	11	10	
		$X_3X_4$	00	0	0	1	*
		01	0	0	0	*	*
		11	0	0	*	*	*
		10	0	0	*	*	*

Diagrama Karnaugh pentru funcția 9

		$X_1X_2$	0	01	11	10	
		$X_3X_4$	00	0	0	0	*
		01	0	0	1	*	*
		11	0	0	*	*	*
		10	0	0	*	*	*

- Să se obțină formele minime disjunctive și conjunctive pentru funcțiile logice asociate decodificatorului (utilizându-se combinațiile indiferente) prin metoda diagramelor Veitch-Karnaugh; de asemenea, se vor obține formele minime disjunctive pentru două dintre funcțiile logice de ieșire ( $f_5$  și  $f_7$ ) și prin metoda Quine-McCluskey.

**Forma minimă disjunctivă**

		X <sub>1</sub> X <sub>2</sub>	00	01	11	10
		X <sub>3</sub> X <sub>4</sub>	00	01	11	10
			1	0	0	*
	00		1	0	0	*
	01		0	0	0	*
	11		0	0	*	*
	10		0	0	*	*

$$F_0^{\text{FMD}} = \overline{x}_2 \overline{x}_3 \overline{x}_4$$

		X <sub>1</sub> X <sub>2</sub>	00	01	11	10
		X <sub>3</sub> X <sub>4</sub>	00	01	11	10
			0	0	0	*
	00		0	0	0	*
	01		1	0	0	*
	11		0	0	*	*
	10		0	0	*	*

$$F_1^{\text{FMD}} = \overline{x}_2 \overline{x}_3 x_4$$

		X <sub>1</sub> X <sub>2</sub>	00	01	11	10
		X <sub>3</sub> X <sub>4</sub>	00	01	11	10
			0	0	0	*
	00		0	0	0	*
	01		0	0	0	*
	11		1	0	*	*
	10		0	0	*	*

$$F_2^{\text{FMD}} = \overline{x}_2 x_3 x_4$$

		X <sub>1</sub> X <sub>2</sub>	00	01	11	10
		X <sub>3</sub> X <sub>4</sub>	00	01	11	10
			0	0	0	*
	00		0	0	0	*
	01		0	0	0	*
	11		0	0	*	*
	10		1	0	*	*

$$F_3^{\text{FMD}} = \overline{x}_2 x_3 \overline{x}_4$$

$X_1X_2$	00	01	11	10
$X_3X_4$	00	0	0	*
	01	0	0	*
	11	0	0	*
	10	0	1	*

$$F_4^{\text{FMD}} = x_2x_3\overline{x_4}$$

$X_1X_2$	00	01	11	10
$X_3X_4$	00	0	0	*
	01	0	0	*
	11	0	1	*
	10	0	0	*

$$F_5^{\text{FMD}} = x_2x_3x_4$$

$X_1X_2$	00	01	11	10
$X_3X_4$	00	0	0	*
	01	0	1	*
	11	0	0	*
	10	0	0	*

$$F_6^{\text{FMD}} = \overline{x_1}x_2\overline{x_3}x_4$$

$X_1X_2$	00	01	11	10
$X_3X_4$	00	0	1	*
	01	0	0	*
	11	0	0	*
	10	0	0	*

$$F_7^{\text{FMD}} = \overline{x_1}x_2\overline{x_3}\overline{x_4}$$

$X_3 X_2$	00	01	11	10
$X_3 X_4$	00	0	1	*
	01	0	0	*
	11	0	*	*
	10	0	*	*

$$F_8^{\text{FMD}} = x_1 \overline{x_4}$$

$X_3 X_2$	0	01	11	10
$X_3 X_4$	00	0	0	*
	01	0	1	*
	11	0	*	*
	10	0	*	*

$$F_9^{\text{FMD}} = x_1 x_4$$

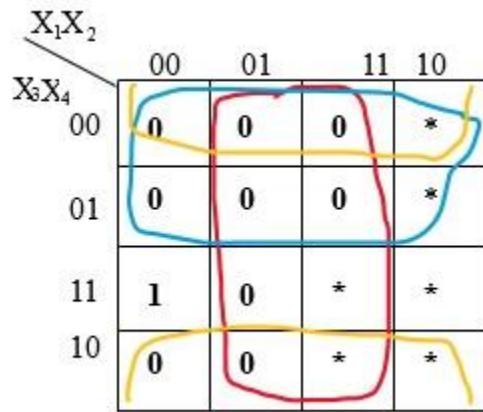
### Forma minimă conjunctivă

$X_3 X_2$	00	01	11	10
$X_3 X_4$	1	0	0	*
	0	0	0	*
	11	0	*	*
	10	0	*	*

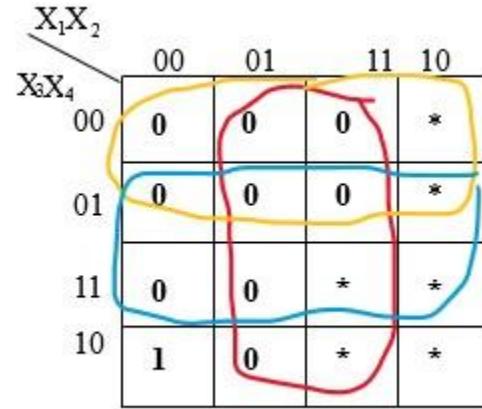
$$F_0^{FMC} = \overline{x_2 + x_4 + x_3} = \overline{x_2} \overline{x_3} \overline{x_4}$$

$X_3 X_2$	00	01	11	10
$X_3 X_4$	0	0	0	*
	1	0	0	*
	11	0	*	*
	10	0	*	*

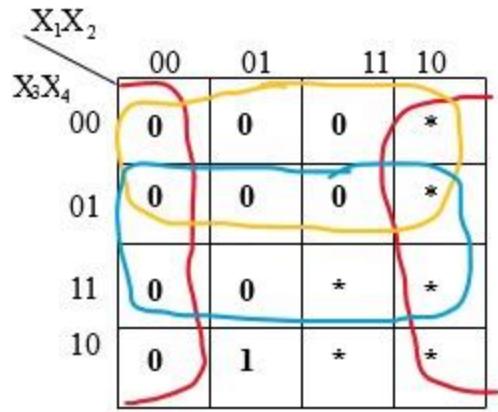
$$F_1^{FMC} = \overline{x_2 + \overline{x_4} + x_3} = \overline{x_2} \overline{x_3} x_4$$



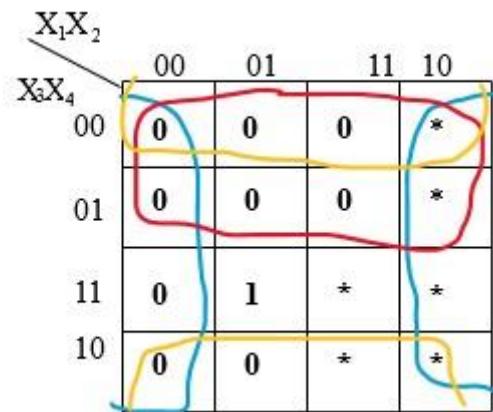
$$F_2^{FMC} = \overline{x_2 + \overline{x_4} + \overline{x_3}} = \overline{x_2} x_3 \overline{x_4}$$



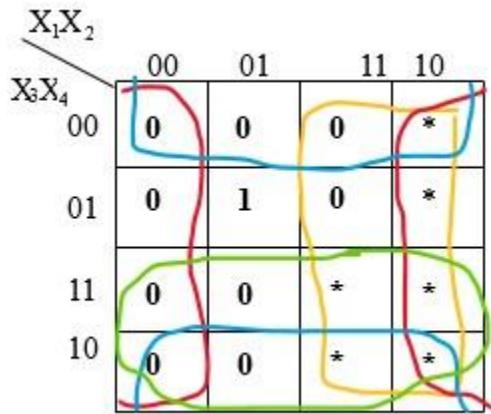
$$F_3^{FMC} = \overline{x_2 + x_4 + \overline{x_3}} = \overline{x_2} x_3 \overline{x_4}$$



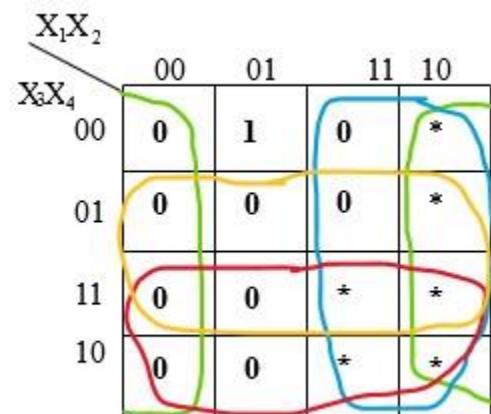
$$F_4^{FMC} = \overline{x_2 + \overline{x_3} + x_4} = x_2 x_3 \overline{x_4}$$



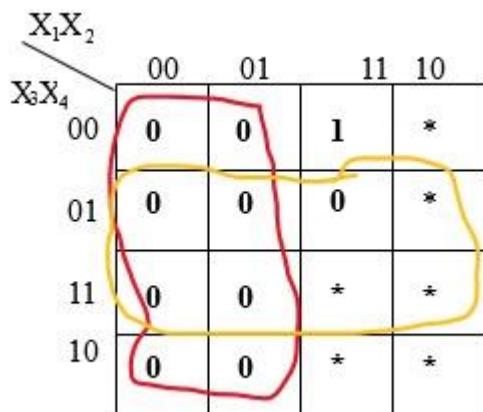
$$F_5^{FMC} = \overline{x_2 + \overline{x_3} + \overline{x_4}} = x_2 x_3 \overline{x_4}$$



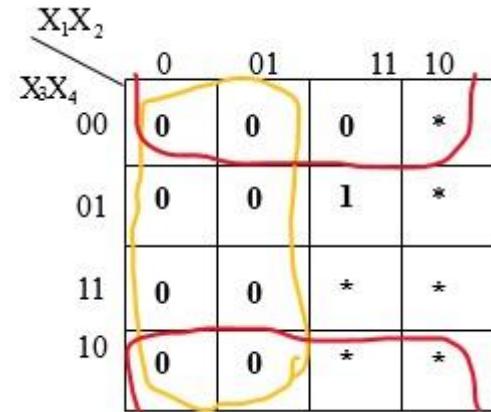
$$F_6^{FMC} = \overline{x_1 + \overline{x_2} + x_3 + \overline{x_4}} = \overline{x_1}x_2 \overline{x_3}x_4$$



$$F_7^{FMC} = \overline{x_1 + \overline{x_2} + x_3 + x_4} = \overline{x_1}x_2 \overline{x_3}x_4$$



$$F_8^{FMC} = \overline{\overline{x_1} + x_4} = x_1 \overline{x_4}$$



$$F_9^{FMC} = \overline{\overline{x_1} + \overline{x_4}} = x_1 x_4$$

Determinarea FMD pentru funcțiile logice de ieșire 5, respectiv 7 folosind Metoda Quine-McCluskey

Combinațiile indiferente sunt:

$$P_8 = x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$$

$$P_{11} = x_1 \bar{x}_2 x_3 x_4$$

$$P_9 = x_1 \bar{x}_2 \bar{x}_3 x_4$$

$$P_{14} = x_1 x_2 x_3 \bar{x}_4$$

$$P_{10} = x_1 \bar{x}_2 x_3 \bar{x}_4$$

$$P_{15} = x_1 x_2 x_3 x_4$$

### Pentru $F_5 \rightarrow P_7$

Grupa	Indici	X1 X2 X3 X4
1	8	1 0 0 0 ✓
2	9	1 0 0 1 ✓
	10	1 0 1 0 ✓
3	7	0 1 1 1 ✓
	11	1 0 1 1 ✓
	14	1 1 1 0 ✓
4	15	1 1 1 1 ✓

Grupa	Indici	X1 X2 X3 X4
1	8-9	1 0 0 - ✓
	8-10	1 0 - 0 ✓
2	9-11	1 0 - 1 ✓
	10-11	1 0 1 - ✓
	10-14	1 - 1 0 ✓
3	7-15	- 1 1 1
	11-15	1 - 1 1 ✓
	14-15	1 1 1 - ✓

Grupa	Indici	X1 X2 X3 X4
1	8-9-10-11	1 0 - - <b>X</b>
	8-10-9-11	1 0 - - <b>X</b>
2	10-11-14-15	1 - 1 - <b>X</b>
	10-14-11-15	1 - 1 - <b>X</b>

Implicantă				Indici		Termeni canonici															
X1 X2 X3 X4						0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
-	1	1	1		7, 15								*								*

$$\Rightarrow F_5^{\text{FMD}} = x_2 x_3 x_4$$

Pentru  $F_7 \rightarrow P_4$

Grupa	Indici	X1 X2 X3 X4
1	4	0 1 0 0
	8	1 0 0 0 ✓
2	9	1 0 0 1 ✓
	10	1 0 1 0 ✓
3	11	1 0 1 1 ✓
	14	1 1 1 0 ✓
4	15	1 1 1 1 ✓

Grupa	Indici	X1 X2 X3 X4
1	8-9	1 0 0 - ✓
	8-10	1 0 - 0 ✓
2	9-11	1 0 - 1 ✓
	10-11	1 0 1 - ✓
	10-14	1 - 1 0 ✓
3	11-15	1 - 1 1 ✓
	14-15	1 1 1 - ✓

Grupa	Indici	X1 X2 X3 X4
1	8-9-10-11	1 0 - - X
	8-10-9-11	1 0 - - X
2	10-11-14-15	1 - 1 - X
	10-14-11-15	1 - 1 - X

Implicanți		Indici		Termeni canonici															
X1 X2 X3 X4				0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	1	0	0					*											

$$\Rightarrow F_7^{\text{FMD}} = \overline{x_1}x_2\overline{x_3}\overline{x_4}$$

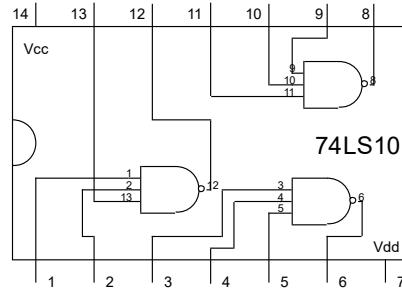
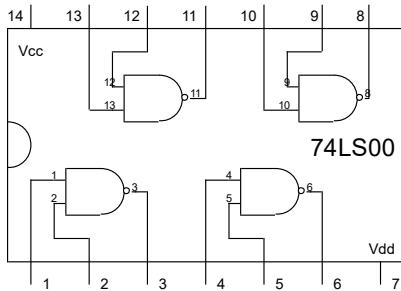
- Să se implementeze fiecare funcție logică, independent, numai cu porti logice ȘI-NU (se vor utiliza circuite integrate realizate în tehnologia TTL).

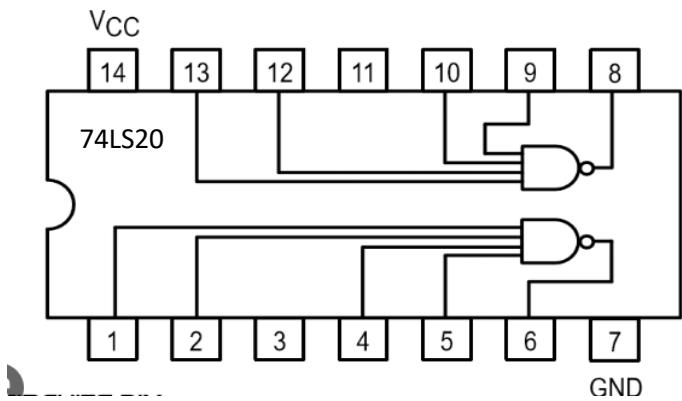
Implementarea funcțiilor reprezintă punerea în practică a informațiilor și a rezultatelor obținute până acum. Pentru ca implementarea să fie cât mai avantajoasă se tine cont de unii factori astfel încât să obținem circuite cât mai fiabile la prețuri de cost cât mai scăzute.

Metodele matematice prezentate anterior sunt insuficiente pentru proiectarea cu circuite integrate. Unul din scopurile importante ale acesteia este obținerea unor scheme cu număr minim de circuite integrate cu un cost cât mai scăzut.

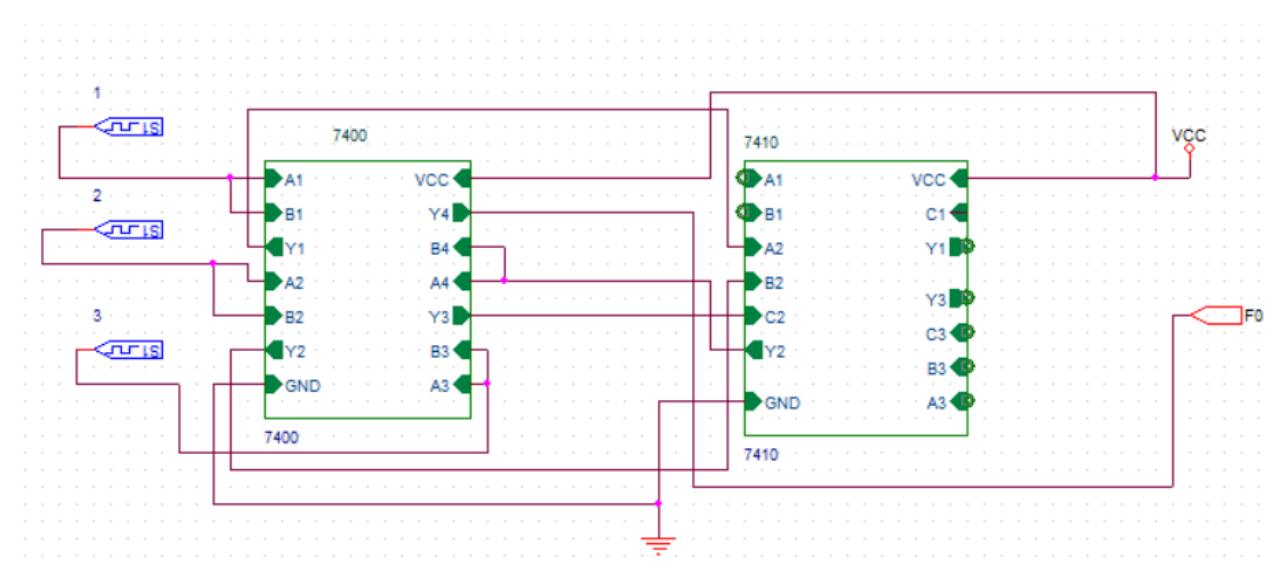
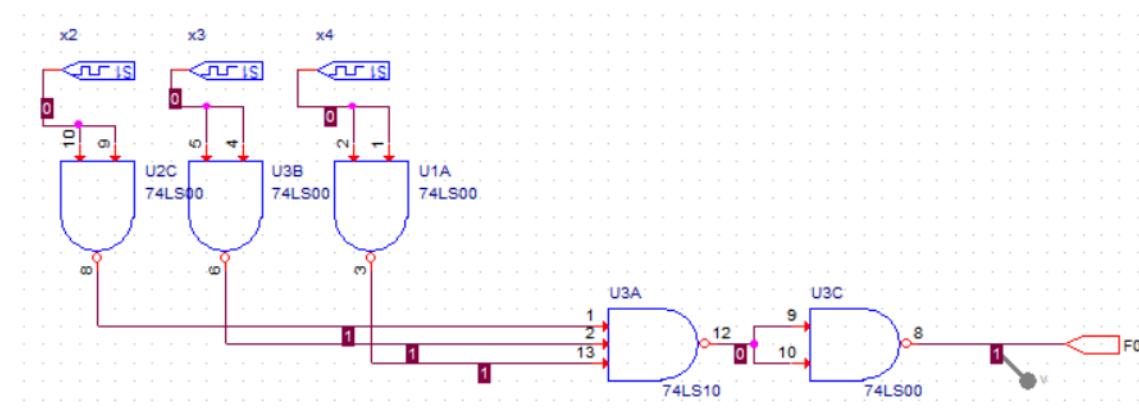
Conform cerintelor vom implementa funcțiile cu porti logice ȘI-NU în tehnica integrată TTL. Pentru a putea realiza schema cu porti logice ȘI-NU plecam de la una din formele minime (în acest caz de la FMD), prelucrata astfel încât operațiile logice să fie compatibile cu tipul de poartă logică utilizată în circuit ȘI-NU, și anume se va nega de două ori a funcției și se vor folosi formulele lui De Morgan. Se vor folosi circuite integrate din productia Texas Instruments din seria 74LS.

Circuite integrate folosite:



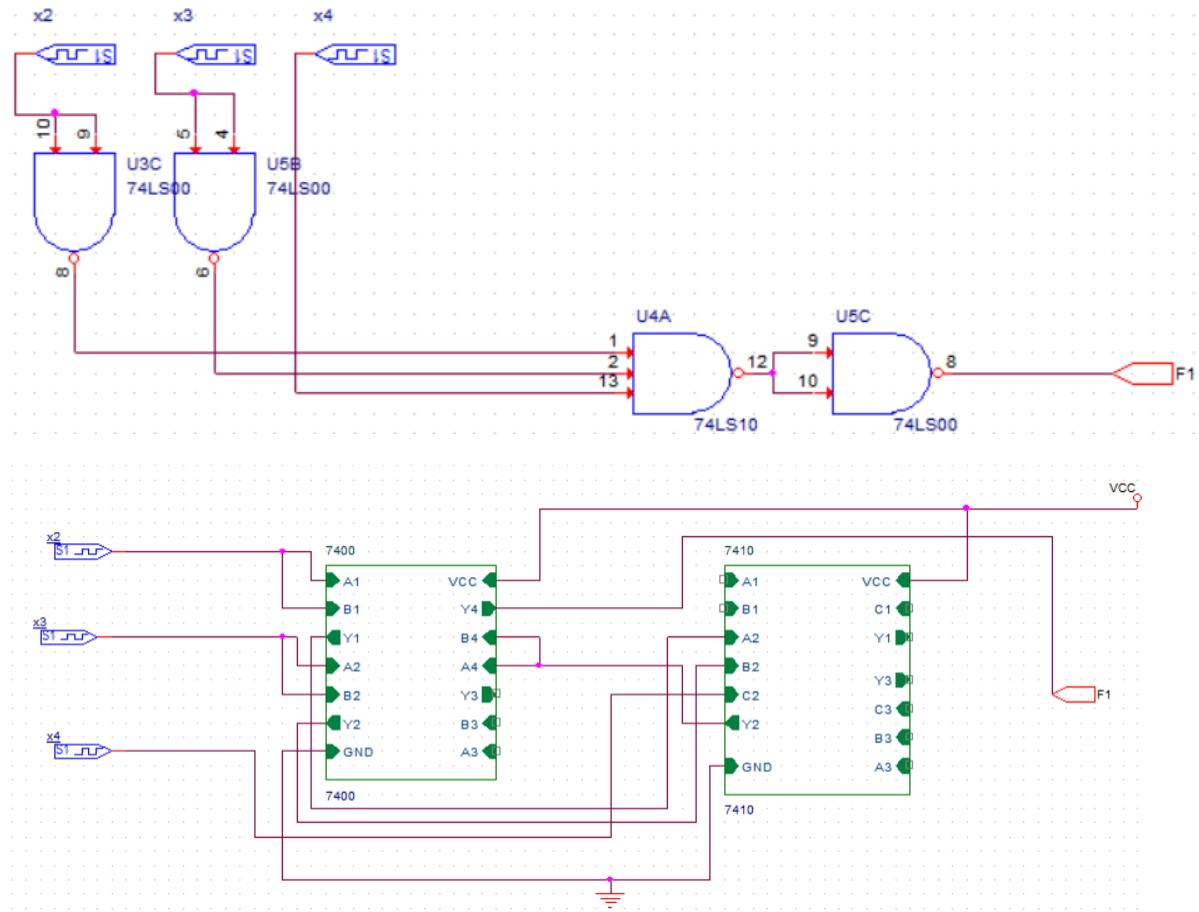


$$F_0^{\text{FMD}} = \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_4}$$



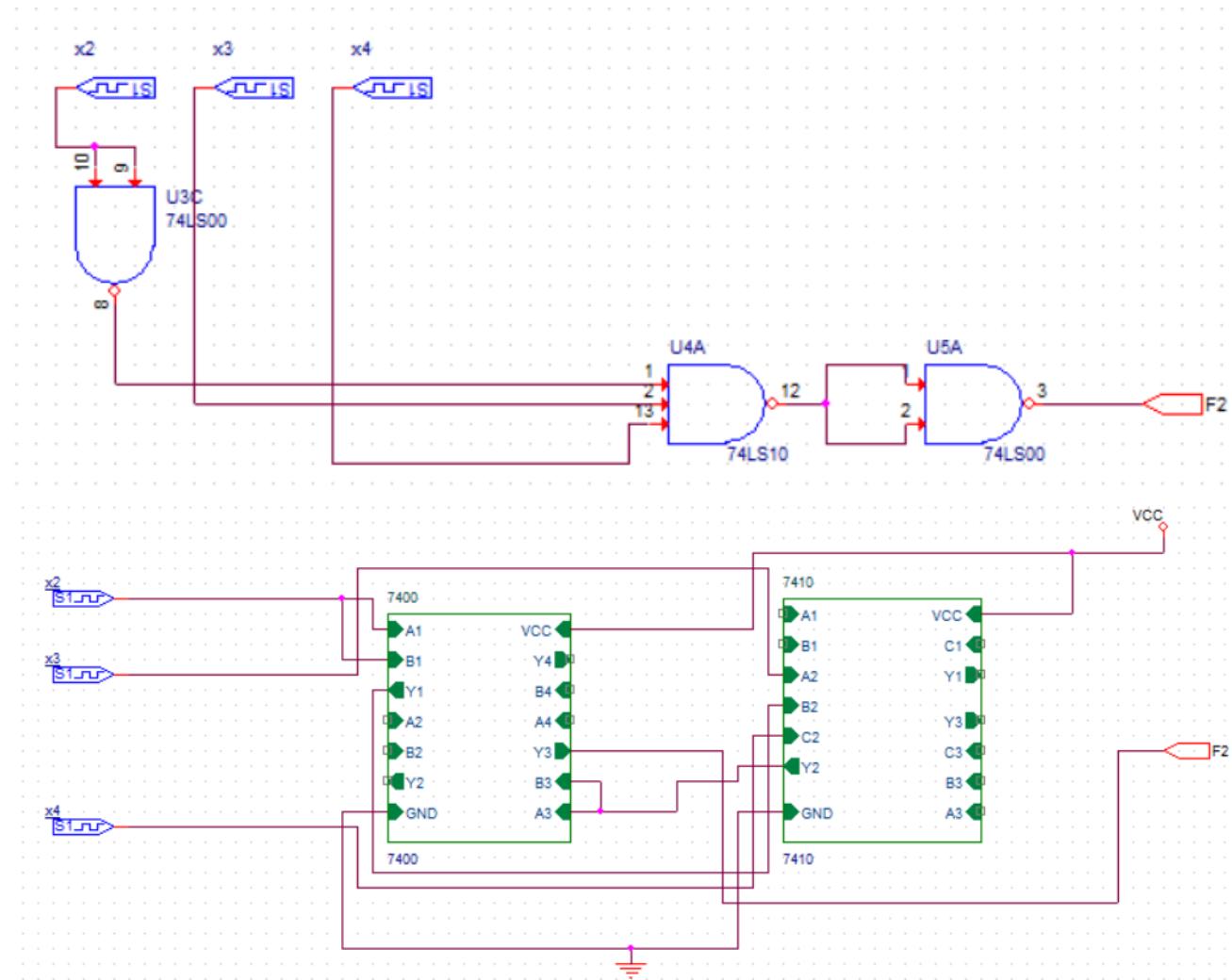
S-au folosit: 1x 74LS00(0), 1x 74LS10(-2)

$$F_1^{\text{FMD}} = \overline{x_2} \overline{x_3} x_4$$



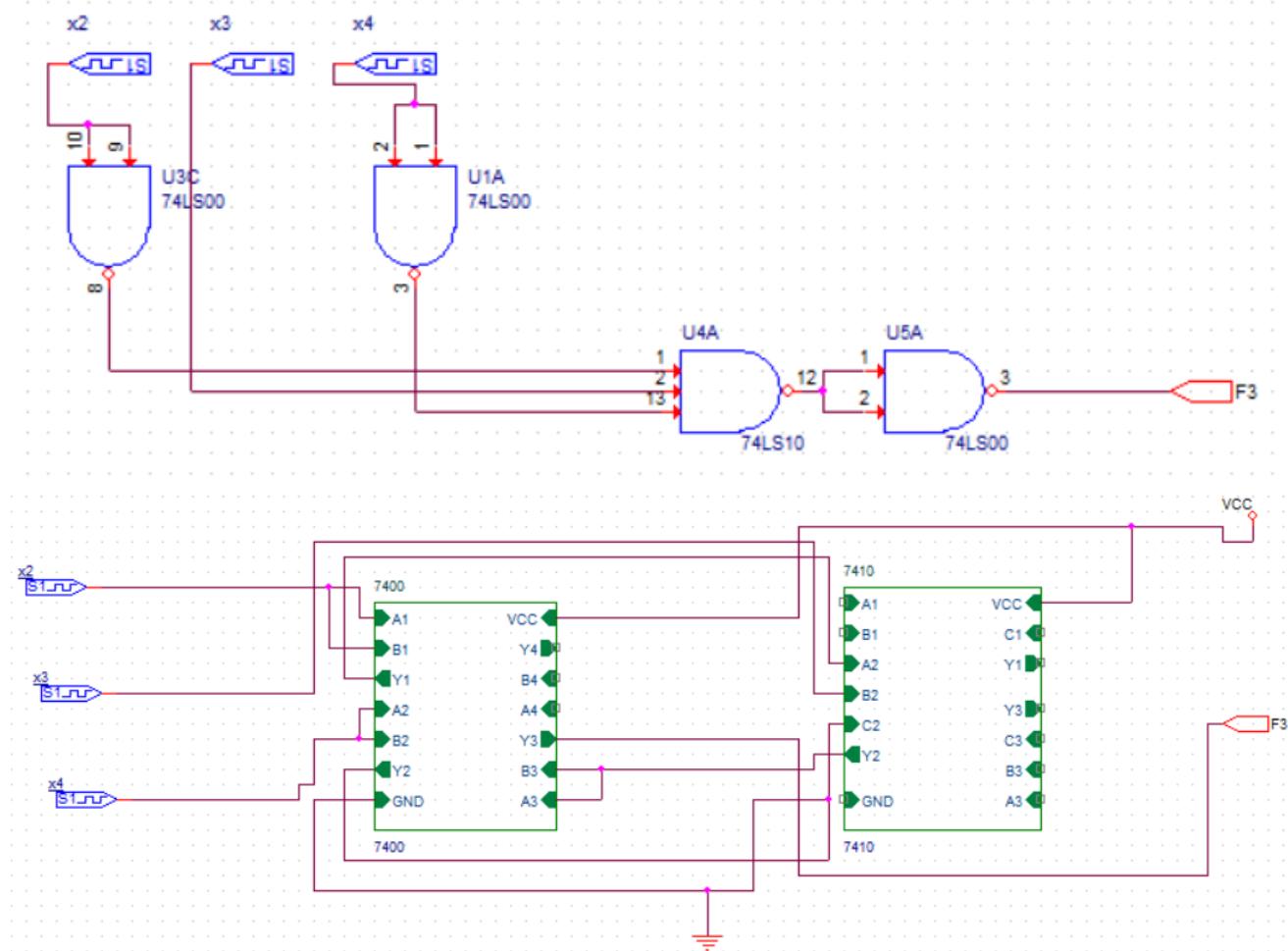
S-au folosit: 1x 74LS00(-1), 1x 74LS10(-2)

$$F_2^{\text{FMD}} = \overline{x_2} x_3 x_4$$



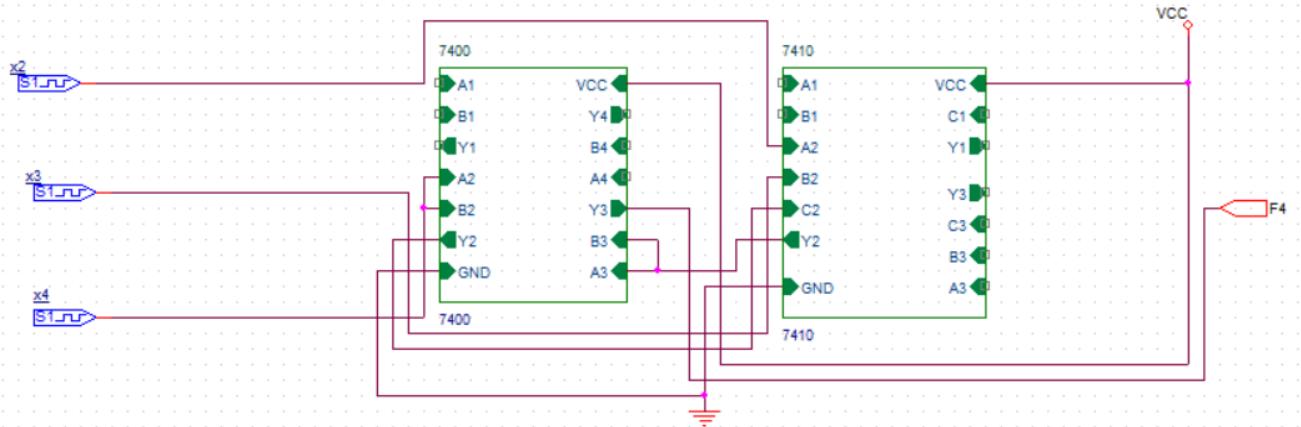
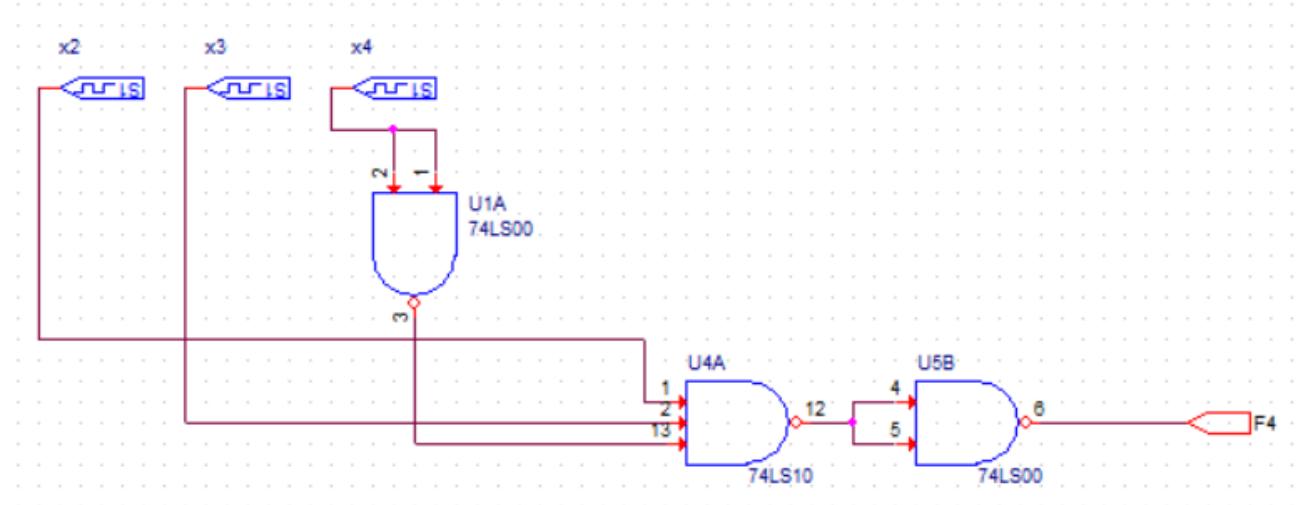
S-au folosit: 1x 74LS00(-2), 1x 74LS10(-2)

$$F_3^{\text{FMD}} = \overline{x_2} x_3 \overline{x_4}$$



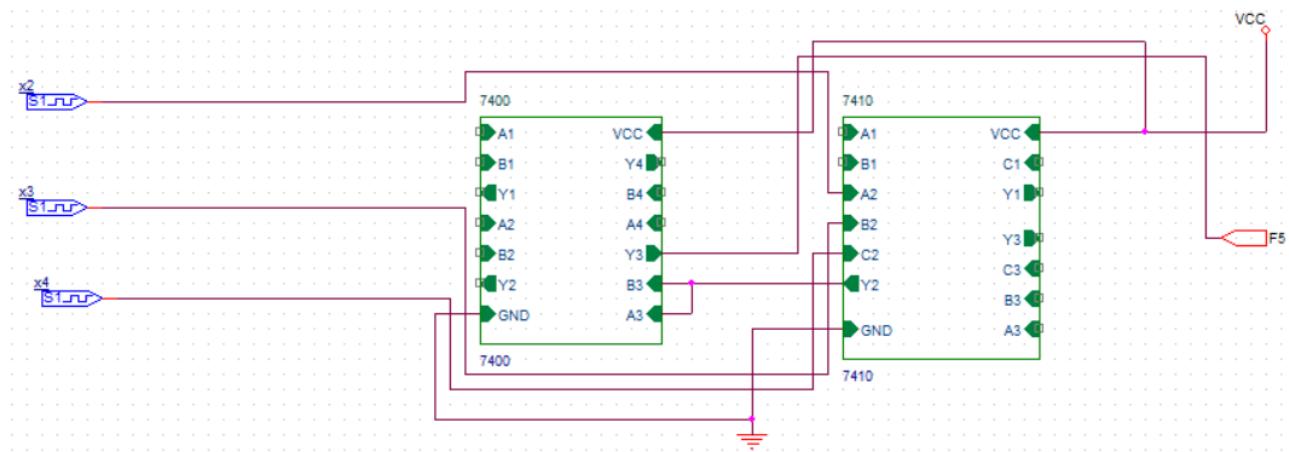
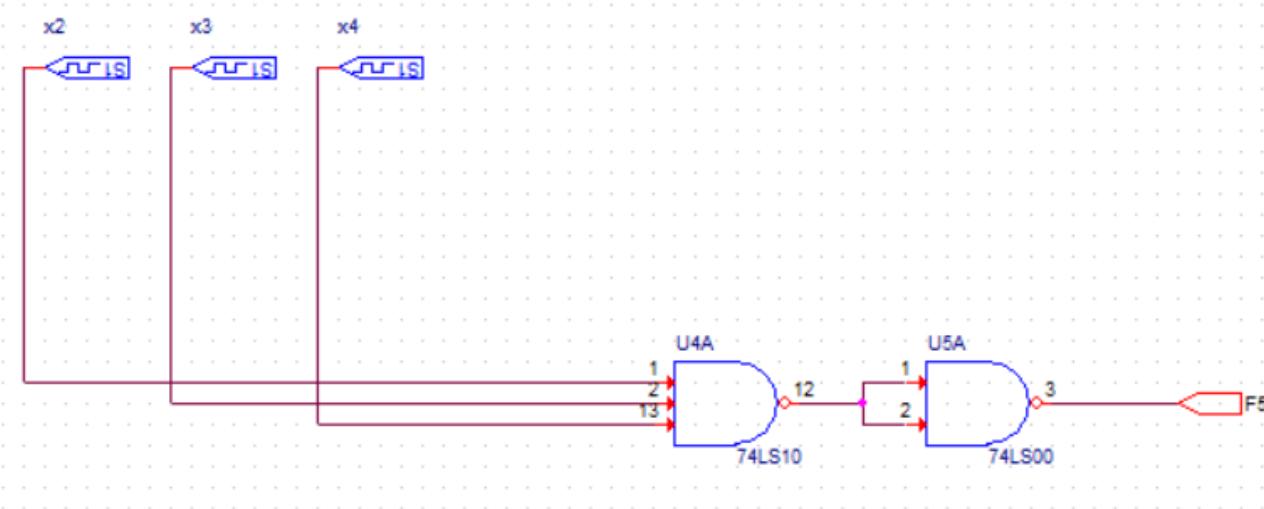
S-au folosit: 1x 74LS00(-1), 1x 74LS10(-2)

$$F_4^{FMD} = x_2 \ x_3 \ \overline{x_4}$$



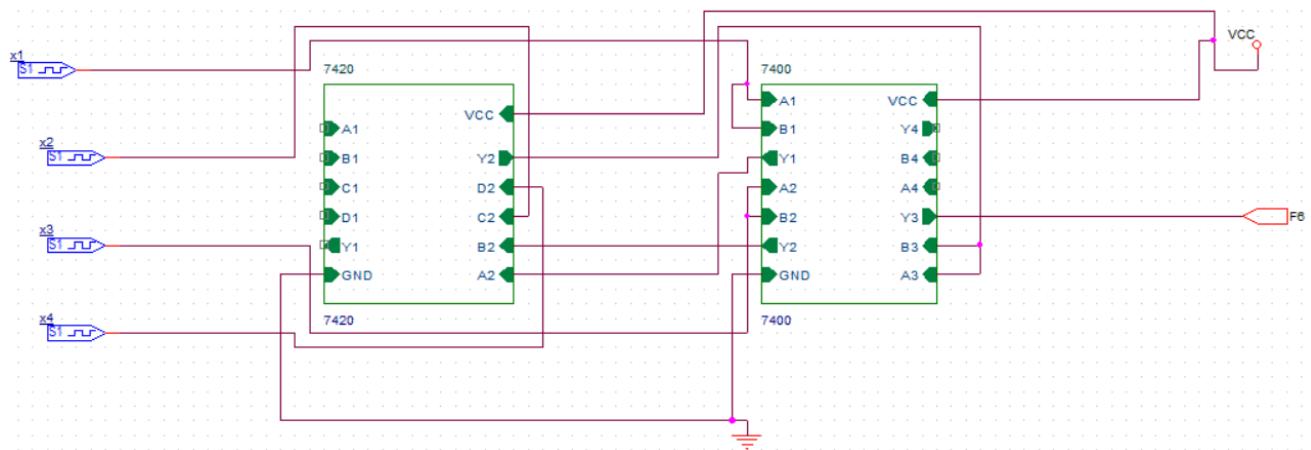
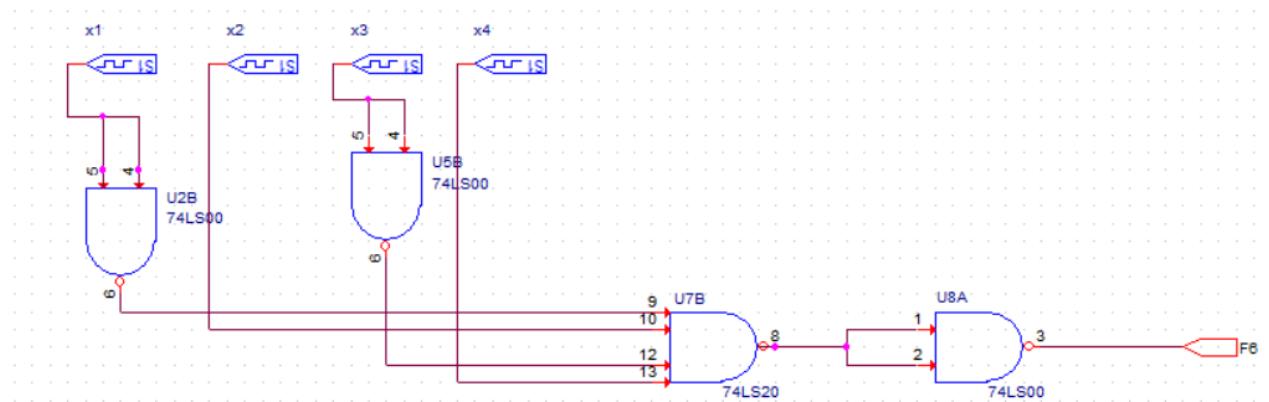
S-au folosit: 1x 74LS00(-2), 1x 74LS10(-2)

$$F_5^{\text{FM,D}} = x_2 \ x_3 \ x_4$$



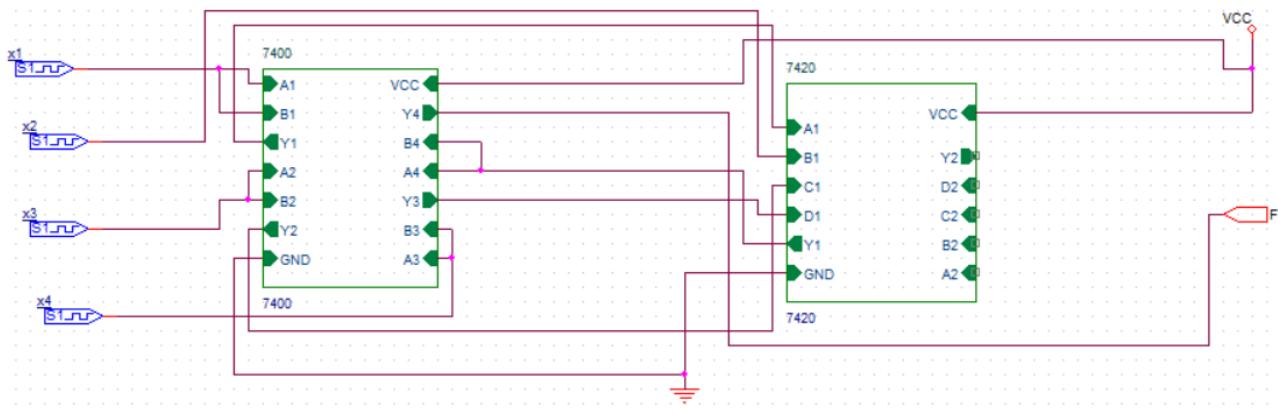
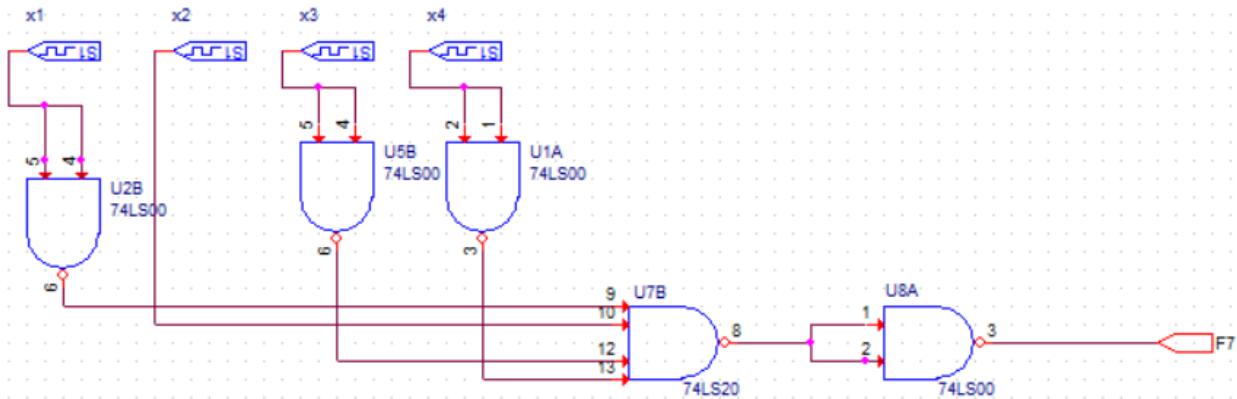
S-au folosit: 1x 74LS00(-3), 1x 74LS10(-2)

$$F_6^{\text{FMD}} = \overline{x_1} x_2 \overline{x_3} x_4$$



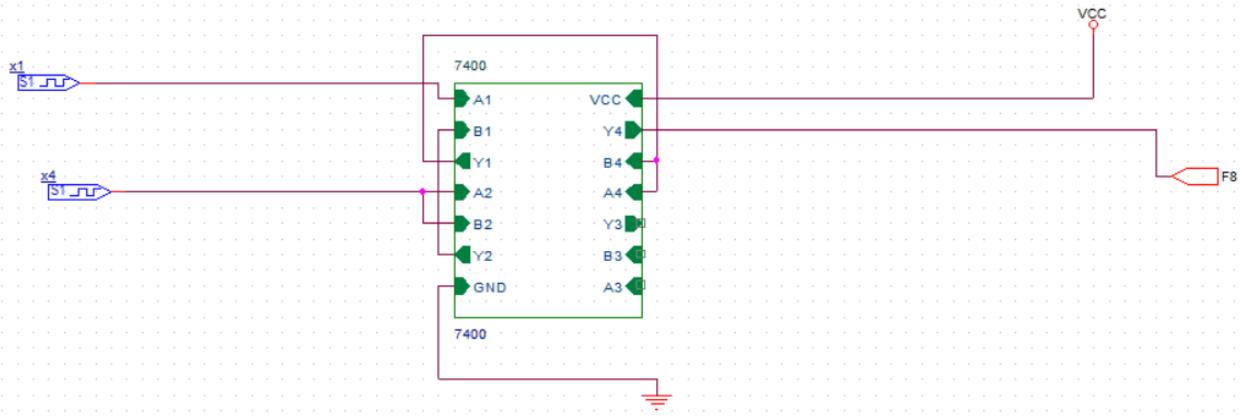
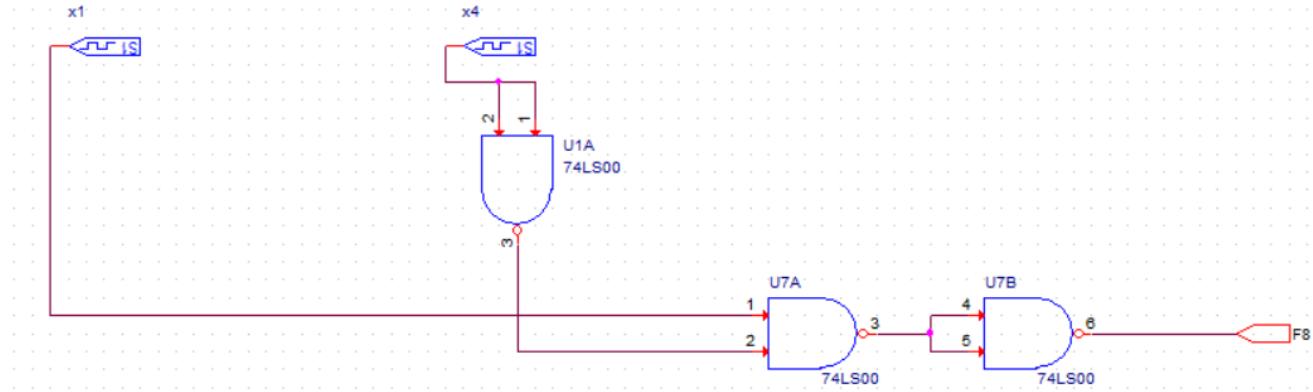
S-au folosit: 1x 74LS00(-1), 1x 74LS20(-1)

$$F_7^{\text{FMD}} = \overline{x_1} x_2 \overline{x_3} \overline{x_4}$$



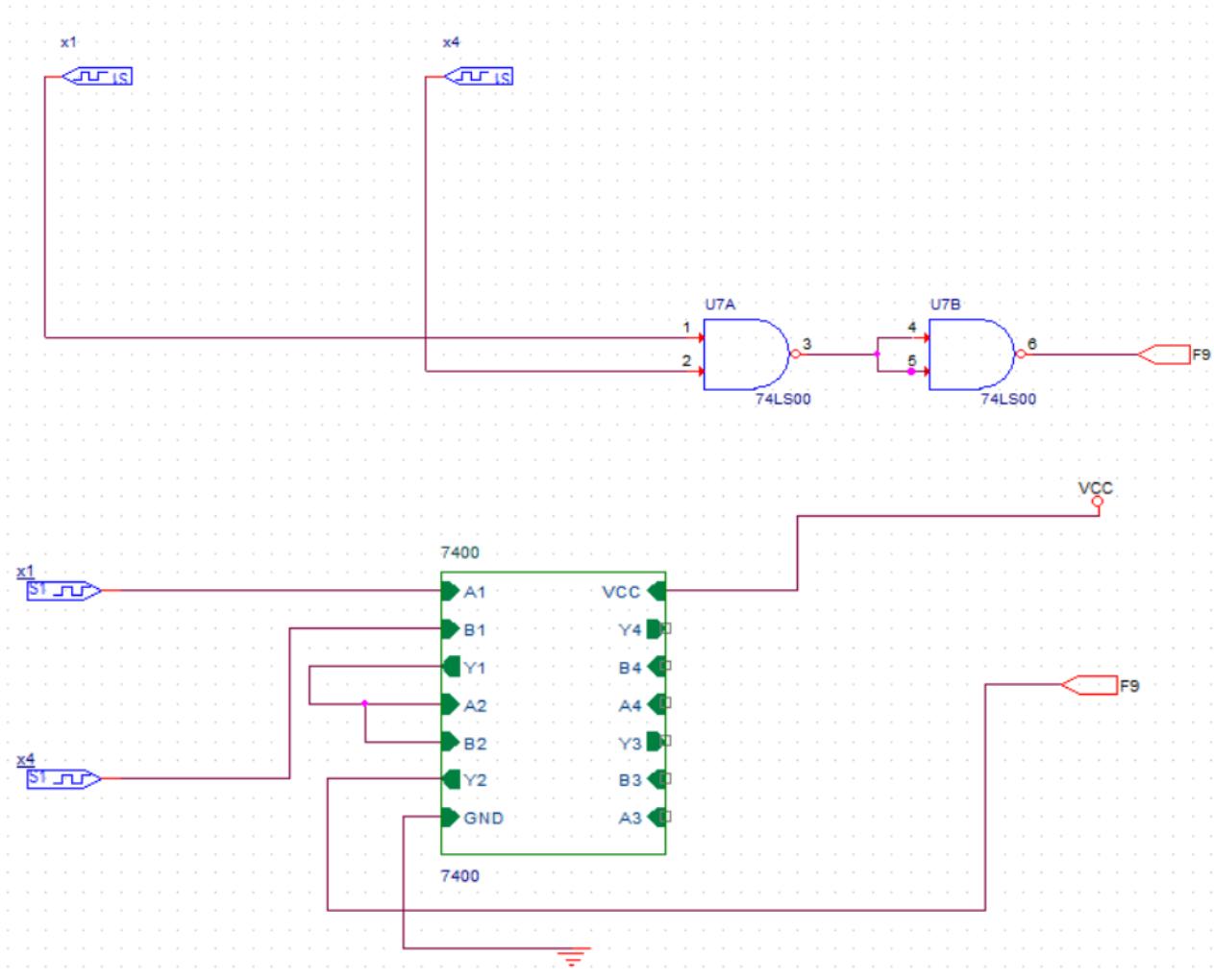
S-au folosit: 1x 74LS00(0), 1x 74LS20(-1)

$$F_8^{\text{FMD}} = x_1 \bar{x}_4$$



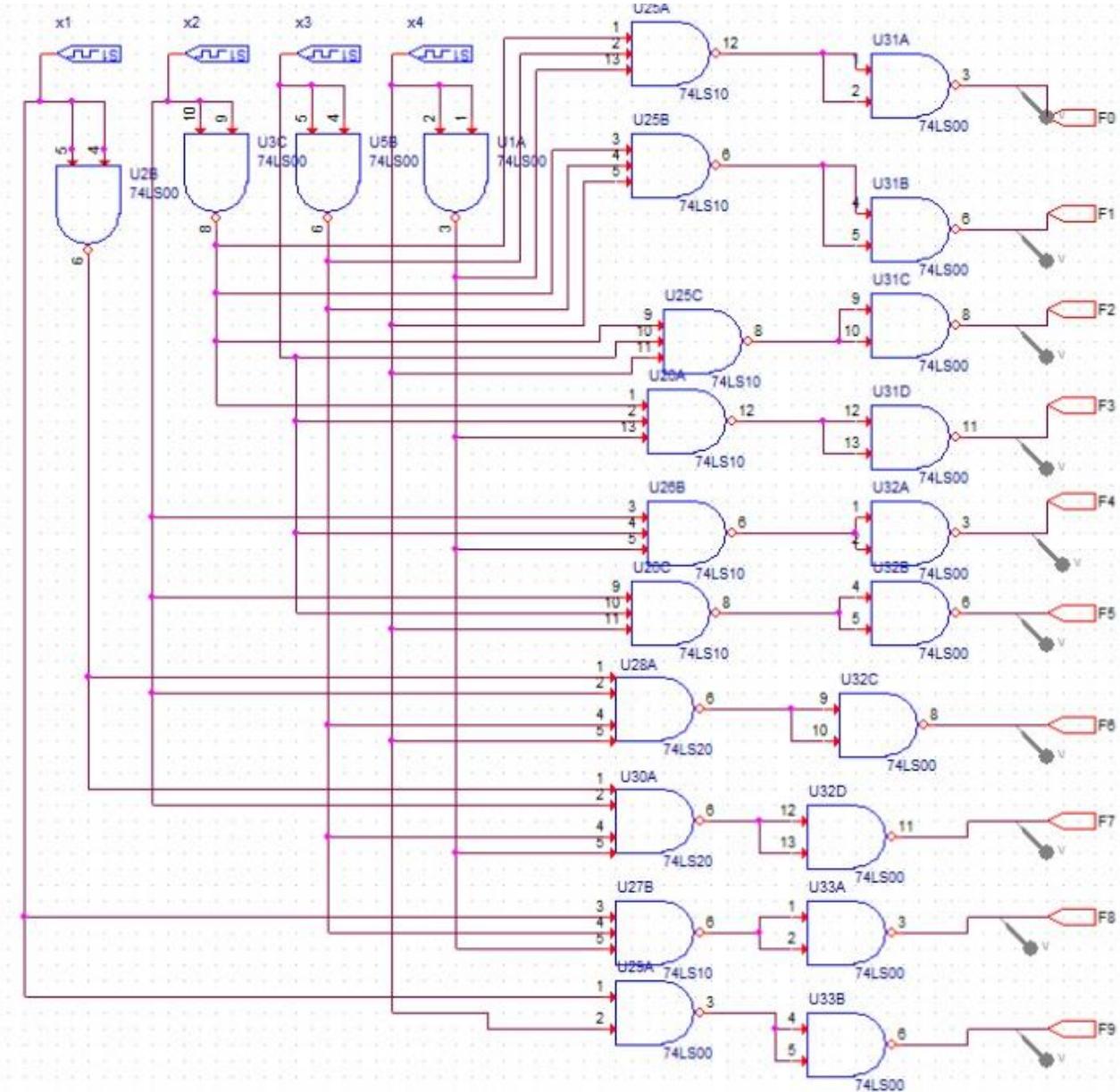
S-au folosit: 1x 74LS00(-1)

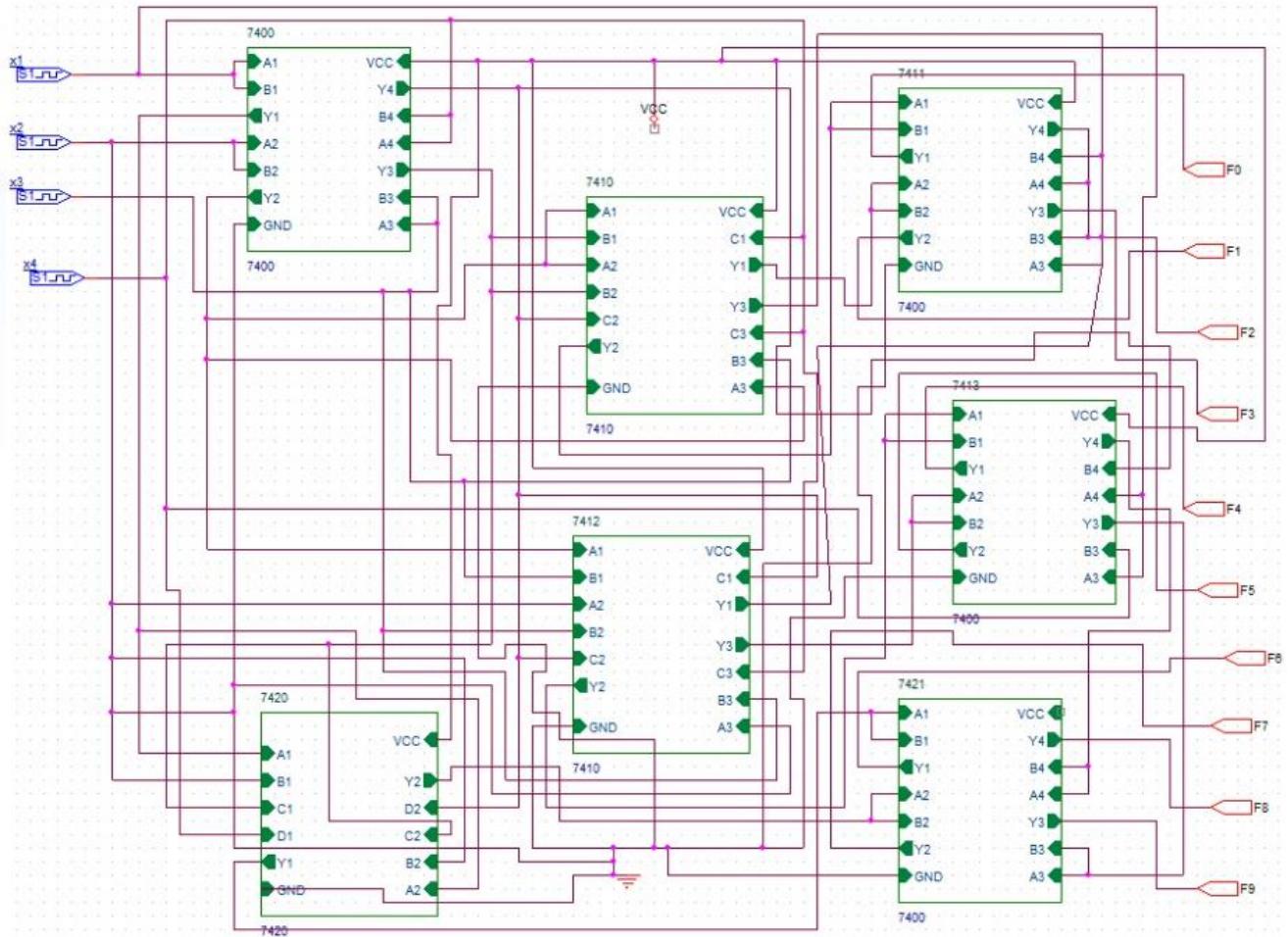
$$F_9^{\text{FMD}} = x_1 x_4$$



S-au folosit: 1x 74LS00(-2)

- Să se implementeze ansamblul funcțiilor logice numai cu porti logice SI-NU (se vor utiliza circuite integrate realizate în tehnologia TTL).

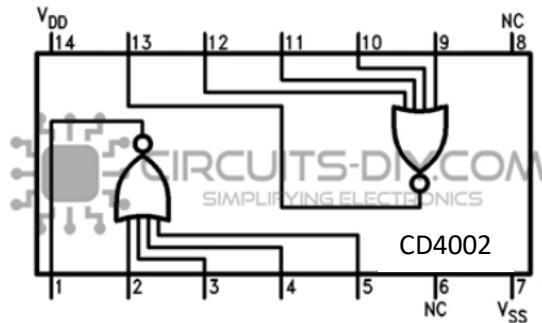
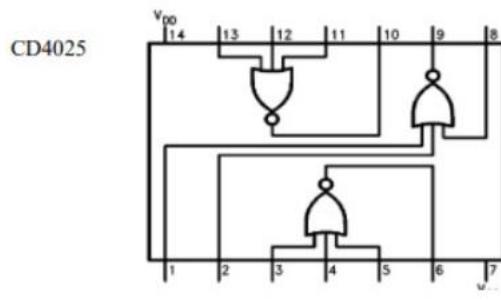
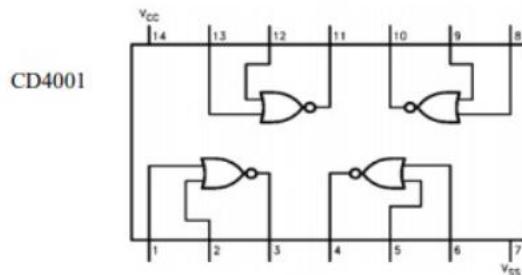
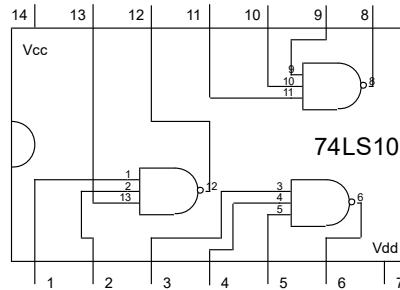
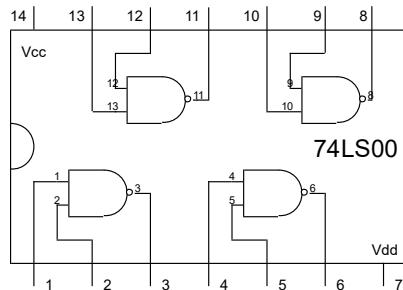




S-au folosit: 4x 74LS00(0), 2x 74LS10(0), 1x 74LS20(0)

- Să se implementeze ansamblul funcțiilor logice în următoarea variantă: primele patru funcții logice de ieșire cu porți logice SI-NU (circuite integrate TTL), iar următoarele șase cu porți logice SAU-NU (circuite integrate CMOS).

Circuite integrate folosite:



$$F_4^{\text{FMD}} = \overline{\overline{x_2}x_3\overline{x_4}} = \overline{\overline{x_2}} + \overline{x_3} + x_4$$

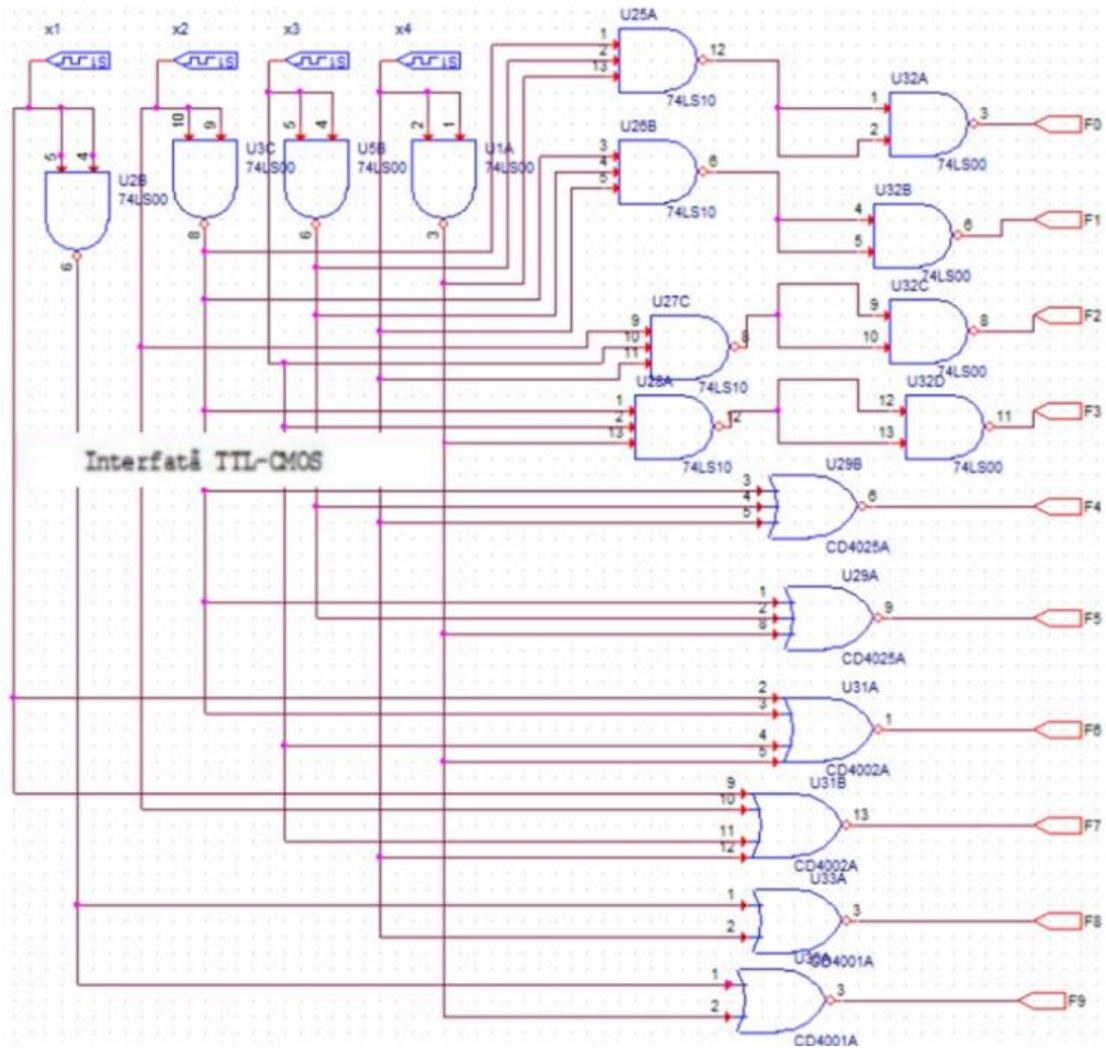
$$F_5^{\text{FMD}} = \overline{x_2}\overline{x_3}\overline{x_4} = \overline{x_2} + \overline{x_3} + \overline{x_4}$$

$$F_6^{\text{FMD}} = \overline{\overline{x_1}x_2\overline{x_3}x_4} = \overline{x_1} + \overline{x_2} + x_3 + \overline{x_4}$$

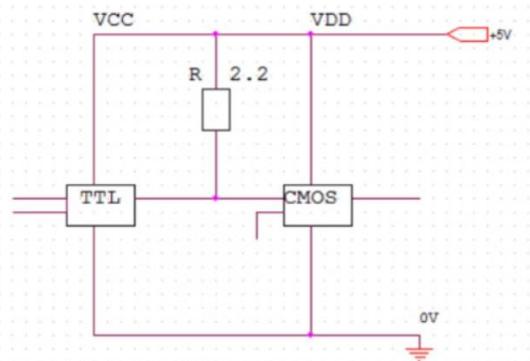
$$F_7^{\text{FMD}} = \overline{\overline{x_1}x_2\overline{x_3}\overline{x_4}} = \overline{x_1} + \overline{x_2} + x_3 + x_4$$

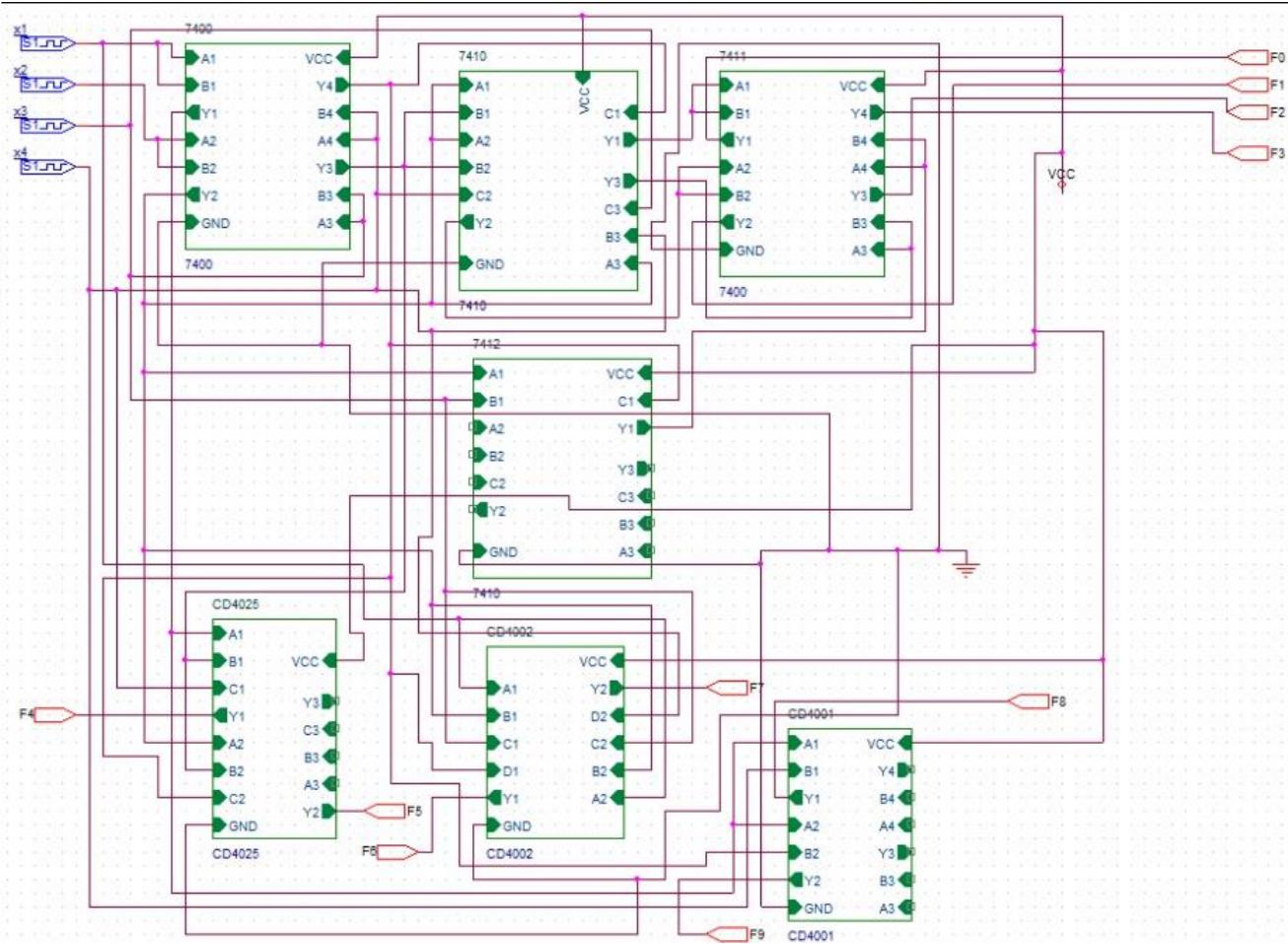
$$F_8^{\text{FMD}} = \overline{\overline{x_1}\overline{x_4}} = \overline{x_1} + x_4$$

$$F_9^{\text{FMD}} = \overline{x_1}\overline{x_4} = \overline{x_1} + \overline{x_4}$$



Interfață TTL-CMOS





S-au folosit: 2x 74LS00(0), 1x 74LS10(0), 1x 74LS10(-2), 1x CD4025(-1), 1x CD4002(0), 1x CD4001(-2)

- **Să se implementeze ansamblul funcțiilor logice cu MUX-uri de 8, respectiv 16 căi (se vor utiliza circuite integrate realizate în tehnologia TTL).**

Un circuit de multiplexare este un circuit logic combinațional care, în cazul general, are  $2n$  intrări de date,  $n$  intrări de selecție ( $S_0 S_1 \dots S_{n-1}$ ) și o ieșire ( $Z$ ). Expresia ieșirii  $Z$  la un moment dat este dată de intrare  $I_k$ ,  $k=0, \dots, 2n-1$  unde  $k$  reprezintă echivalentul zecimal al numărului binar dat de stările 1 și 0 ale intrărilor de selecție:  $k=S_{n-1}, S_{n-2}, \dots, S_1, S_0$ .

Nu trebuie facută minimizarea matematică și se pornește da la forma canonica disjunctivă punându-se la “1” logic acele terminale care generează la ieșire termeni care sunt inclusi in forma canonica disjunctivă, iar celelalte terminale se pun la “0” logic. MUX realizează atât nivelul logic SI cat și nivelul logic SAU. Cum ieșirea circuitului este negată se pun la “1” logic ceilalți termeni care nu sunt inclusi in FCD și termenii inclusi in FCD se pun la “0” logic pentru MUX 16 căi.

### Implementarea cu 1MUX de 8 căi și o variabilă aplicată pe intrarea de date

La implementarea unei funcții cu un multiplexor de 8 căi și o variabilă aplicată pe intrările de date se pleacă de la tabelul de adevăr al funcției de implementat separându-se variabila cea mai puțin semnificativă. Astfel din cele  $n$  variabile se separă  $n-1$  având ponderile cele mai mari și se aplică pe intrările de selecție ale multiplexorului. Astfel se obțin termeni canonici de  $n-1$  variabile. Pentru a obține însă termenii canonici de  $n$  variabile prezenți în expresia funcției de implementat trebuie adăugată variabila separată. Acest lucru se realizează prin aplicarea variabilei pe intrările de date ale MUX-ului.

	$X_1$	$X_2$	$X_3$	$X_4$	$F_0$
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	*
9	1	0	0	1	*
10	1	0	1	0	*
11	1	0	1	1	*
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	*
15	1	1	1	1	*

$$F_0^{FCD} = (\bar{X}_1 \bar{X}_2 \bar{X}_3) \bar{X}_4 = p_0 * \bar{X}_4$$

$F_0 = 1$ ;  $X_1 X_2 X_3 = 000$ , ptr  $x_4 = 0$  în  $D_0$  se aplică  $\bar{X}_4$

$F_0 = 0$ ;  $X_1 X_2 X_3 = 001$ , pentru oricare ar fi  $X_4$  în  $D_1$  se aplică 0;

$F_0 = 0$ ;  $X_1 X_2 X_3 = 010$ , ptr oricare ar fi  $X_4$  în  $D_2$  se aplică 0;

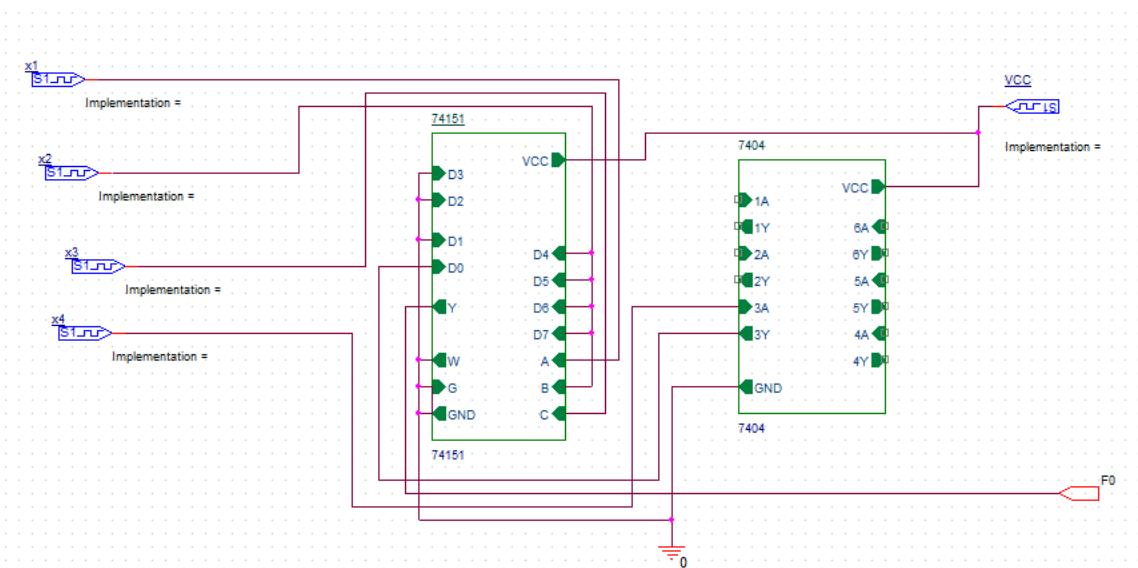
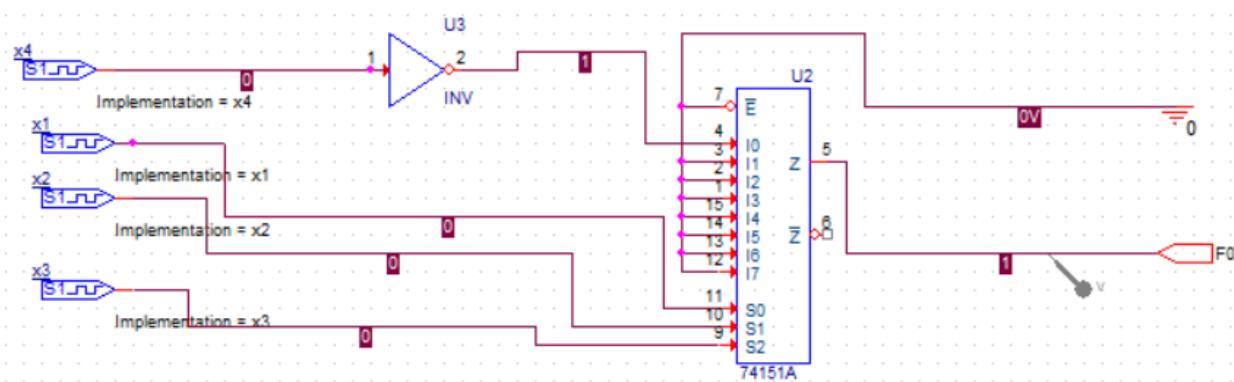
$F_0 = 0$ ;  $X_1 X_2 X_3 = 011$ , ptr oricare ar fi  $X_4$  în  $D_3$  se aplică 0;

$F_0 = 0$ ;  $X_1 X_2 X_3 = 100$ , ptr oricare ar fi  $X_4$  în  $D_4$  se aplică 0;

$F_0 = 0$ ;  $X_1 X_2 X_3 = 101$ , ptr oricare ar fi  $X_4$  în  $D_5$  se aplică 0;

$F_0 = 0$ ;  $X_1 X_2 X_3 = 110$ , ptr oricare ar fi  $X_4$  în  $D_6$  se aplică 0;

$F_0 = 0$ ;  $X_1 X_2 X_3 = 111$ , ptr oricare ar fi  $X_4$  în  $D_7$  se aplică 0.

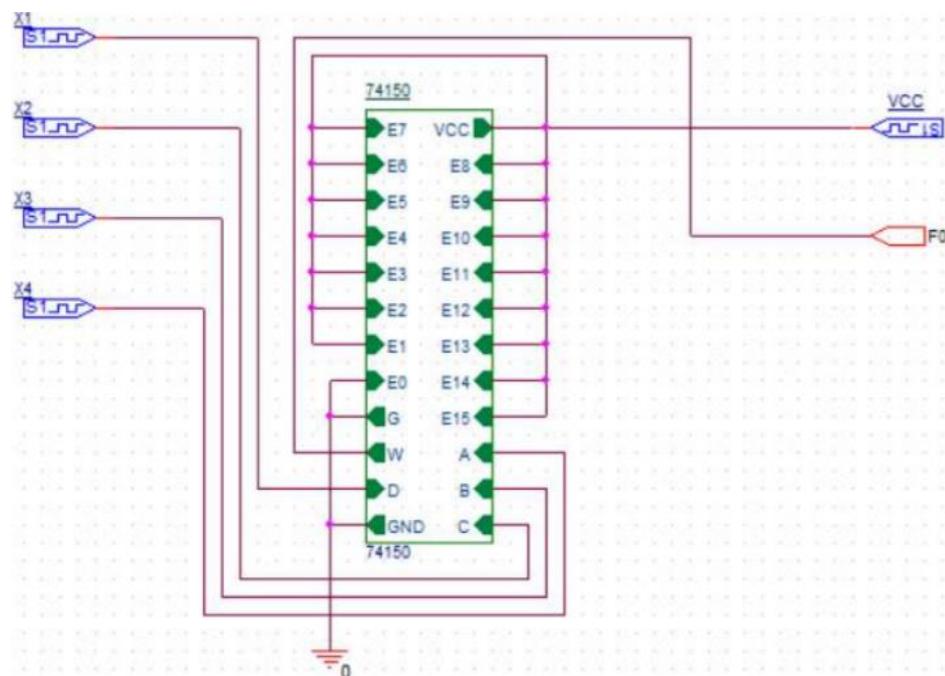
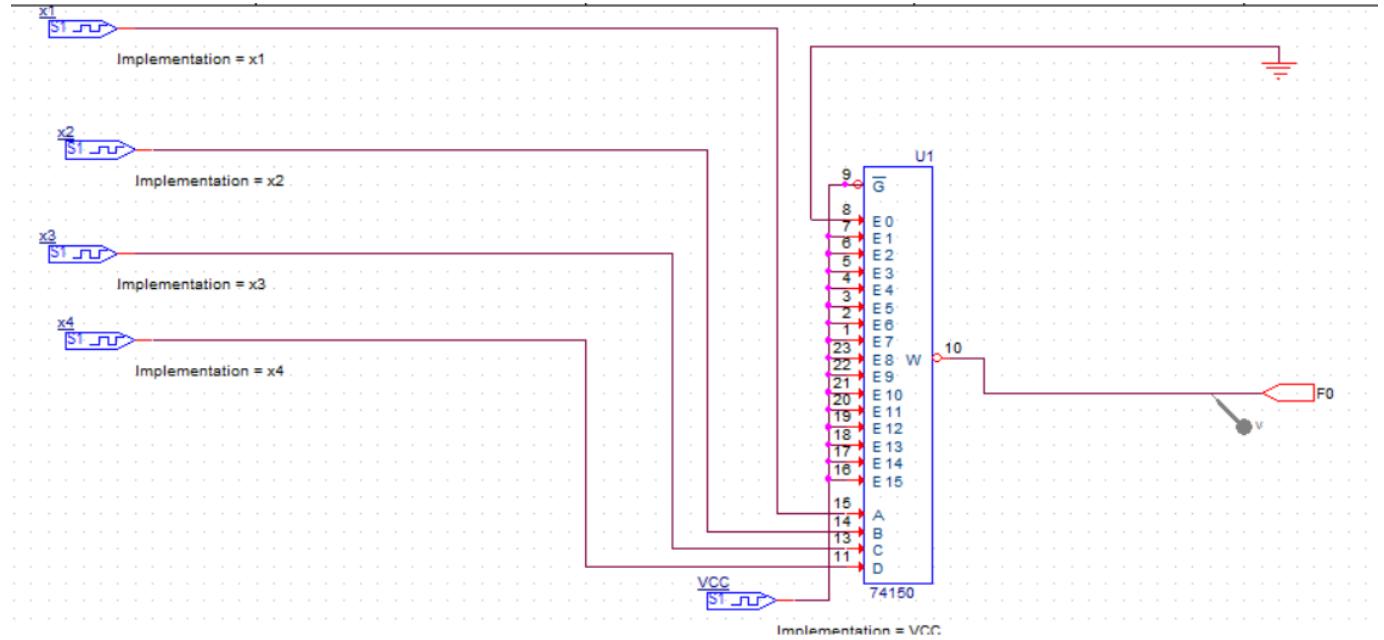


S-au folosit: 1x74151, 1x7404(-5)

### Implementarea cu 1MUX cu 16 căi

La implementarea cu multiplexoare de 16 căi variabilele funcției se vor aplica pe intrările de date. Deoarece circuitul are ieșiri active în 0 logic rezultă că pe intrările de selecție se vor lega la 1 logic termenii canonici care nu sunt prezenți în expresia funcției iar termenii canonici prezenți în expresia funcției se vor lega la 0 logic.

$$\overline{F_0}^{FCD} = \sum (1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15)$$

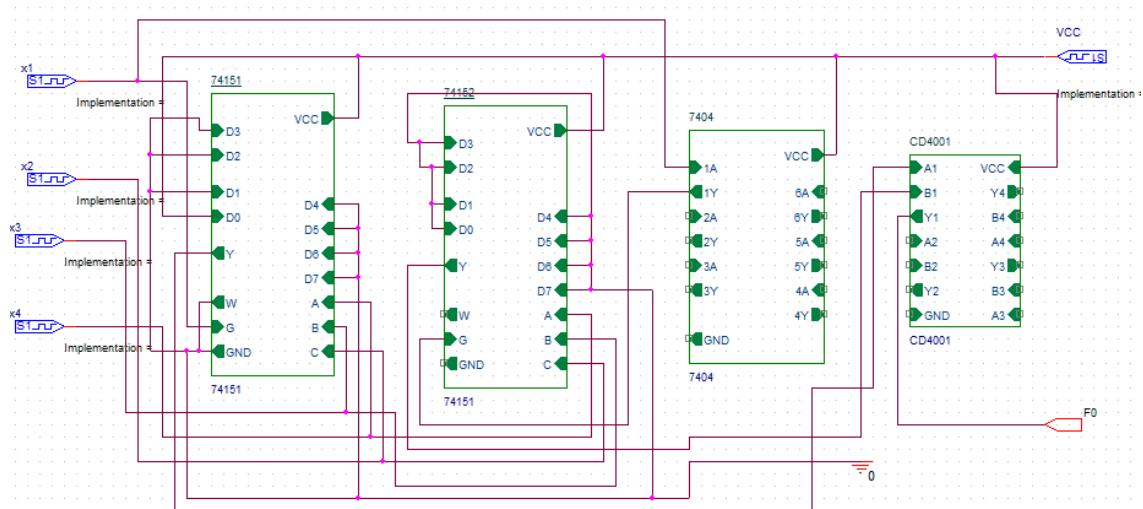
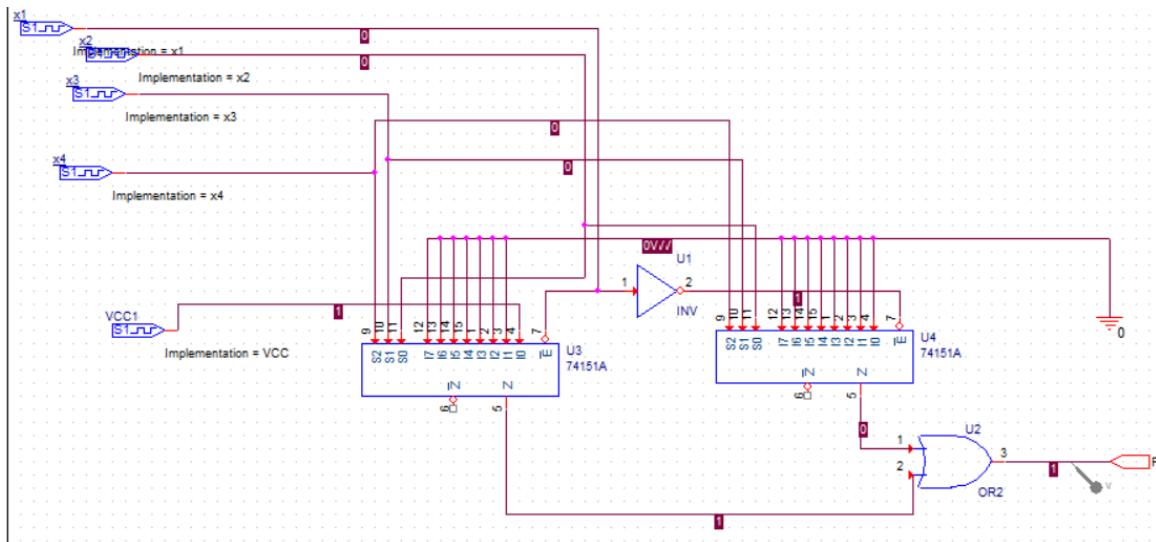


S-au folosit: 1x74150

## Implementarea cu 2 MUX cu 8 căi legate în paralel

La implementarea unei funcții logice cu două multiplexoare de 8 căi legate în paralel variabilele funcției de implementat se aplică astfel : prima variabilă (cea mai semnificativă ) se aplică pe intrarea de strobare la primul multiplexor aşa cum este ea iar la al doilea multiplexor negată, celelalte variabile aplicându-se în ordinea semnificativității lor pe intrările de date. Pe intrările de selecție se vor aplica semnale corespunzătoare echivalenților zecimali prezenți în expresia funcției urmând ca ieșirile celor două multiplexoare să fie legate într-o poartă SAU.

$$F_0^{\text{FCD}} = \overline{x_1} \overline{x_2} \overline{x_3} \overline{x_4} = P_0 = \sum (0)$$



S-au folosit: 2x74151, 1x7404(-5), CD4001(-3)

- **Să se implementeze ansamblul funcțiilor logice cu DMUX-uri de 8, respectiv 16 căi și porți logice ȘI-NU în prima variantă, respectiv ȘI în a doua variantă (se vor utiliza circuite integrate realizate în tehnologia CMOS).**

### Implementarea cu 1 DMUX cu 8 căi și o variabilă în exterior

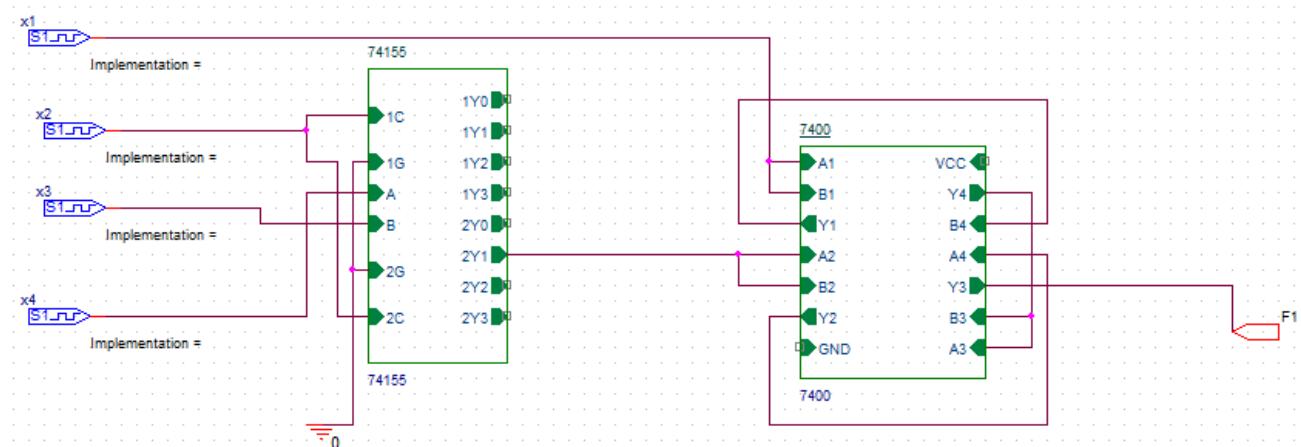
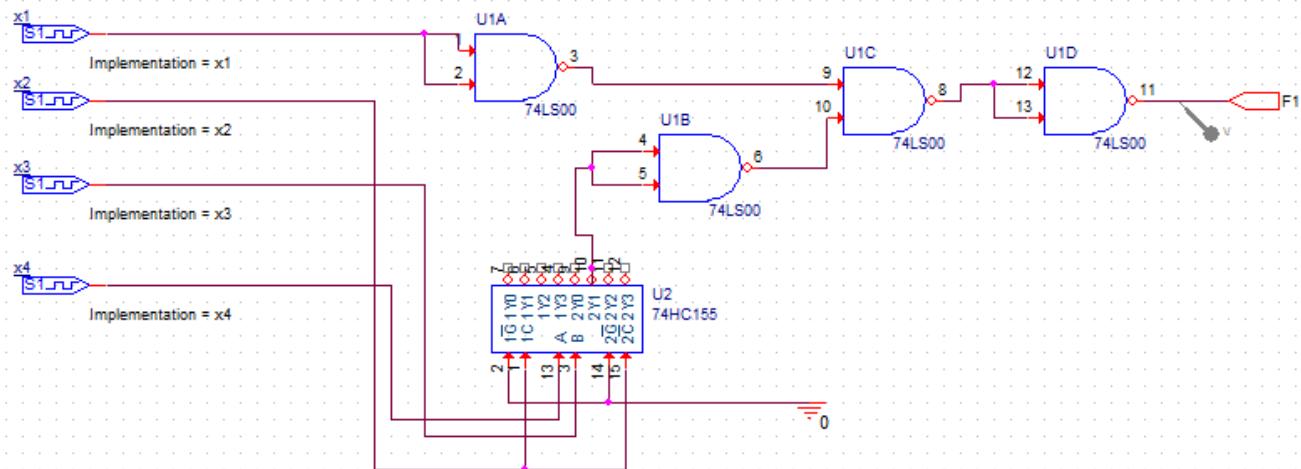
La implementarea unei funcții cu DMUX-uri de 8 căi și rețea de porți logice dintre cele n variabile ale funcției se separă n-1 având ponderile cele mai mici și se aplică pe intrările DMUX-ului. Astfel la ieșirile acestuia se obțin termeni canonici de n-1 variabile. Pentru a obține termeni canonici de n variabile trebuie adăugată variabila separată. Acest lucru se face în exteriorul DMUX-ului de obicei printr-o rețea de porți logice.

Deoarece ieșirile DMUX-ului sunt active în 0 logic rezultă că pentru realizarea nivelului SAU se folosesc porți logice ȘI-NU ale funcției negate.

	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	F <sub>0</sub>
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	*
9	1	0	0	1	*
10	1	0	1	0	*
11	1	0	1	1	*
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	*
15	1	1	1	1	*

$$F_1^{FCD} = \overline{x_1} \overline{x_2} \overline{x_3} x_4 = \overline{x_1} (\overline{x_2} \overline{x_3} x_4) = P_1 * \overline{x_1} \Rightarrow \text{semnal din } 2Y_1$$

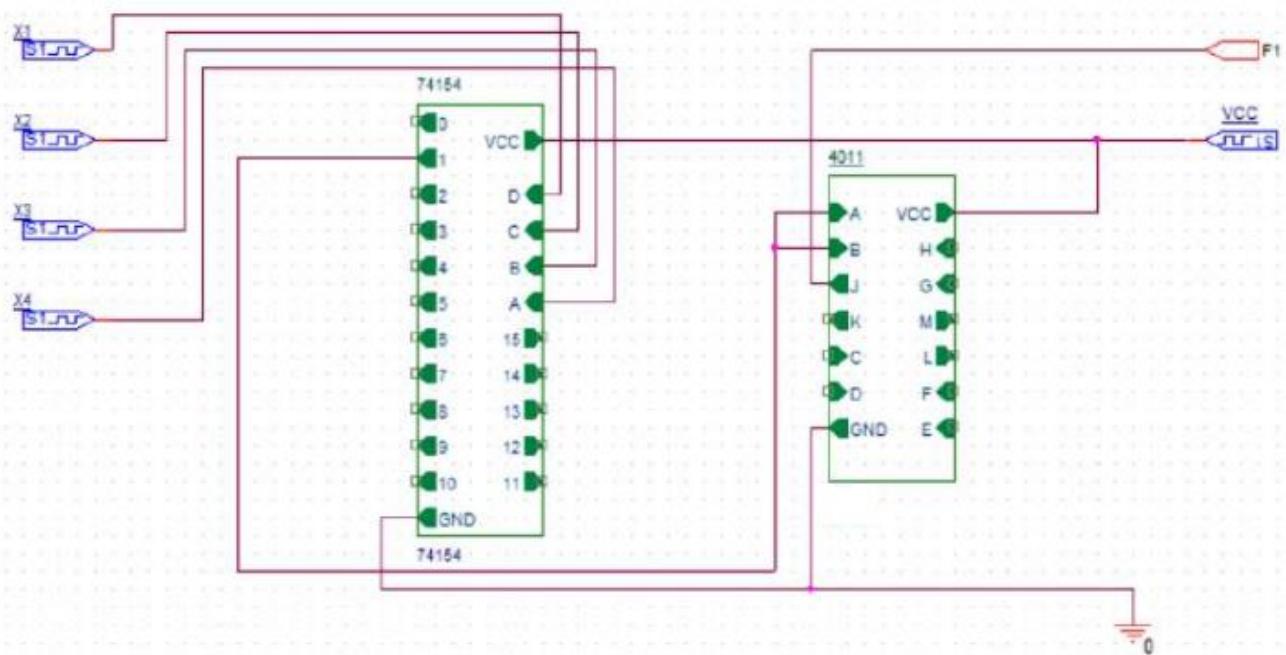
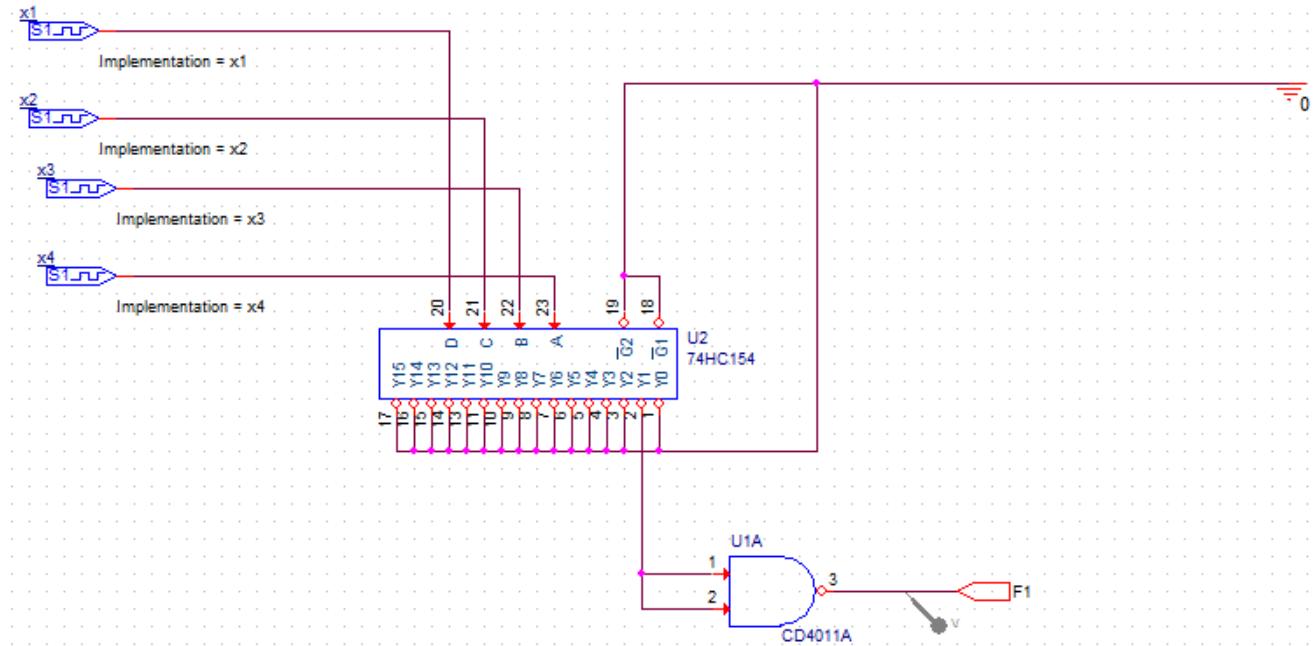
$$\overline{x_1}(\overline{x_2} * \overline{x_3} * x_4) = \overline{\overline{x_1}(\overline{x_2} * \overline{x_3} * x_4)}$$



S-au folosit: 1x74155, 1x7400

## Implementarea cu 1 DMUX 16 căi și porți logice ȘI-NU

$$F_1^{FCD} = \overline{x_1} \overline{x_2} \overline{x_3} x_4$$

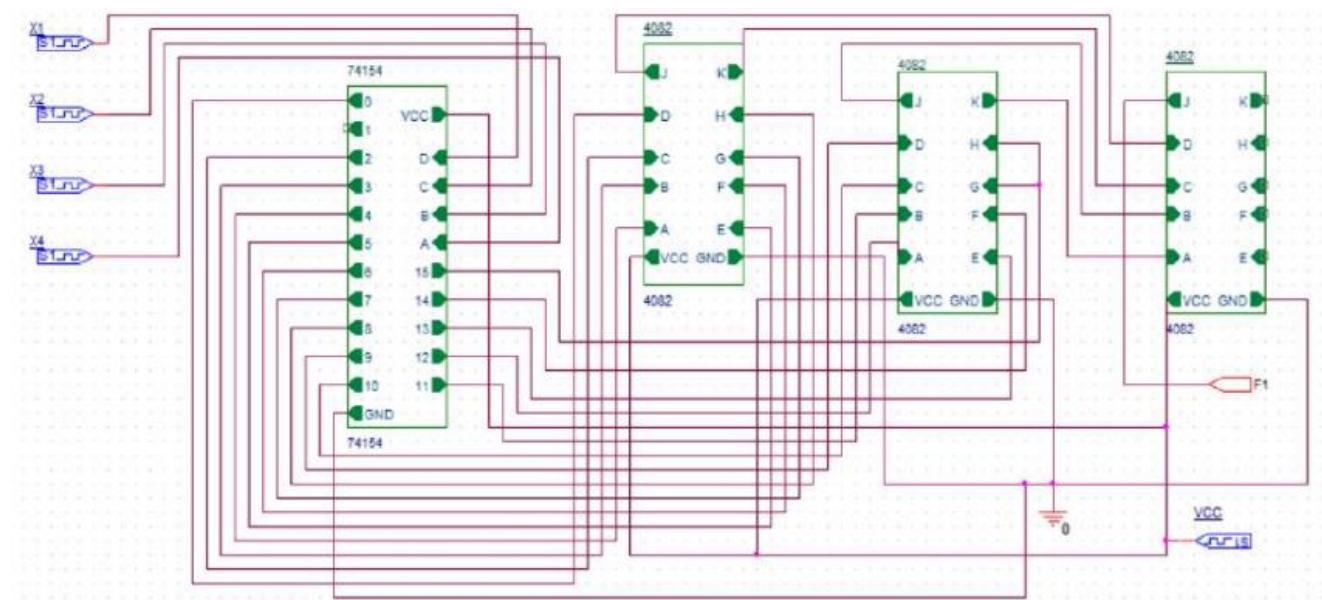
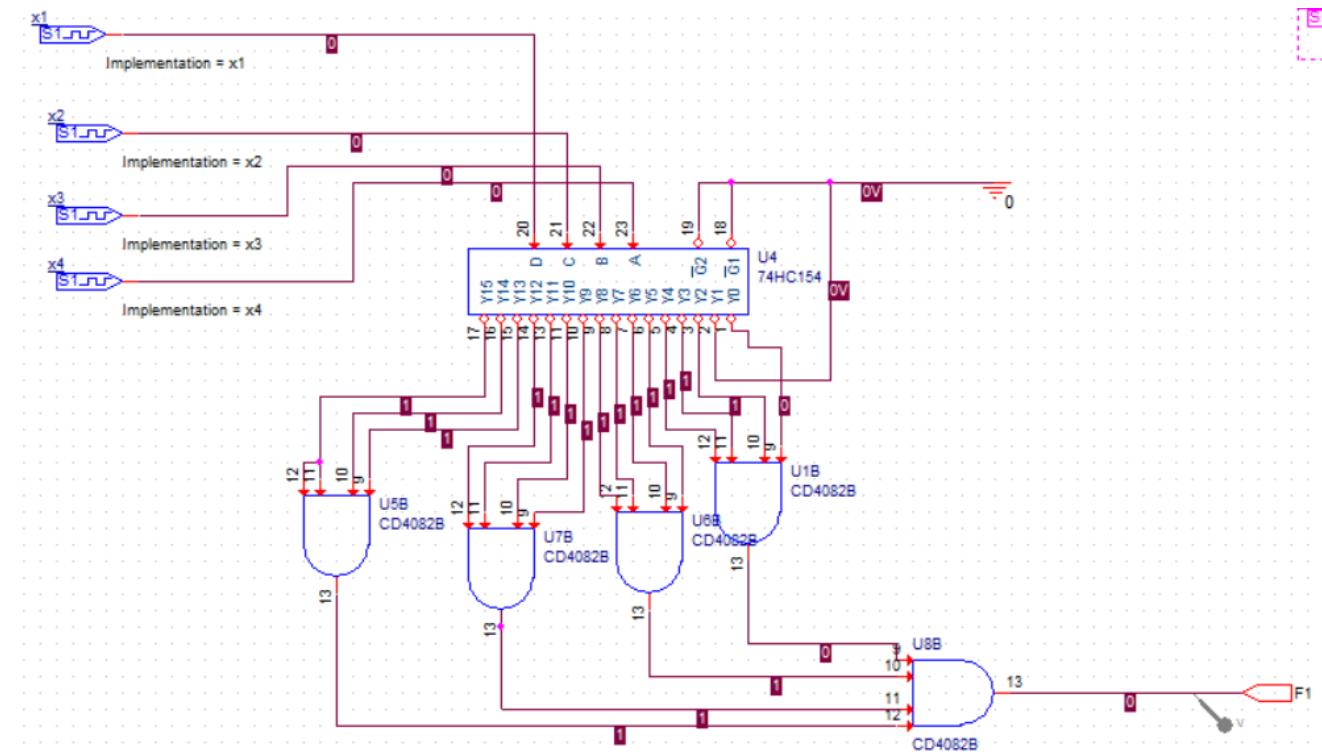


S-au folosit: 1x74154, 1XCD4011(-3)

## Implementarea cu 1 DMUX 16 căi și porti logice SI

$$\overline{F_1}^{FCD} = \sum (0, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15)$$

$$\bar{F}_1^{FCD} = \bar{P}_0 \bar{P}_2 \bar{P}_3 \bar{P}_4 \bar{P}_5 \bar{P}_6 \bar{P}_7 \bar{P}_8 \bar{P}_9 \bar{P}_{10} \bar{P}_{11} \bar{P}_{12} \bar{P}_{13} \bar{P}_{14} \bar{P}_{15}$$

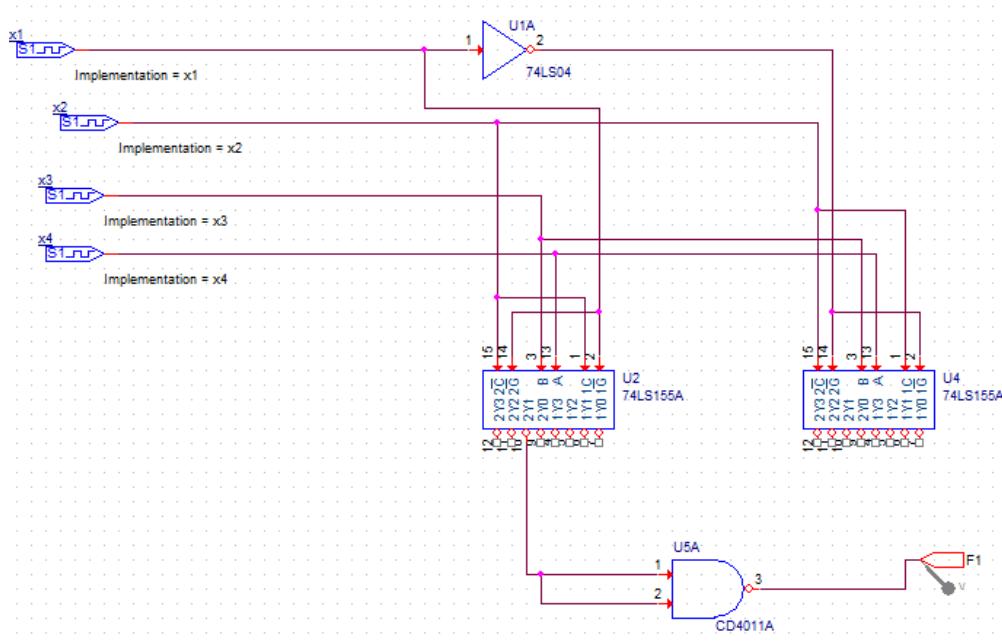


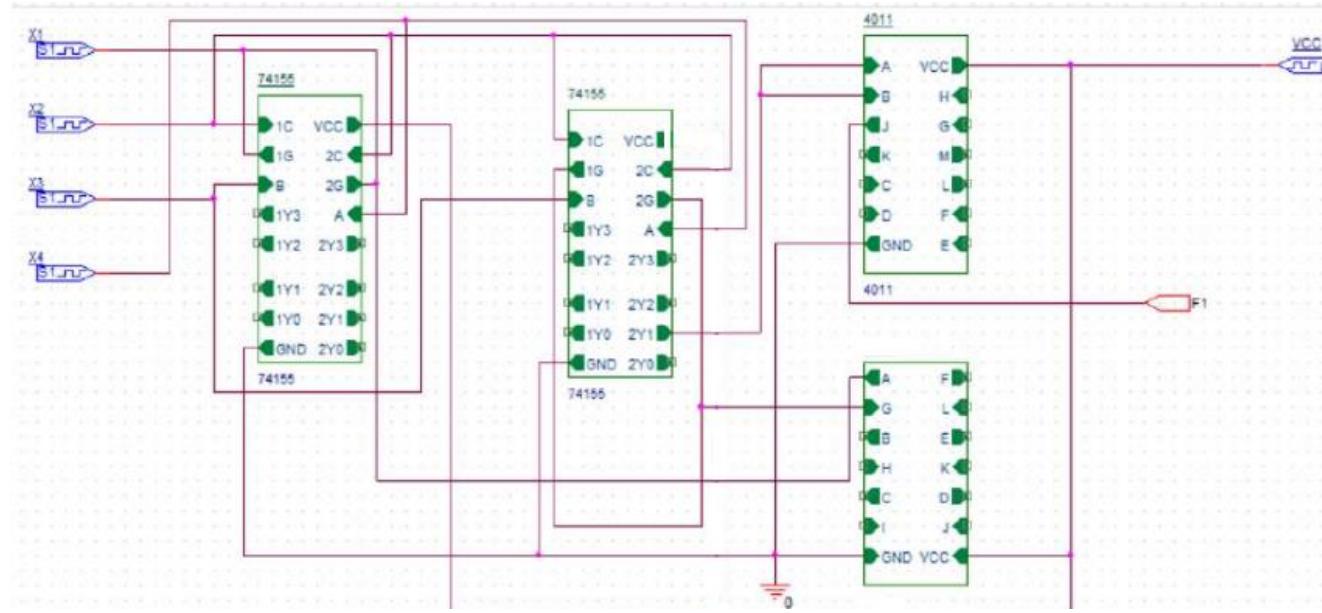
S-au folosit: 1x74154, 3Xcd4082

## Implementarea cu 2 DMUX cu 8 căi legate în paralel

La implementarea cu demultiplexoare de 8 căi, cele două demultiplexoare se conectează în paralel pe intrările de selecție, respectiv de strobare, cu variabila cea mai semnificativă aplicată pe intrările de strobare pentru primul demultiplexor aşa cum este ea și pentru al doilea negată. Deoarece demultiplexorul are ieșiri active în 0 logic rezultă că pentru a realiza însumarea termenilor canonici prezenți în expresia funcției se pleacă de la negata acestora aplicată prin porți řI-NU, conform regulilor lui De-Morgan.

$$F_1^{FCD} = \overline{x_1} \overline{x_2} \overline{x_3} x_4$$





S-au folosit: 2x74155, 1XCD4011(-3), 1X7404(-5)

- Să se calculeze timpii de propagare „intrare-ieșire”, pentru toate schemele logice obținute.

	Tehnologie	$t_{PLH}$ [ns]	$t_{PHL}$ [ns]	$I_{CCH} (TTL)$ $I_{OH} (CMOS)$ [mA]	$I_{CCL} (TTL)$ $I_{OL} (CMOS)$ [mA]	$P_d$ [mW]
74LS10	TTL	10	10	0.6	1.8	
74LS00	TTL	10	10	0.8	2.4	
74LS20	TTL	10	10	0.4	1.2	
CD4001A	CMOS	110	120	0.88	-0.7	
CD4002A	CMOS	125	125	1	-0.8	
CD4025A	CMOS	120	130	0.88	-0.7	
74LS151	TTL	27	18	5	-0.2	
74150	TTL	35	33	10	10	
74HC155	CMOS	20	20	-4.5	4.5	
74HC154	CMOS	35	35	4	4	
74LS04	TTL	10	10	1.2	3.6	
CD4082B	CMOS	125	125	0.88	-0.7	
CD4011	CMOS	60	60	0.5	-0.7	

Toți parametrii sunt măsuраți la temperatura de 25 de grade C și tensiunea de alimentare de  $V_{cc}=5V$ .

Pentru aflarea puterii disipate a integratelor în tehnologie CMOS am folosit formula:  $P_d = V_{cc}^2 \cdot f_i (C_p + C_L)$ , unde  $V_{cc}=5 V$ ,  $f_i=10^5$ ,  $C_L=50 \text{ pF}$ , iar  $C_p$  reprezintă puterea disipată și se găsește în datele de catalog ale integratelor.

$$74LS10: t_p = \frac{10+10}{2} = 10$$

$$74LS00: t_p = \frac{10+10}{2} = 10$$

$$74LS20: t_p = \frac{10+10}{2} = 10$$

$$CD4001A: t_p = \frac{110+120}{2} = 115$$

$$CD4002A: t_p = \frac{125+125}{2} = 125$$

$$CD40025A: t_p = \frac{120+130}{2} = 125$$

$$74LS151: t_p = \frac{27+18}{2} = 22.5$$

$$74150: t_p = \frac{35+33}{2} = 34$$

$$74HC155: t_p = \frac{20+20}{2} = 20$$

$$74HC154: t_p = \frac{35+35}{2} = 35$$

$$74LS04: t_p = \frac{10+10}{2} = 10$$

$$CD4082B: t_p = \frac{125+125}{2} = 125$$

$$CD4011: t_p = \frac{60+60}{2} = 60$$

$$F_0: t_p = 10+10 = 20 \text{ ns}$$

$$F_1: t_p = 10+10 = 20 \text{ ns}$$

$$F_2: t_p = 10+10 = 20 \text{ ns}$$

$$F_3: t_p = 10+10 = 20 \text{ ns}$$

$$F_4: t_p = 10+10 = 20 \text{ ns}$$

$$F_5: t_p = 10+10 = 20 \text{ ns}$$

$$F_6: t_p = 10+10 = 20 \text{ ns}$$

$$F_7: t_p = 10+10 = 20 \text{ ns}$$

$$F_8: t_p = 10 \text{ ns}$$

$$F_9: t_p = 10 \text{ ns}$$

Ansamblu ȘI-NU

$$t_p = 4*10 + 2*10 + 1*10 = 70 \text{ ns}$$

Ansamblu TTL-CMOS

$$t_p = 2 \cdot 10 + 2 \cdot 10 + 125 + 125 + 115 = 405 \text{ ns}$$

Pentru  $F_0$ :

$$\text{MUX 8 căi: } t_p = 22.5 + 10 = 32.5 \text{ ns}$$

$$\text{MUX 16 căi: } t_p = 34 \text{ ns}$$

$$\text{MUX 8 căi paralel: } t_p = 2 \cdot 22.5 + 10 + 115 = 170 \text{ ns}$$

Pentru  $F_1$ :

$$\text{DMUX 8 căi: } t_p = 20 + 10 = 30 \text{ ns}$$

$$\text{DMUX 16 căi SI-NU: } t_p = 35 + 60 = 95 \text{ ns}$$

$$\text{DMUX 16 căi SI: } t_p = 35 + 3 \cdot 125 = 410 \text{ ns}$$

$$\text{DMUX 8 căi parallel: } t_p = 2 \cdot 20 + 60 + 10 = 110 \text{ ns}$$

- Să se calculeze puterile disipate pentru toate schemele logice obținute.**

$$P_d = V_{CC} \cdot \frac{I_{OL} + I_{OH}}{2}$$

$$74LS10: P_d = 5 * \frac{0.6+1.8}{2} = 6 \text{ mW}$$

$$74LS00: P_d = 5 * \frac{0.8+2.4}{2} = 8 \text{ mW}$$

$$74LS20: P_d = 5 * \frac{0.4+1.2}{2} = 4 \text{ mW}$$

$$CD4001A: P_d = 25 * 10^5 (50+22) = 0,18 \text{ mW}$$

$$CD4002A: P_d = 25 * 10^5 (50+25) = 0.1875 \text{ mW}$$

$$CD40025A: P_d = 25 * 10^5 (50+25) = 0.1875 \text{ mW}$$

$$74LS151: P_d = 5 * \frac{5-0.2}{2} = 12 \text{ mW}$$

$$74150: P_d = 5 * \frac{10+10}{2} = 50 \text{ mW}$$

$$74HC155: P_d = 25 * 10^5 (50+53) = 0.2575 \text{ mW}$$

$$74HC154: P_d = 25 * 10^5 (50+88) = 0.345 \text{ mW}$$

$$74LS04: P_d = 5 * \frac{1.2+3.6}{2} = 12 \text{ mW}$$

$$CD4082B: P_d = 25 * 10^5 (50+25) = 0.1875 \text{ mW}$$

$$CD4011: P_d = 25 * 10^5 (50+20) = 0.175 \text{ mW}$$

$$F_0: P_d = 8+6 = 14 \text{ mW}$$

$$F_1: P_d = 8+6 = 14 \text{ mW}$$

$$F_2: P_d = 8+6 = 14 \text{ mW}$$

$$F_3: P_d = 8+6 = 14 \text{ mW}$$

$$F_4: P_d = 8+6 = 14 \text{ mW}$$

$$F_5: P_d = 8+6 = 14 \text{ mW}$$

$$F_6: P_d = 8+4 = 12 \text{ mW}$$

$$F_7: P_d = 8+4 = 12 \text{ mW}$$

$$F_8: P_d = 8 \text{ mW}$$

F<sub>9</sub>: P<sub>d</sub> = 8mW

Ansamblu ȘI-NU

$$P_d = 4*8 + 2*6 + 1*4 = 48 \text{ mW}$$

Ansamblu TTL-CMOS

$$P_d = 2*6 + 2*8 + 0.18 + 0.1875 + 0.1875 = 28.55 \text{ mW}$$

Pentru F<sub>0</sub>:

$$\text{MUX 8 căi: } P_d = 12 + 12 = 24 \text{ mW}$$

$$\text{MUX 16 căi: } P_d = 50 \text{ mW}$$

$$\text{MUX 8 căi paralel: } P_d = 2*12 + 12 + 0.18 = 36.18 \text{ mW}$$

Pentru F<sub>1</sub>:

$$\text{DMUX 8 căi: } P_d = 0.2575 + 8 = 8.2575 \text{ mW}$$

$$\text{DMUX 16 căi ȘI-NU: } P_d = 0.345 + 0.175 = 0.52 \text{ mW}$$

$$\text{DMUX 16 căi ȘI: } P_d = 0.345 + 3 * 0.1875 = 0.9075 \text{ mW}$$

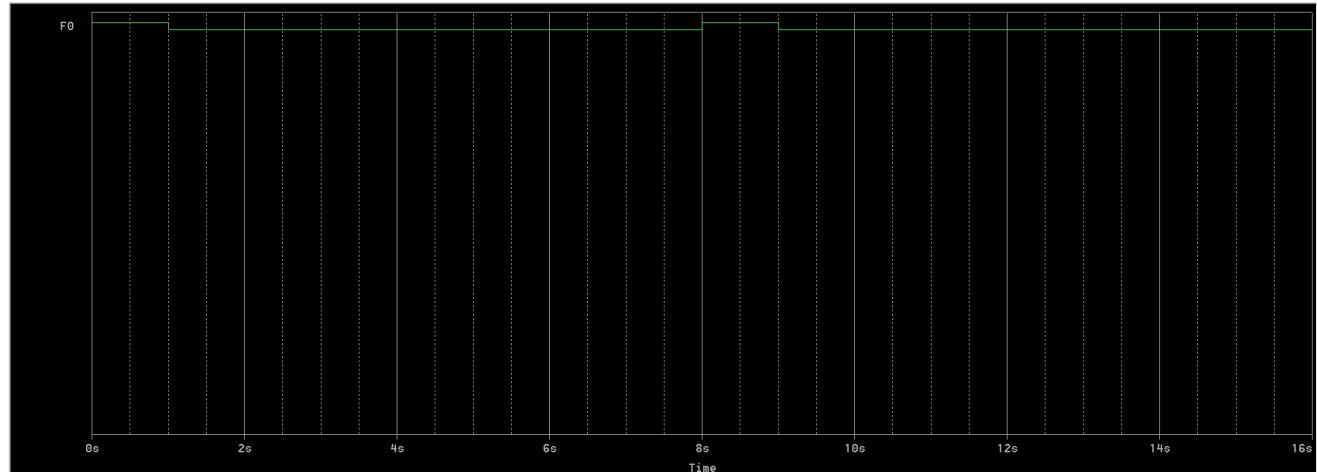
$$\text{DMUX 8 căi paralel: } P_d = 2 * 0.2575 + 0.175 + 12 = 12.69 \text{ mW}$$

- Să se compare soluțiile de implementare obținute.**

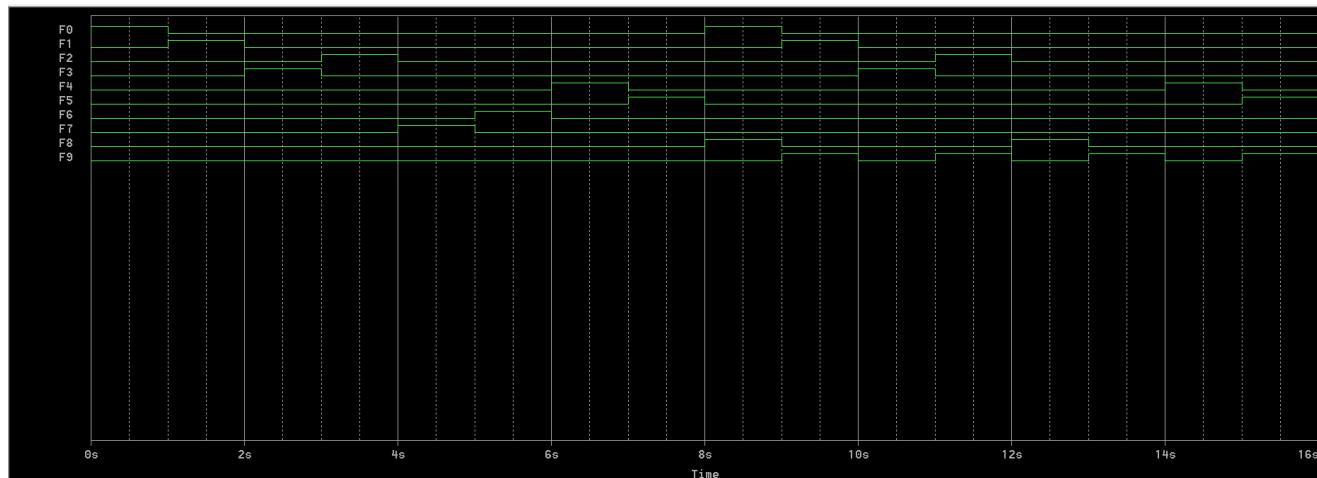
Din punct de vedere al complexității implementării schemei logice, cea mai puțin complexă este schema cu un DMUX de 16 căi și porți logice ȘI-NU sau schema cu un MUX de 16 căi și probabil și cele mai ieftine.

- **Se va face analiza, prin simulare, a tuturor schemelor logice obținute utilizându-se pachetul de programe OrCAD.**

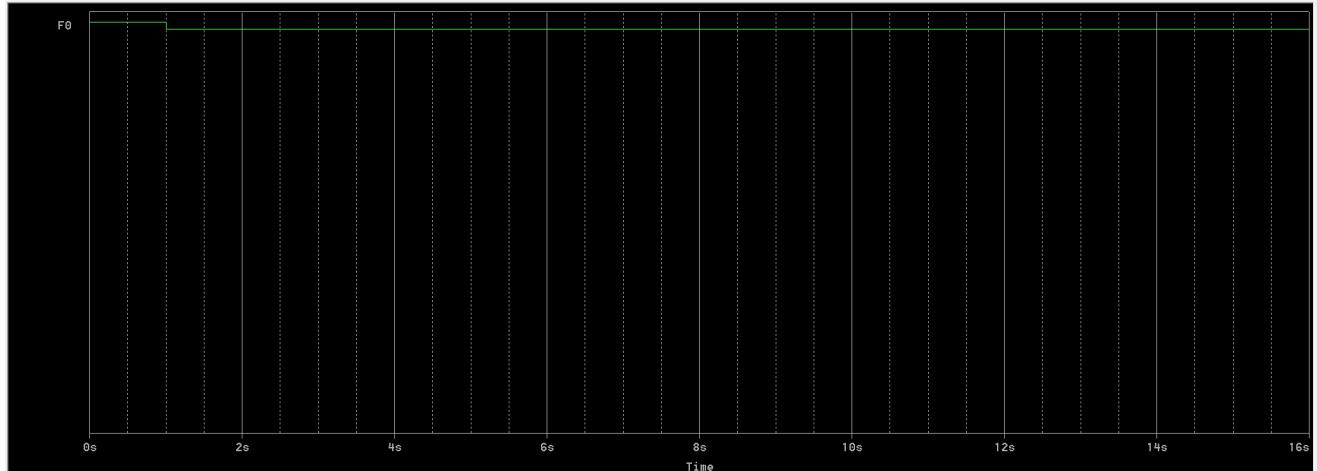
F0



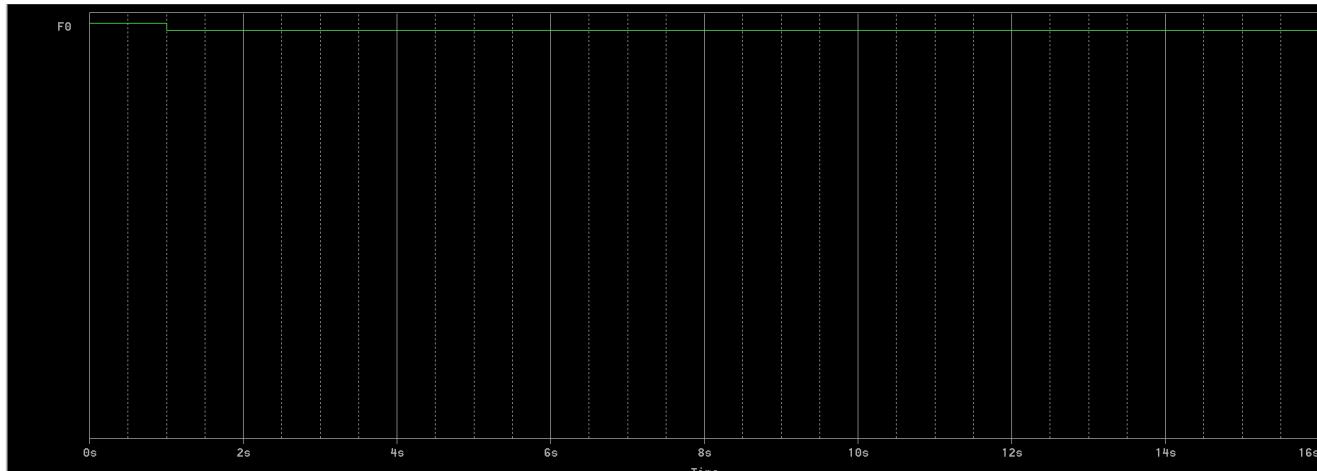
Ansamblu ȘI-NU



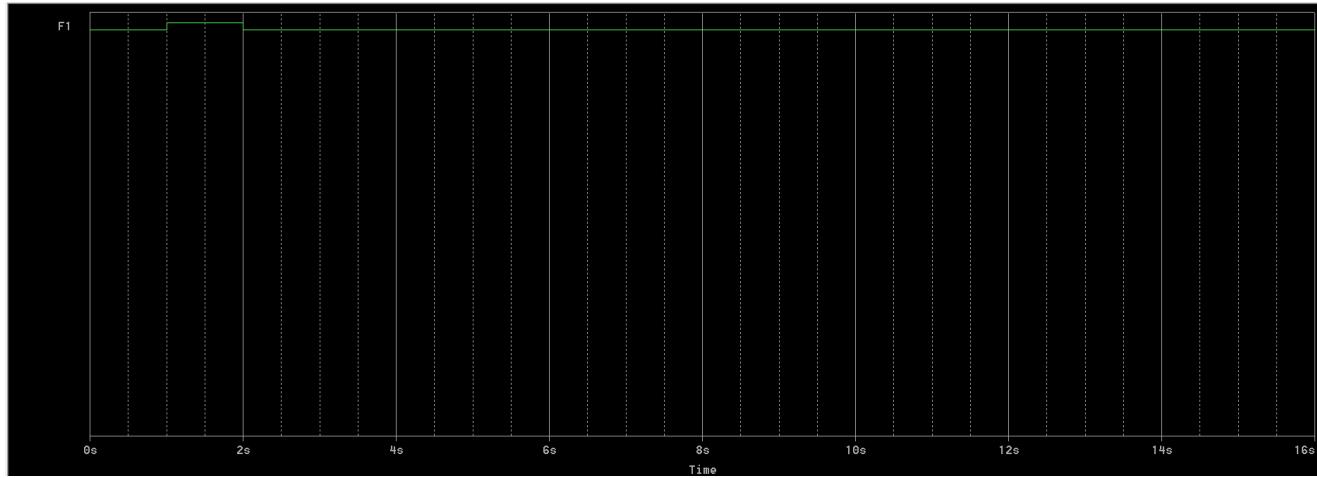
MUX 8 căi pentru  $F_0$



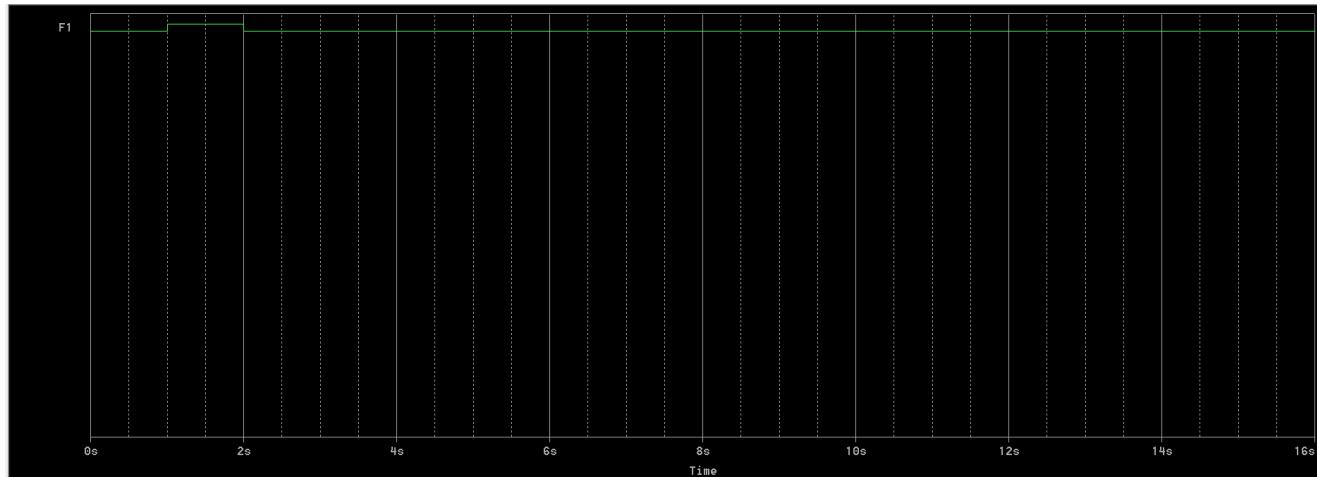
MUX paralel pentru  $F_0$



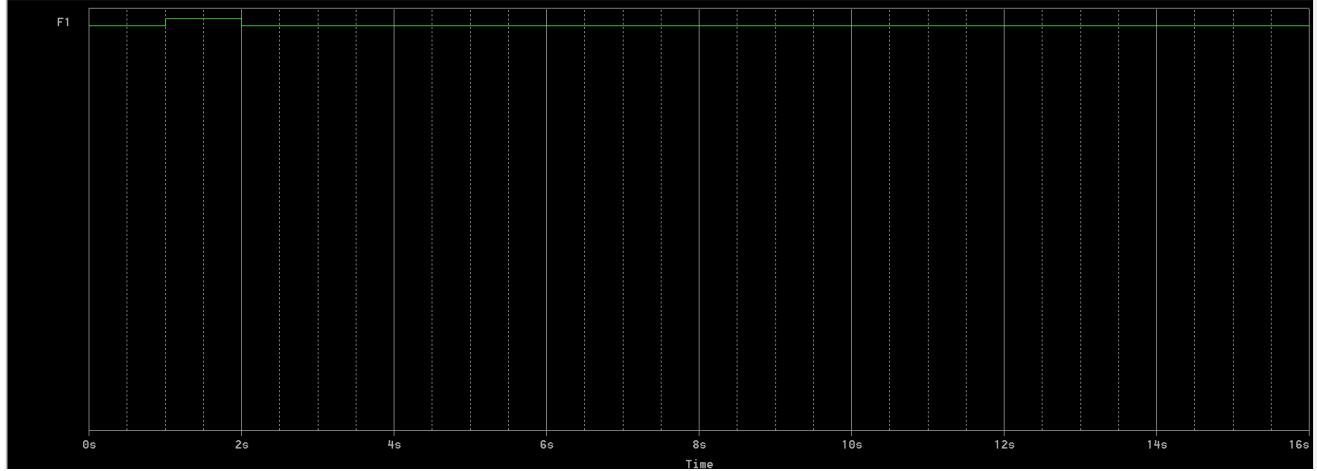
DMUX 8 căi pentru F<sub>1</sub>



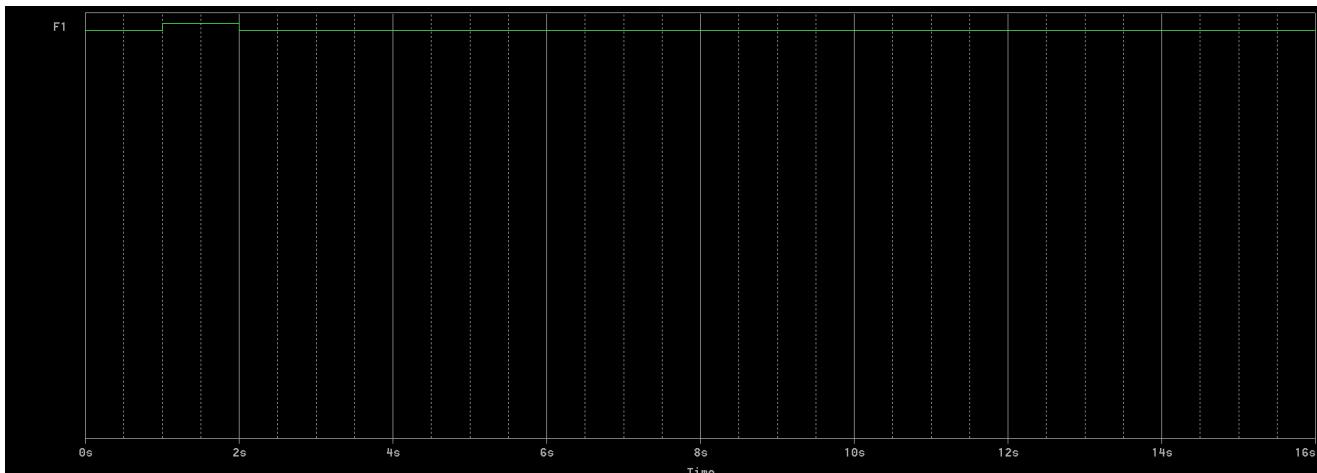
DMUX 16 căi ȘI-NU pentru F<sub>1</sub>



DMUX 16 căi řI pentru F<sub>1</sub>



DMUX 8 căi paralel pentru F<sub>1</sub>



## Bibliografie

1. Curs “Analiza și Sinteză Circuitelor Numerice 1”
2. <https://www.datasheetcatalog.com/>
3. <https://www.alldatasheet.com/>
4. <https://www.youtube.com/>