

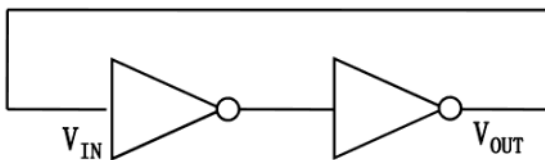
## 半导体储存电路

### 概述

目的：记忆二进制信号

- 1、有两个能**自行保持**的状态
- 2、可以被输入信号改变

总体思想：利用**正反馈**

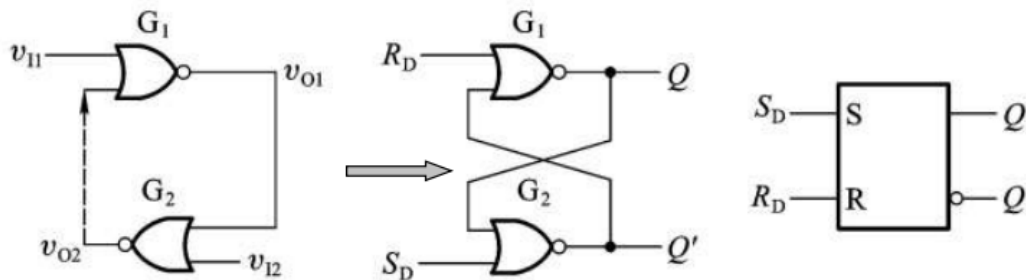


工作点位于0/1

问题：怎样改变/读取存储的数据

### SR锁存器

#### 一、电路结构与工作原理



两个首尾相连的**或非门**（与非门也可以构成SR锁存器，输入端自带反）

工作原理：S (set) R (reset)

- 当  $S = R = 0$  时，**Q保持**当前存储状态
- 当  $S/R$  其中一个为1时，无论之前的状态是什么，直接改变。
- 当  $S = R = 1$  时：
  - **Q与Q'同时为1**
  - 若再变为写入状态，则不影响
  - 若直接变为  $S = R = 0$  的状态，则所存储的信号**不确定**

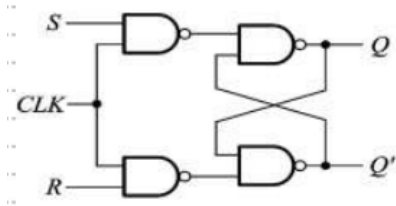
#### 二、动作特点

**任何时候，输入直接改变输出**

$S_D$	$R_D$	$Q$	$Q^*$
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	0⊗
1	1	1	0⊗

## 电平触发的触发器

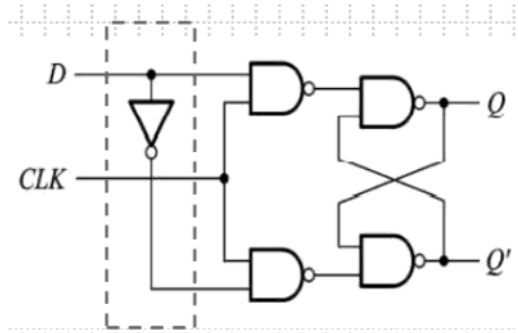
### 一、电路结构与工作原理



输入控制门 + 基本SR锁存器

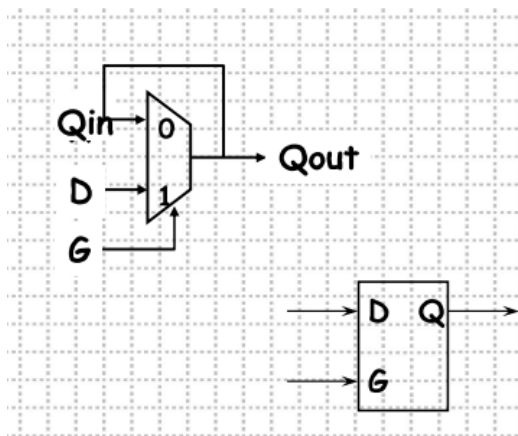
作用：只有CLK信号为1时，S/R信号才起作用；CLK为0时处于“关柜门状态”

## D触发器



为了避免SR同时为1的“脑短路”情况，将S与R用一个信号的原与反控制（代价：无法自行关柜门）

用MUX构建D触发器：



反馈的思想：G=0时，输出被反馈回输入，保持当前存储状态

G=1时，存储内容由D决定

电平触发器的问题：

当G输入为1时，电路中出现回环，触发器相当于透明 **柜门打开时间太长**

解决：**边沿触发**

采取**主从**结构

## 边沿触发的触发器

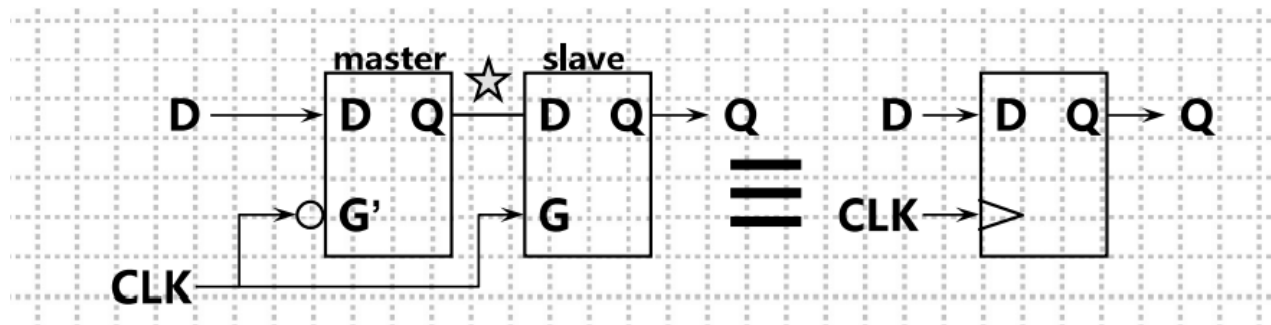
为提高可靠性，每个周期输出状态只改变一次

动作特点：

**仅在控制信号改变的边沿改变**

**与前、后的状态无关**

电路结构：



CLK信号的三角符号表示边沿触发，默认为上升沿；在前加反则为下降沿

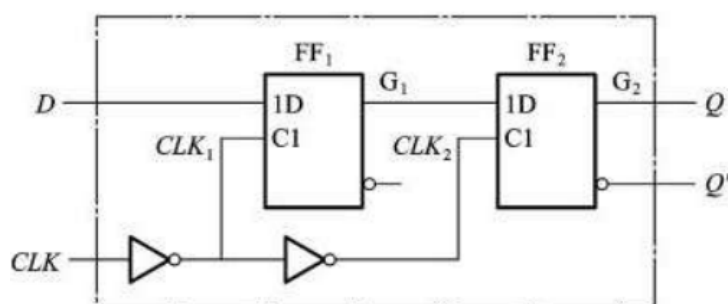
原理：

CLK为0时，主触发器打开，将D存入；

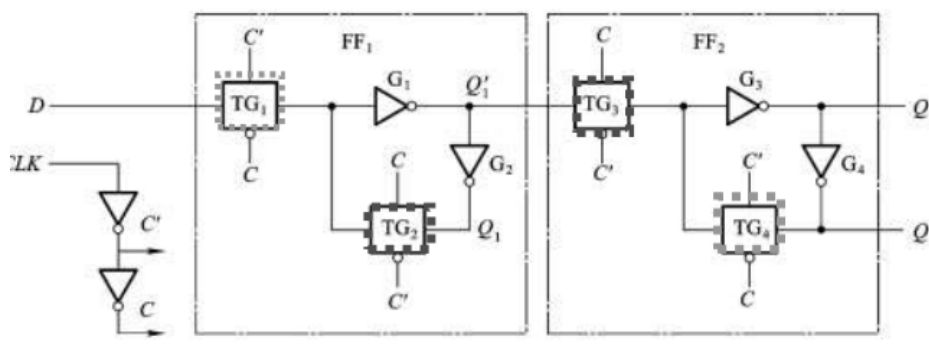
CLK为1时，主触发器关闭，从触发器打开，将主触发器存入的D保存并输出。

效果：仅在CLK信号由0→1时，输出改变；每个CLK周期输出只改变一次。

1、用两个电平触发的D触发器构成：



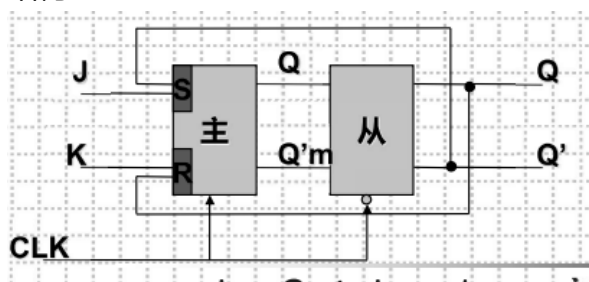
2、利用CMOS传输门构成D触发器



基本结构为首尾相连的反相器，利用传输门避免线与问题

## 脉冲触发的触发器

结构：

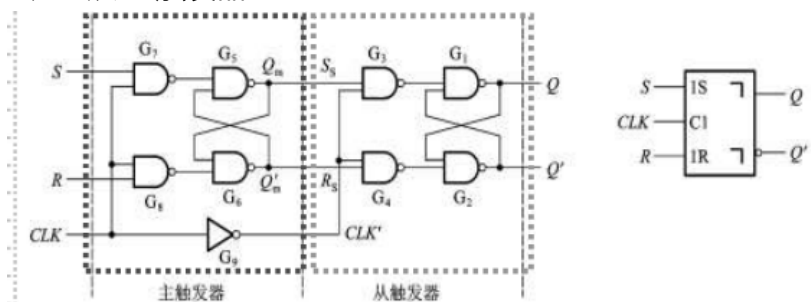


CLK信号为高电平时，主打开、从关闭，在下降沿翻转，输出改变  
动作特点：

- 1、CLK = 1时，主接收信号，从保持
- 2、下降沿时，从按主的状态反转。

**变化只发生在下降沿，但输出由CLK = 1期间主触发器最后的状态决定。**

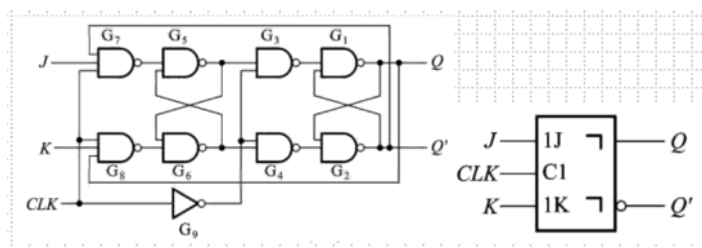
### 1、主从SR触发器



由于从触发器的控制信号取反，故在下降沿时从触发器打开并改变输出

### 2、主从JK触发器

解除S/R不能同等于1的约束



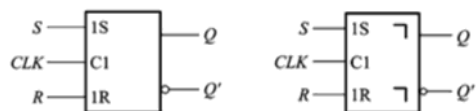
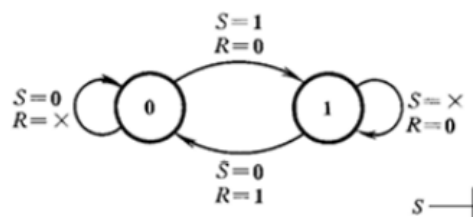
将Q与Q'引回输入端，当JK同为1时，输入信号被两次与非，完成**取反**功能（下降沿）：

- J=K=0：保持
- J=1, K=0：置1
- J=0, K=1：置0
- J=K=1：取反

## 触发器的逻辑功能及其描述方法

### 一、SR触发器

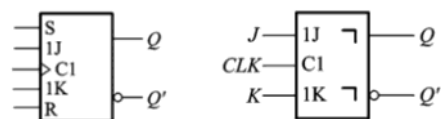
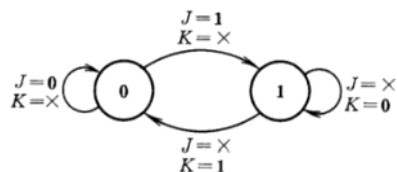
$Q^* = S + R'Q$   
 约束:  $SR = 0$



$S = 1$  置1  
 $R = 1$  置0  
 都为0保持

## 二、JK触发器

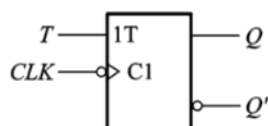
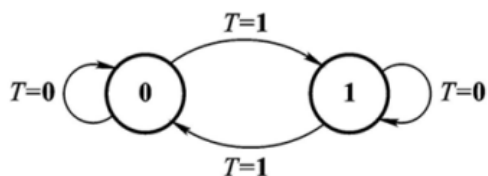
$Q^* = JQ' + K'Q$



$J = 1$  置1  
 $K = 1$  置0  
 都为0保持  
 都为1取反

## 三、T触发器

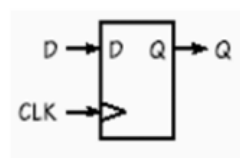
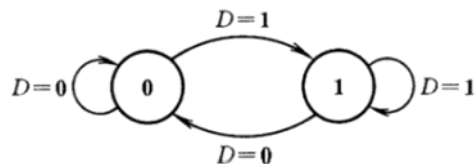
$Q^* = TQ' + T'Q$



$T = 1$  取反  
 $T = 0$  保持

## 四、D触发器

$Q^* = D$



$D = 1$  置1  
 $D = 0$  置0

## 触发器的动态特性

### 一、输入信号宽度

为保证触发器可靠触发，输入信号相对动作沿要**早来晚走**

### 1、保持时间 $T_{\text{setup}}$

输入信号应先于CLK的动作沿发生变化

### 2、保持时间 $T_{\text{hold}}$

CLK的动作沿到达后输入信号还要持续一段时间

## 二、传输延迟时间 $T_{\text{pd}}$

从CLK动作沿到达开始，直到触发器输出的新状态稳定建立所需的时间

由于过程中经过多个传输门， $T_{\text{pd}}$ 为最长路径的 $T_d$ 之和。

## 三、最高时钟频率

由于触发器在连续反转过程中存在上述时间上的制约，因此存在最短的时间周期

$T_{\text{wl}}$  (时钟信号低电平时间) =  $T_{\text{setup}}$

$T_{\text{wh}}$  (时钟信号高电平时间) =  $T_{\text{hold}} + T_{\text{pd}}$

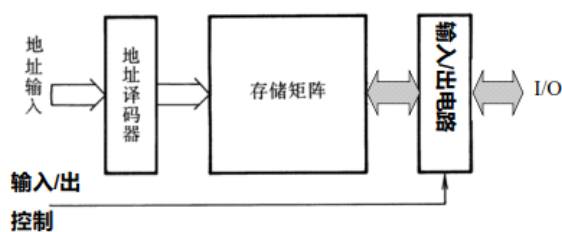
时钟信号一般占空比为50%，因此取二者更大者为 $T/2$ ，可求得最高频率

## 存储器

能储存大量二值信息的器件 (每一位都是本章的一个存储单元)

单元数庞大，输入输出引脚有限

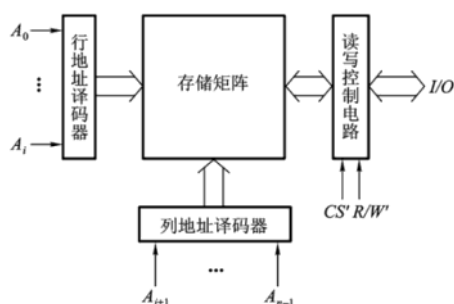
一般结构：



## 随机存储器RAM (随机指可以随意的读或写)

### 静态随机存储器 (SRAM)

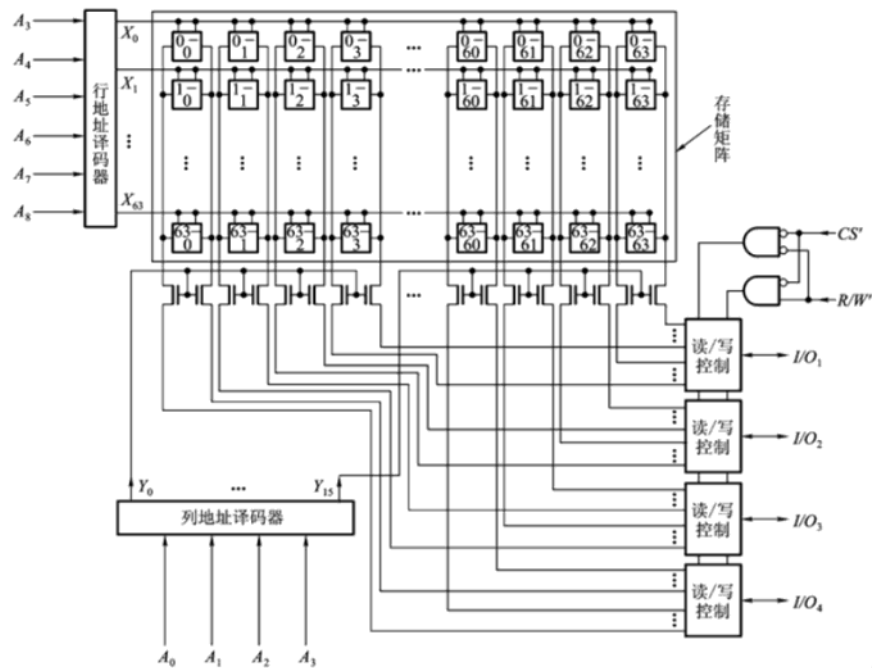
#### 一、结构与工作原理



共能存储  $n$  bit 的信息，通过行列地址译码器读取某一行、某一列的某位元素

$R/W'$  信号为读写信号，1=读，0=写

$CS'$  为片选输入选，0 = 正常工作，1 = 高阻态，不进行读写



对于图示SRAM:

共4个IO端, 故每一次读取RAM中的8bit数据 (**位数**)

行列译码器地址位数共10位, 故共1024个地址 (**字数**)

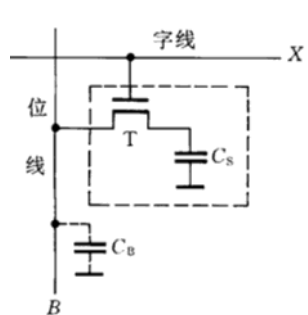
一共存储8\*1024bit的内容

## 动态随机存储器 (DRAM)

利用电容存储电荷

省MOS管

由于电容较小, 而漏电流存在, 故需要不断检查电容值并补充电量, 称为刷新。

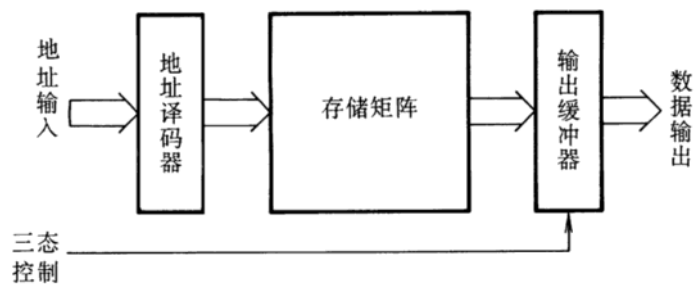


## 只读存储器ROM

存储某些固定不变的内容, 只读不写, 掉电不消失

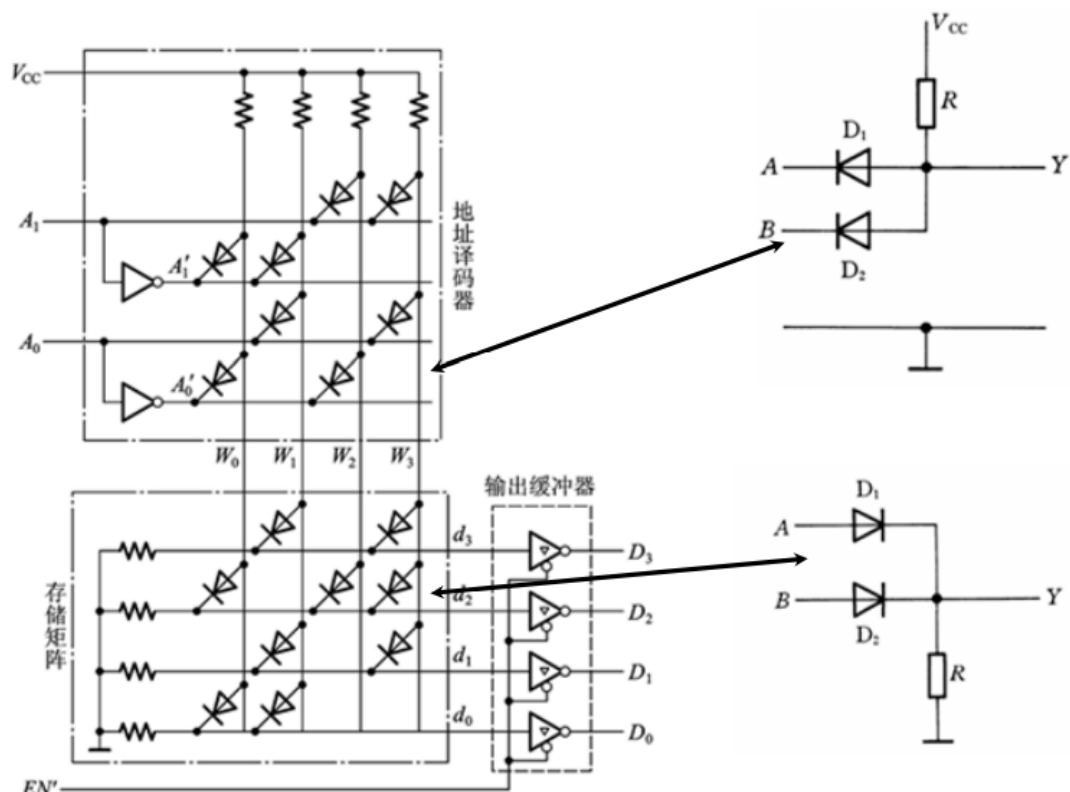
对于任意输入, 有确定输出 (本质上就是组合逻辑电路)

结构:



存储矩阵中本质上就是实现可编程的组合逻辑电路

掩模ROM电路结构：



二极管矩阵实现：

上方为二极管与阵列，生成**最小项**

下方为或阵列，将最小项用或连接，以此完成组合逻辑的搭建。

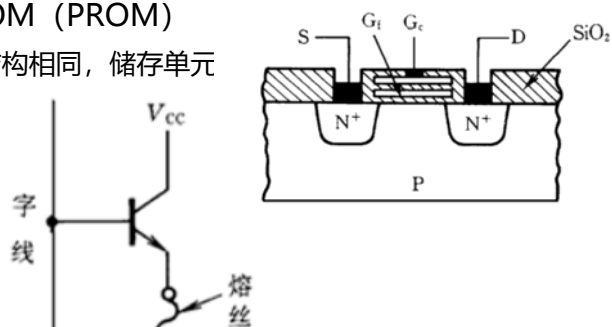
如 $W_0 = A_1' A_0'$ ， $D_3 = W_0 + W_3 = A_1' A_0' + A_1 A_0$ 。

电路特点：

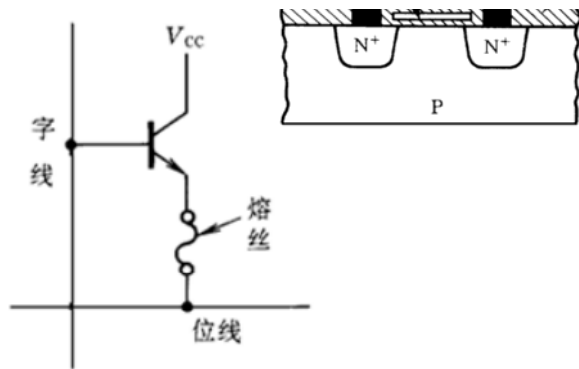
出厂时即固定，不能更改；适合大量生产，便宜。

可编程ROM (PROM)

总体结构相同，储存单元





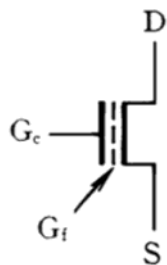


通过熔断不用的熔丝完成编程  
仍为一次性编程，不能改写

## 可擦除的可编程ROM (EPROM)

储存单元进一步改变

### 一、紫外线擦除PROM:



$G_c$ : 控制栅

$G_f$ : 浮置栅

$G_f$ 上无电荷时，正常NMOS； $G_f$ 上充负电荷时， $G_c$ 为高电平时仍不导通（类似熔断）

写入（对不用的MOS充电）：雪崩注入，DS间加高压， $G_c$ 上加高压脉冲，电子穿过二氧化硅聚集在 $G_f$ 上。

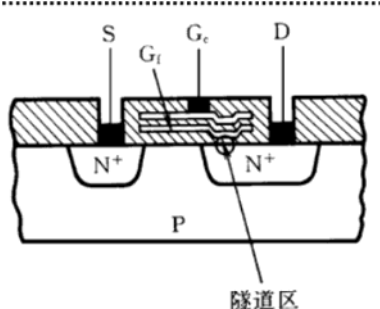
擦除（泄放）：通过照射产生电子-空穴，提供通道。

问题：操作不便，时间太久

### 二、电可擦除可编程ROM (EEPROM Electricity - Erase able - Program able - ROM)

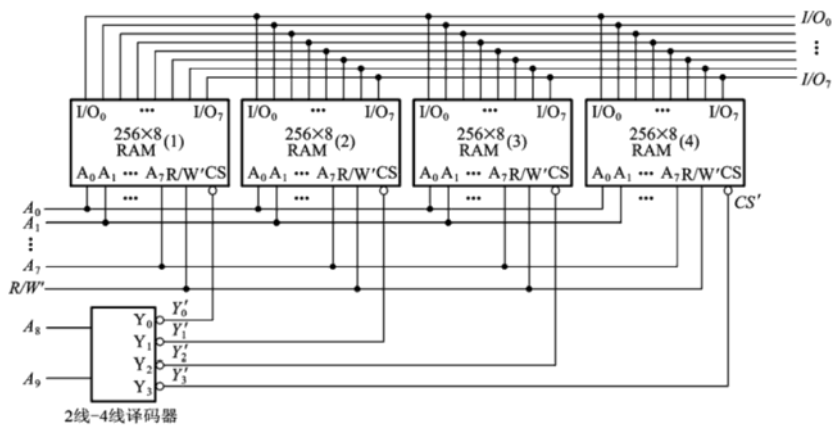
问题的本质原因为泄放方法

改进：



$G_f$ 与D间由隧道区，二氧化硅层很薄，场强较大时电子会发生隧穿。





I