

第四章 组合逻辑电路

数字电路 $\left\{ \begin{array}{l} \text{组合逻辑 (Combinational Logic Circuit) + 存储电路 (第五章)} \\ \text{时序逻辑 (Sequential Logic Circuit) (第六章)} \end{array} \right.$

组合逻辑电路特点：从功能上：任意时刻输出仅取决于该时刻输入
(一定有输入或输出) 从电路结构上：不含记忆(存储)元件，不含反馈(无回路)

一、组合逻辑电路基本设计方法

1. 逻辑抽象 \rightarrow 针对实际问题进行建模，确定逻辑变量个数及逻辑表达式个数
2. 写出逻辑函数式 \rightarrow 一般通过列写真值表方法，以此导出最简与或式或其它是要求的开式
3. 选择合适器件实现 \rightarrow 若是简单问题，可通过基本门电路实现，若为复杂电路则可用大型元件实现

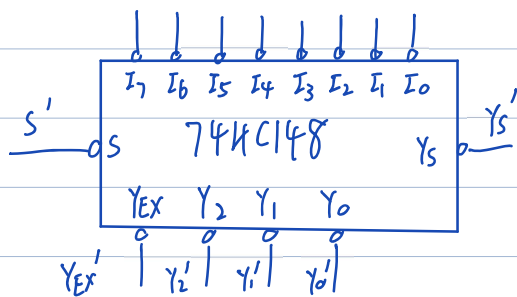
二、常用逻辑电路(中型器件) \star 注意元件扩展端使用方法

1. 编码器：将输入的每个高/低电平信号变成对应的二进制代码

① 普通编码器：任何时刻只允许输入1个编码信号(书P153)

② 优先编码器：同一时刻允许有多个输入，只对最高优先级输入编码(书P154)

8-3 编码器 74HC148



扩展端功能：S' 选通端 为0工作，为1输出皆为高电平

$Y_5' = 0$ 表示电路在工作且无输入

$Y_{EX}' = 0$ 表示电路在工作且有输入

Y_5' 和 Y_{EX}' 可用于扩展编码

二-十进制优先编码器 74HC147与74HC148类似

\star 2. 译码器：将每个输入的二进制代码译成对应的输出高/低电平

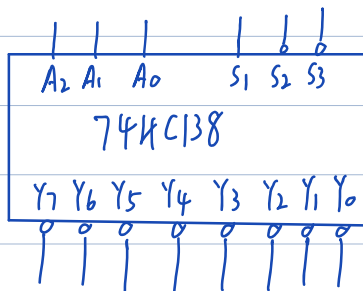
\hookrightarrow 一次产生所有最小项，可以由此实现用最简与或式搭建的逻辑表达式

① 二极管与门阵列3线-8线译码器 (书P157)

优点: 设计简单易实现

缺点: 输入电阻较低而输出电阻较高; 由于二极管的压降导致输出高、低电平发生偏移

② 74HC138 (书P159)

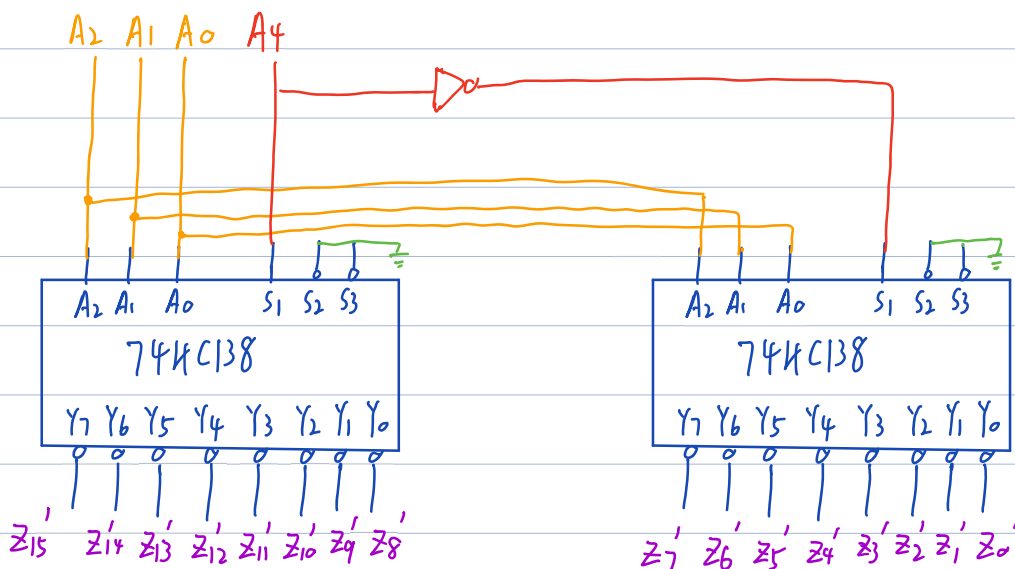


扩展端功能: $S_1=1$ $S_2'+S_3'=0$ 时正常工作

$Y_7 \sim Y_0$ 对应于 $m_7 \sim m_0$

因此在输出端口加入适当逻辑门电路即可组成逻辑函数表达式 (注意74HC138输出为反变量)

级联示例: 4-16译码器



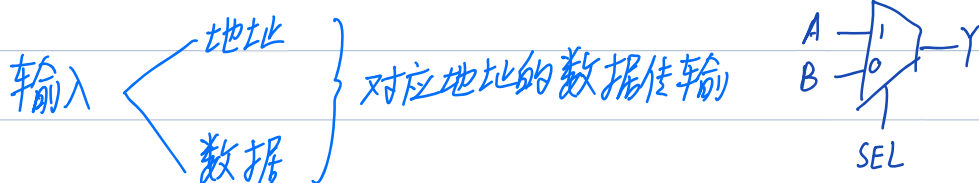
二-十进制译码器 74HC42 与 74HC138 类似

3. 显示译码器 (书P162)

注意扩展端 灭灯测试输入 LT' 灭零输入 RBI' 灭灯输入/灭零输入 BI'/RBO' 功能及如何通过级联实现具有灭零功能的多位显示器 (书P169)

★ 4. 数据选择器

$$Y = ASEL + BSEL'$$



由数据选择器的逻辑表达式可知，若认为数据输入端和地址输入端同质，则可以认为数据选择器实现了一个 $n+1$ 变量的逻辑函数 (n 为地址位数)

注：与译码器可以一次性产生所有最小项，然后通过门电路组合生成任意多个逻辑表达式不同，由数据选择器可以在不附加其它门的前提下产生唯一表达式

5. 加法器 (书 P172)

① 半加器 (不考虑进位)

$$\begin{cases} S = A \oplus B \\ CO = AB \end{cases}$$

② 1位全加器

$$\begin{cases} S = (A'B'CI' + AB'CI' + A'BCI + ABCI')' \\ CO = (A'B' + B'CI' + A'CI')' \end{cases}$$

③ 多位加法器

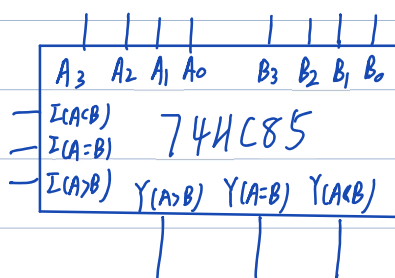
串行：基于递推原理 结构简单但速度慢 (有传输延迟)

超前进位：速度快 (每一位进位和最后进位同时产生) 但电路复杂

6. 数值比较器 (书 P177)

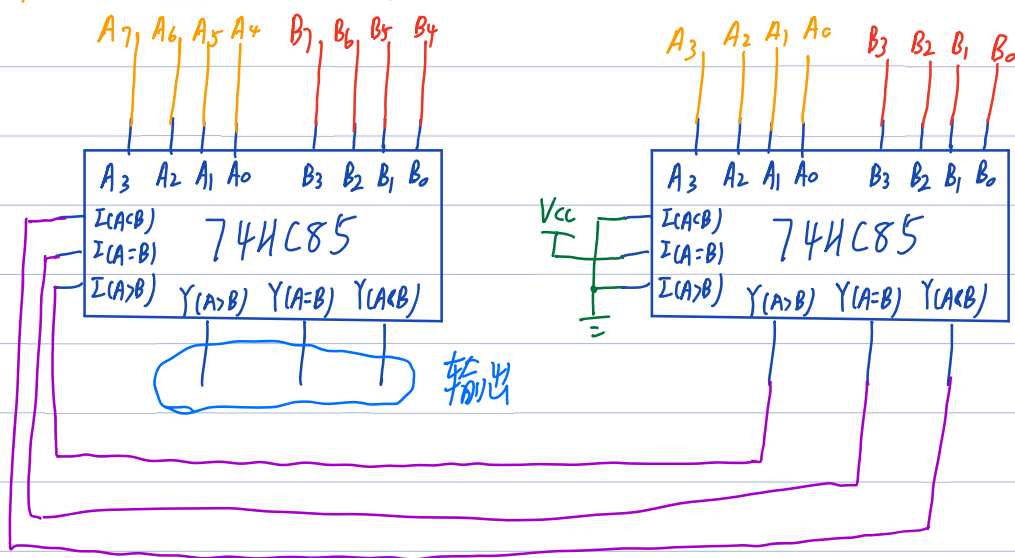
对两个输入数字从高位开始向低位逐位比较，只有在高位相等时才需比较低位

74HC85 (书 P179)



扩展端 $I(A<B)$, $I(A=B)$, $I(A>B)$ 为低位比较结果

级联示例：8位数值比较器



三、组合逻辑电路中的竞争—冒险 → 因输入“竞争”导致输出产生尖峰脉冲的现象

消除方法：① 接入滤波电容 (C不宜过大, 否则影响电路动态特性)

② 引入选通脉冲

③ 添加冗余项 (通过引入额外逻辑式避免卡诺图中出现相切现象)