

数电第3章总结

2021年10月12日 14:42

第三章 门电路

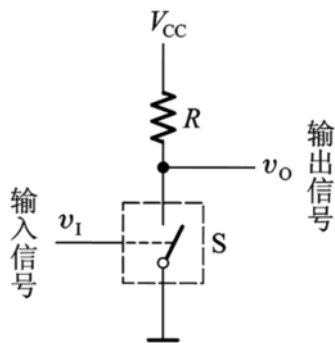
基本定义：

实现基本运算，复杂运算的单元电路。

高电平表示1、低电平表示0：**正逻辑**

反之则为**反逻辑**

获得高低电平的基本原理：



开关S受输入信号 v_1 的控制，从而控制输出1、0。

问题：**R的取值？**

输出1的时候小一点，输出0的时候大一点。**矛盾！**

解决：**半导体二极管&晶体管。**

半导体与PN结：

1、本征半导体（纯净、晶体）：

如硅、锗等四价原子，形成共价键。在**热运动**作用下部分电子脱离共价键，形成一个**自由电子**与一个**空穴**。二者作为载流子参与导电。

特点：两种载流子导电、导电性差，且随温度升高而增强（绝对零度下不导电）。

2、杂质半导体：

在四价元素中参杂入五价、三价元素。使其在形成共价键的同时即产生自由电子/空穴。

杂质半导体主要**靠多数载流子导电**。掺入杂质越多，多子浓度越高，导电性越强（与温度关系不太大），实现**导电性可控**。

在掺入五价元素的半导体中，形成较多自由电子（多子），由**热运动**产生少量空穴（少子）。

称为**N型半导体**（主要导电的电荷为Negative）

在掺入三价元素的半导体中，形成较多空穴（多子），由**热运动**产生少量自由电子（少子）。

称为**P型半导体**（主要导电的电荷为Positive）

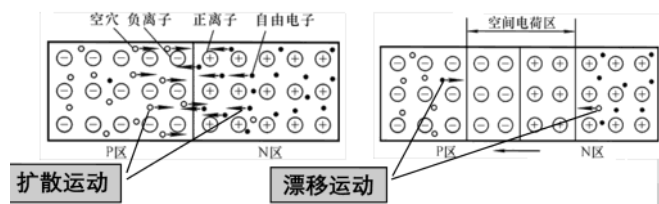
3、PN结的形成

在P型半导体与N型半导体的交界处，由于电荷的**浓度差**，P区与N区的多子向对方移动（**扩散运动**），在交界处中和，从而形成**空间电荷区（耗尽层）**。

在形成的空间电荷区中存在又N区指向P区的**电场**。这一电场阻碍多子的扩散，但有利于少子在这一电场的

作用下向对方移动（**漂移运动**）。

扩散运动与漂移运动达到**动态平衡**时，形成PN结。



4、PN结的单向导电性

1、PN结外加正向电压：

耗尽层变窄，扩散运动加剧，在外电场的作用下形成**扩散电流（多子）**，PN结**导通**。

2、PN结外加反向电压：

耗尽层变宽，阻止扩散，利于漂移运动，形成**漂移电流（少子）**。由于电流很小，故可近似为其介质。

3、PN结的击穿：

当外加的反向电压过大时，可能出现两种击穿现象：

1) 雪崩击穿：

由于外电场过强，通过空间电荷区时**漂移运动能量过大**，导致在撞击中性原子时产生新的电子-空穴对，而这些载流子又会在电场的作用下继续获得能量继续撞击其他原子，类似雪崩。

2) 齐纳击穿：

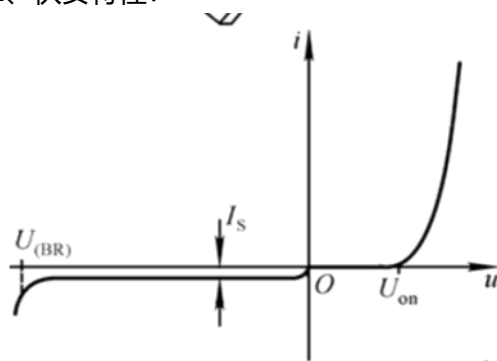
当反向电压增大到一定值时，势垒区内就能建立起很强的电场，它能够直接**将束缚在共价键中的价电子拉出来**，使势垒区产生大量的电子-空穴对，形成较大的反向电流，产生击穿。

晶体二极管

1、组成：

将PN结封装，引出两个电极。

2、伏安特性：



U_{on} ：开启电压，将耗尽层抵消所需的电压

I_s ：反向饱和电流，由少子漂移运动所产生的电流。

伏安特性受温度影响：

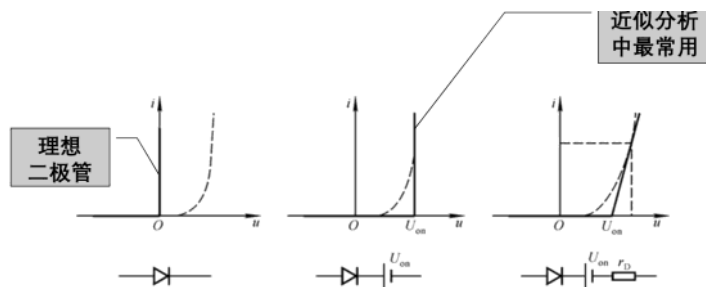
温度升高，**正向特性左移**（开启电压降低），**反向特性下移**（反向饱和电流增大）。

微观解释：

在高温时，粒子的热运动速度较大，只需要较小的电场力就可以使他们穿过空间电荷区产生扩散电流，表现为开启电压降低。

同时、高温时由热运动产生的少子数量增加，导致在反向电压时产生漂移电流的载流子数量增加，表现为反向饱和电流增加。

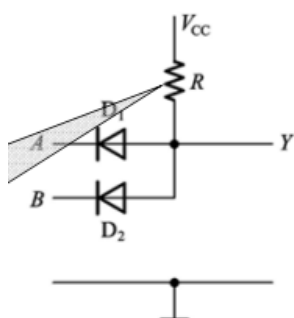
3、等效电路：



当外电路等效电源电压与电阻都很小时，采用第三种等效模式
 当外电路电源电压很小、电阻较大时，采用第二种等效模式
 当外电路电源电压与电阻都较大时，可采用第一种等效。

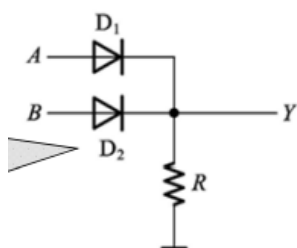
4、二极管逻辑门

1) 二极管与门：



A	B	Y
0V	0V	0.7V
0V	3V	0.7V
3V	0V	0.7V
3V	3V	3.7V

2) 二极管或门：



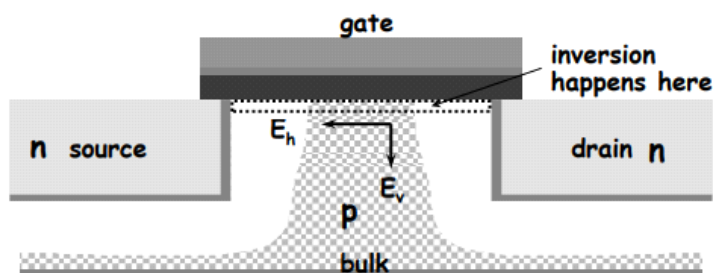
A	B	Y
0V	0V	0V
0V	3V	2.3V
3V	0V	2.3V
3V	3V	2.3V

缺点： 1、电平有偏移（不满足严以律己，宽以待人原则）

2、带载能力差（高电压可能造成击穿）

Mosfet：

1、Mosfet的结构与工作原理：



结构（对于NMos）：

1) 有四个电极 S（源极） D（漏极） G（栅极） B（衬底）

其中G与其他电极之间绝缘（有二氧化硅绝缘层），D、S与N型半导体沟道相连，B与P型半导体相连。B与S相连。

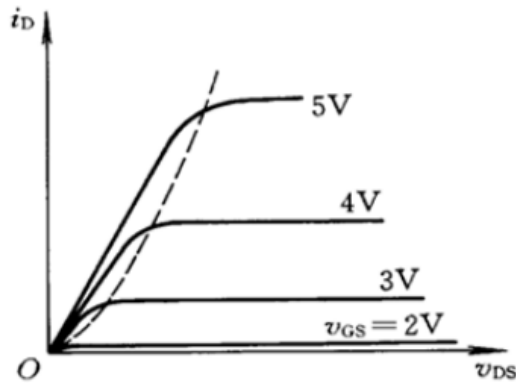
- 2) D、S间存在两个反向PN结，无外加电压时类似两个二极管反向串联，**不导电**。

原理：

当GS外加电压时，P中的自由电子（少子）被吸引至栅极，形成**导电沟道**，从而使S与D之间联通。

2、Mosfet的特性曲线：

- 1) 输出曲线：



分三个区间：

- 1、截止区：

形成的导电沟道未联通，DS之间不导电

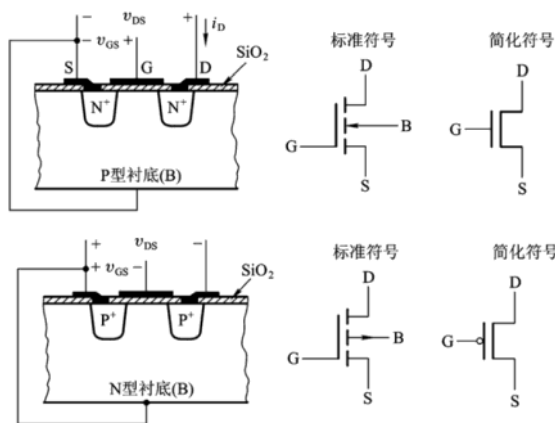
- 2、可变电阻区：

随着 U_{GS} 增大，导电沟道变宽，电阻降低

- 3、恒流区：

由于 U_{DS} 增加，导电沟道被压斜，导致电流有最大值

3、NMos与PMos：



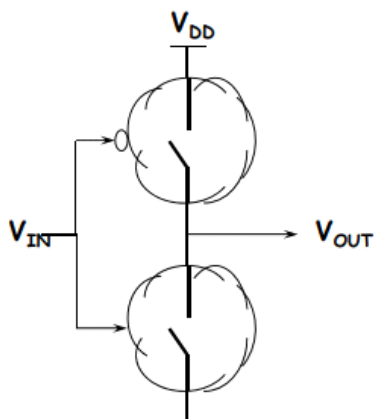
区别：

- 1) 沟道与衬底的半导体种类相反（以沟道的种类命名）
- 2) NMos中 D接高电平，S接低电平（ $U_{DS} > 0$ ），G加正向电压（ $U_{GS} > 0$ ）
PMos中 D接低电平，S接高电平（ $U_{SD} > 0$ ），G加反向电压（ $U_{SG} > 0$ ）

CMos门电路（Complementary）：

利用NMos与CMos的互补原理，解决开篇时电阻取值的问题。

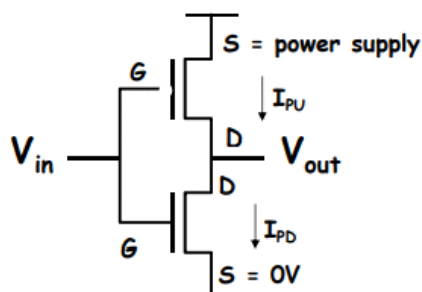
模型：



好处：输出电平为理想“0/1”，在级联后无静态功耗。

1、CMos反相器的电路结构与工作原理：

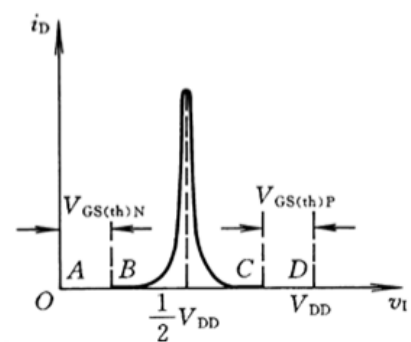
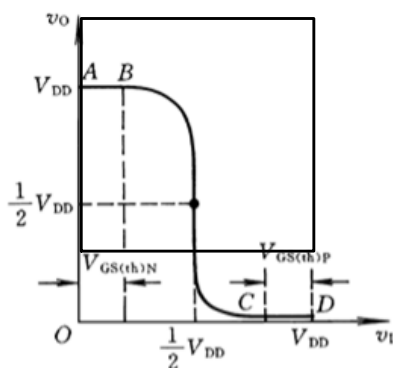
1) 结构



上为PMos，下为NMos（满足**P上拉**，**N下拉**）

工作在截至区/线性电阻区，理想工作时，二者不处于同一状态。

2) 电压、电流传输特性曲线



AB段：P导通、N截止，输出理想1，电流为0

CD段：P截止，N导通，输出理想0，电流为0

BC段：PN同时导通，输出非理想信号，出现电流。

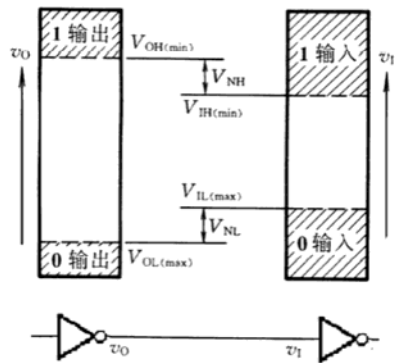
反相器的工作电压在以o为原点，边长为V_{DD}的正方形中

3) 输入噪声容限

“宽以待人”：当前级输入的的非理想信号 v_i 误差在一定范围内， v_o 基本不变。

允许的误差范围称作输入噪声容限。





V_{ih} : 输入信号1的最小电压

V_{il} : 输入信号0的最大电压

V_{oh} : 输出信号1的最小电压

V_{ol} : 输出信号0的最大电压

$V_{nh} = V_{oh} - V_{ih}$

$V_{nl} = V_{ol} - V_{il}$

输入噪声容限 = $\min\{V_{nh}, V_{nl}\}$

可通过提高 V_{DD} 增加噪声容限 (将正方形拉大, 整体等比例放大)

但提高 V_{DD} 会带来功耗的上升, 不采用这种方法。

2、CMos反相器的静态输入特性和输出特性:

1) 输入特性:

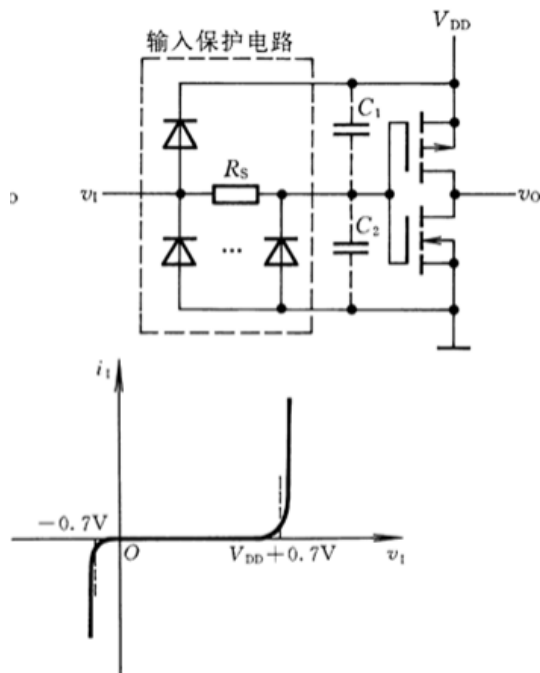
从反相器输入端看进去的输入电压与输入电流的关系

由于g极的绝缘层非常薄, 较易被击穿, 因此需要采取保护

虚线框中的保护电路是由于Mosfet制作工艺所产生=的PN结, 并不是实际的电路结构。

C_1 与 C_2 为Mosfet的栅极等效电容

保护效果: 当电压的绝对值过大或过小时, 二极管接通, 将CMos短路。



2) 输出特性:

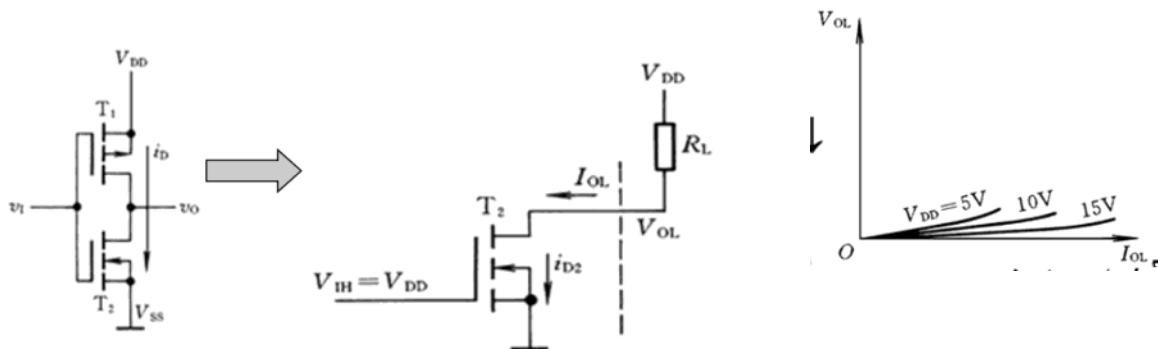
从反相器的输出端看进去的输出电压与输出电流的关系:

输出低电平:

后继电路的漏电流，灌入mosfet，导致产生电势差。

漏电流越大，mos上的分压越多，其输出电平就越高（误差越大）

此外，高电平越高， U_{GS} 越大，mos管内阻越小，输出电平越接近理想低电平。



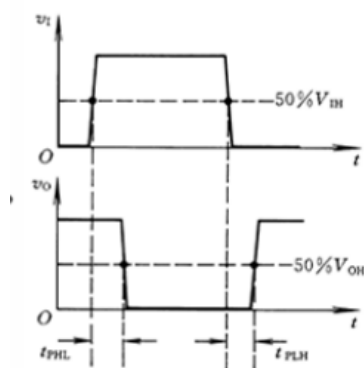
输出高电平：

同理有漏电流越大，输出电平越低。

3、CMos反相器的动态特性

1) 传输延迟时间

当反相器级联时，存在**负载电容**。导致在输入电压变化时，输出电压变化存在延时（过渡过程）。



2) 动态功耗：

总功耗 = 静态功耗 + 动态功耗

静态功耗：高电平通过两个mos管传向低电平的电流产生的功耗：极小，可以忽略

动态功耗：

- 1、导通功耗：**电压不能跳变**，在高低电平变化的过程中，两个mos管**同时导通**，产生较大的输出电流，产生功耗。
- 2、负载功耗：对于下一级的**负载电容**，在输出电平高低变化过程中会导致不断地对电容进行**充放电**，从而产生功耗。

$$P_D = P_T(\text{导通}) + P_C(\text{负载})$$

$$P_T = C_{PD} f V_{DD}^2 \quad P_C = C_L f V_{DD}^2$$

动态功耗与Vdd平方成正比！

4、其它CMos门电路

互补：1与0；+与*；上拉与下拉；Nmos与Pmos； 并联与串联：

与非门

pmos并联，

有一个导通就输出1

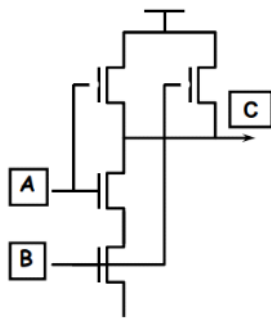
或非门

Pmos并联，

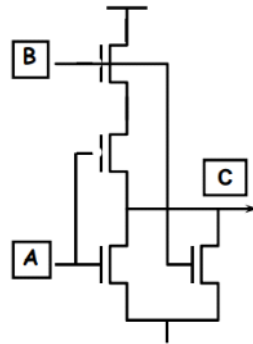
两个都导通才输出1

—

pmos开联，
有一个导通就输出1



pmos开联，
两个都导通才输出1

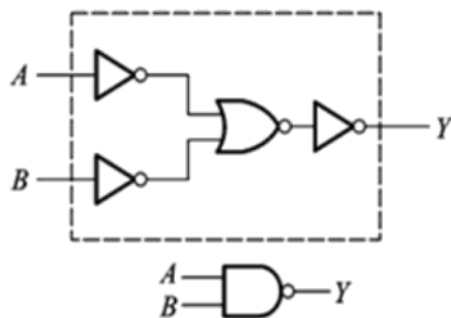


用Mos管搭建Cmos电路的一般方法：

- 1、用原变量的与或表示**输出的反**，并用Pmos的串并联对应与或搭建**上拉电路**
- 2、用**原变量的反的**与或表示输出，并用Nmos的串并联对应与或搭建**下拉电路**
- 3、将两电路连接，并在连接点引出输出。

带缓冲极的Cmos门：

对与非门：**输出电阻**与输入状态有关（处于电阻状态的Mos管的串并联）
同时对于随着输入变量的增加，接入电路的电阻就越多，
上拉电阻越并越小，下拉电阻越串越大，导致**输出的高低电平偏高**。
解决方法：

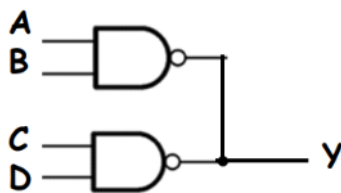


输出与门电路状态，输入变量数目无关。

漏极开路的门电路（OD门）：

一般情况下：

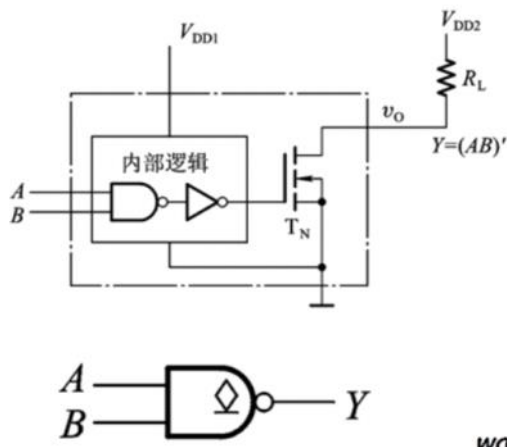
- 1) 两个门电路**不能直接并联**（一高一低导致短路）



- 2) 规定高电平后无法改变

解决：OD门：





wd

将一般逻辑门先接入一次反相器，再接下拉的NMos（**下半部分的反相器**），自己添加高电平及上拉电阻（结果上经过了两次反相器，输出逻辑不变）。实现**高电平的改变**，且可以**线与**（**上半部分反相器由上拉电阻而非Pmos组成**）。

***一般情况下不能线与，会出现：**

- 1、一上拉一下拉导致短路
- 2、扣两分

由于使用R_L，面临老问题：电阻取值不能太大也不能太小。

$$V_{DD} - (nI_{OH} + mI_{IH}) R_L \geq V_{OH}$$

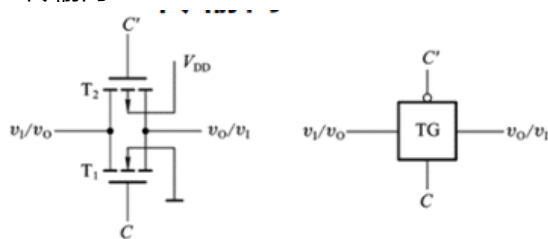
$$R_L \leq (V_{DD} - V_{OH}) / (nI_{OH} + mI_{IH}) = R_{Lmax}$$

$$(V_{DD} - V_{OL}) / R_L + m' | I_{IL} | \leq I_{OLmax}$$

$$R_L \geq (V_{DD} - V_{OL}) / (I_{OLmax} - m' | I_{IL} |) = R_{Lmin}$$

$$R_{Lmax} \geq R_L \geq R_{Lmin}$$

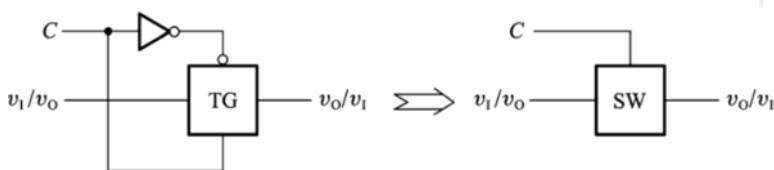
CMos传输门：



一对互补的控制信号，当C = 0 (C' = 1) 时，传输门截止，入端等效为大电阻 (Z)

反之，当C = 1 (C' = 0) 时，无论V_i取何值 (0~V_{DD})，至少有一个Mos导通，传输门导通。

双向模拟开关：

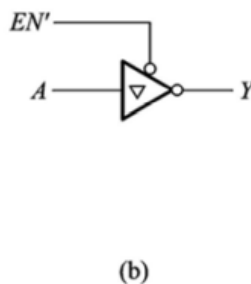
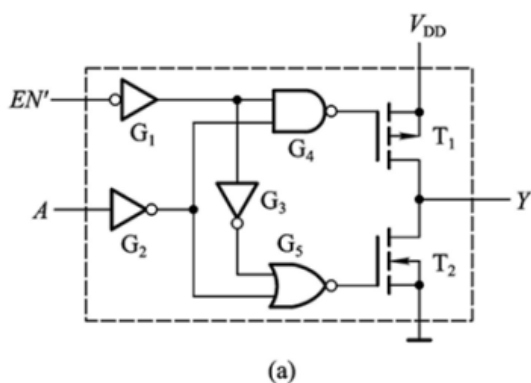


由传输门演化而来，当C = 1时，开关导通，入端等效为小电阻；当C = 0时，开关断开，入段等效为大电阻。

结构**对称**，可以双向使用。

意义：**有物理连接，没有电路连接。**

三态输出门：



三态：高电平 (1)，低电平 (0)，高阻态 (Z)

EN：使能信号，不参与逻辑运算，**优先级高**！

当EN = 0时，两Mos均截止，对外表现为高阻态 (Z)，不驱动后端，**有物理连接，没有电路连接。**

当EN = 1时 (使能)，两Mos的G级均接入输入A，正常**反相器**。

此处若EN = 0时使能则没有小圆圈。

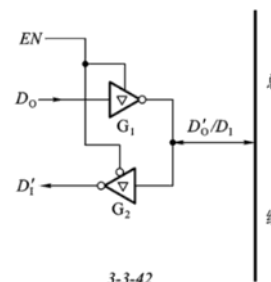
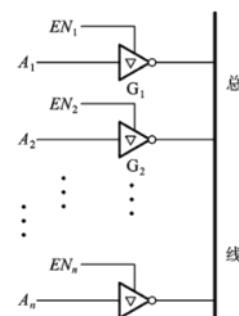
*应用：

1、数据传输总线：

当多个三态输出门每次有且仅有一个门使能时，他们可以**线与**引入总线，对于多个变量通过扫描的方式**逐一读取，互不干扰 (用时间换空间)**
真串假并

2、数据双向传输 (串口)：

将使能信号互补的连接到两个三态门上，保证同一时刻有且仅有一个门导通 (输入与输出) 通过总线进行**双向数据传输**。

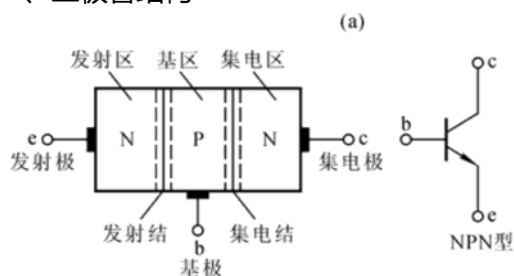


3-3-42

3.5 TTL门电路

一、半导体三极管的开关特性

1、三极管结构



三极：e (emit) 极：发射极 **高掺杂**(多提供载流子)
b (base) 极：基极 **薄、低掺杂** (少中和)
c (collect) 极：集电极 **低掺杂、面积大** (利于漂移)

从e到c是背对背的PN结、无外电场作用时**不导通**

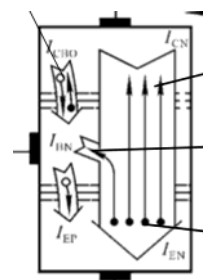
想法：**用be的电流控制ce的开关**

2、三极管工作原理

$U_{BE} > U_{ON}$ ，发射结正偏

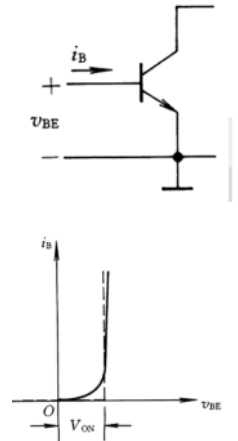
$U_{CB} > 0$ ，集电结反偏

发射区**高掺杂、多子 (电子)** 浓度高、故通过扩散运动向基区扩散，形成发射极电流 I_E (大)



基区薄且低掺杂、多子（空穴）数量少、空穴与少数扩散而来的电子中和，形成基极电流 I_B （小）
 在基区的电子数量很多，但身份为少子。因此反偏的集电结有利于其向集电区漂移，形成集电极电流 I_C （大）
 由基尔霍夫定律：

$$I_E = I_B + I_C \quad I_B \text{ 小, 因此近似表现为 } I_E = I_C, \text{ 开关导通}$$



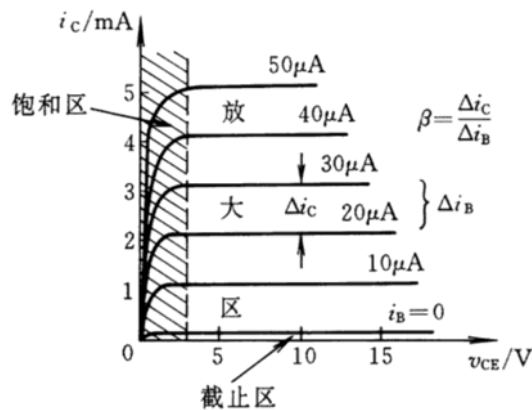
二、三极管的输入和输出特性

1、三极管的输入特性曲线（从be往里看）

be中间有一个PN结，且工作时导通、不工作时关闭。等同于一个二极管。

V_{ON} 一般为0.7V，因此在电路分析时，每经过一次BE，压降为0.7

2、三极管的输出特性（从ce往里看）



改变 I_B ，获得不同曲线

截止区：当 $I_B = 0$ 时，三极管截止， $I_C \approx 0$

放大区：当 $I_B > 0$ 时， $V_{CE} > 0.7V$ ， $I_C = \beta * I_B$ （ β 由工艺决定，一般很大）

此时集电结反偏，对外表现为流控电流源，内阻无穷大

饱和区：当 $I_B > 0$ 时， $V_{CE} < 0.7V$ ， I_C 与 V_{CE} 有关。

此时集电结正偏，对外表现为电阻，阻值在深度饱和时很小

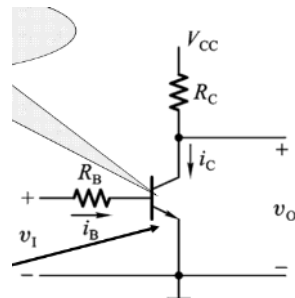
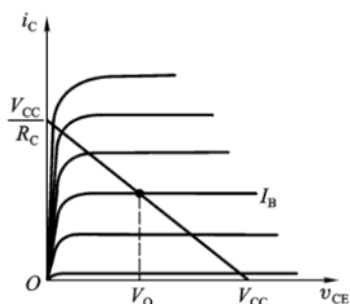
门电路：电子开关（导通时电阻小）需要三极管工作在截止/饱和区

因此在电路分析中，每经过一次导通的CE、压降 $< 0.7V$ （约为0.2V）

3、三极管的基本开关电路

要求：三极管导通时工作在截止区

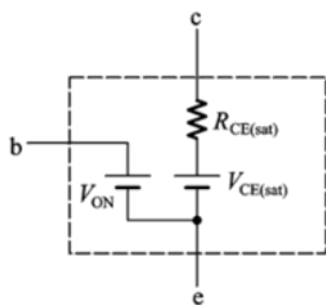
图解法分析：



交点即Q点，为使工作点在截止区：

- 1、增大 $I_B \times$
- 2、增大 $R_C \checkmark$

4、三极管的开关等效电路



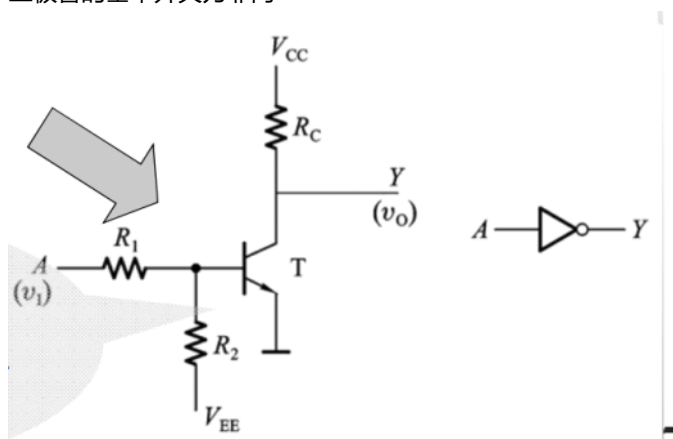
深度饱和时

$$V_{ON} = 0.7V, V_{CE} = 0.2V$$

另：由于PN结电容的存在，电压信号传输存在延迟。

三、三极管反相器

三极管的基本开关为非门



为保证 $V_i = 0$ 时，三极管可靠截止 ($V_{BE} < 0$)，在输入接入负压 (V_{EE})

当 V_i 为低电平时，三极管截止，输出为高电平

当 V_i 为高电平时，三极管导通，输出为低电平

输入高电平时电源电压全部加在 R_C 上，**功耗较大**。

输入低电平时输出**内阻很大** (R_C)

因此**不适用于集成电路**

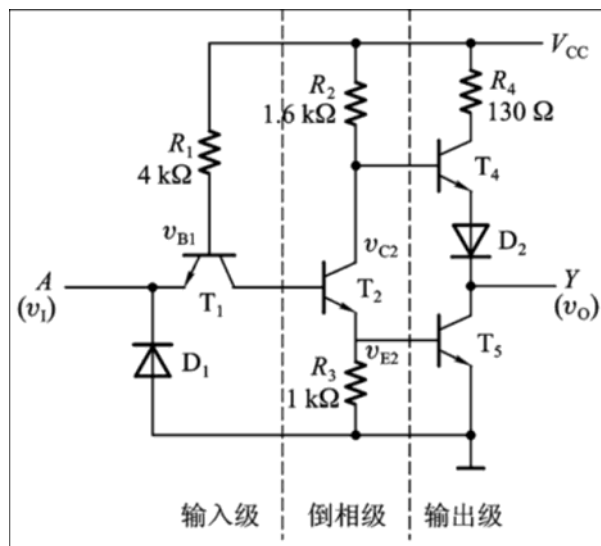
计算参数设置是否合理的方法：

先通过二端口，从BE端向外看，求出 I_B 。**假设三极管工作在放大区**，通过 β 求出 I_C ，通过 I_C 与 R_C ，求出T上的电压。

若为负值，则推出矛盾，三极管工作在饱和区，参数设置**合理**。

TTL反相器的电路结构和工作特性

一、电路结构



首先确定输出高、低电平，规定为输入高、低电平（定性>定量）

当T5导通、T4截止时，输出低电平。此时 $V_o = 0 + V_{CE} = 0.2V$

当T4导通、T5截止时，输出高电平。此时 $V_o = 5 - 0.7 \times 2 - 0.2$ （漏电流） $= 3.4V$

设 $V_{IH} = 3.4V$ $V_{IL} = 0.2V$

1、当 $V_i = 0.2V$ 时

T1输入高电平导通， V_{B1} 被钳位在0.9V。T2输入 V_i 为低电平，截止。T4可以导通（有条件，当电流较小时工作在放大区），T5截止。输出为高电平。

2、当 $V_i = 3.4V$ 时

T1输入高电平导通，T2输入 V_i 为高电平，导通。T5输入为 $V_i - V_{ON}$ ，导通。此时由于接地， V_{E2} 被钳位在0.7V，T2的输入被钳位在1.4V， $V_{C2} = 0.7 + 0.2 = 0.9V$ ， $V_{B1} = 1.4 + 0.7 = 2.1V$ 。

此时T1倒置，只看做两个PN结，不表现三极管特性（各自为政）

而由于D2的存在，T4的E极电压为0.7V， $V_{be} = 0.2V$ ，截止。输出为低电平。

*D1的作用，当输入小于-0.7V时，保护电路。

*D2的作用，提供一个PN结的 V_{ON} ，使输出低电平时T4能可靠截止。

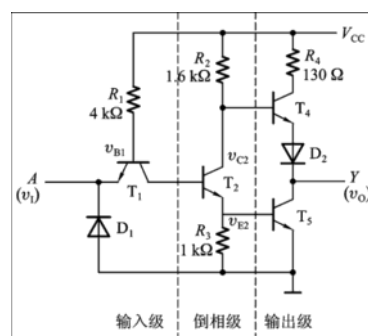
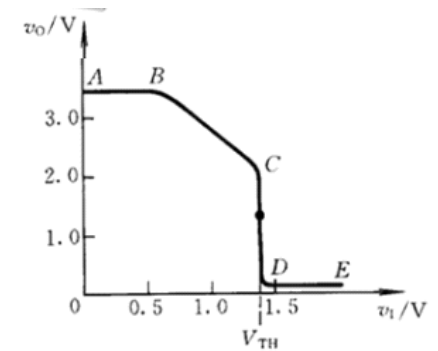
*倒相极的含义：T4、T5的输入电压变化方向相反。

*输出极在稳态下，T4与T5总有一个截止，一个导通，称这种结构为推挽式

好处：降低功耗（高电平不连接到地，无静态功耗）、提高带负载能力（无分压）。

二、电压传输特性

1、输入电压特性



AB段， $V_i < 0.6V$,

T1导通，T2的B极电压小于0.7V（T1深度饱和）截止。

BC段, $0.7V < V_i < 1.3V$,

T1导通, T2的B极电压介于C与E之间, 故工作在**放大区**, T4导通、T5截止。

此时随 V_i 的增大, T2上的电流线性增大, R_2 上的分压线性增加。故 V_o 线性减小。

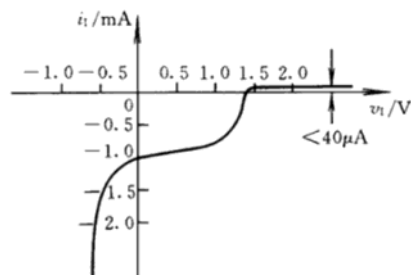
CD段, $V_i \approx V_{TH} = 1.4V$,

T1导通, 经过钳位 $V_{B1} = 2.1V$, T2、T5导通, T4截止。 V_o 被迅速拉低至0。

DE段, $V_i > 1.4V$

在CD的工作状态的基础上, V_i 继续增大, 不改变输出。

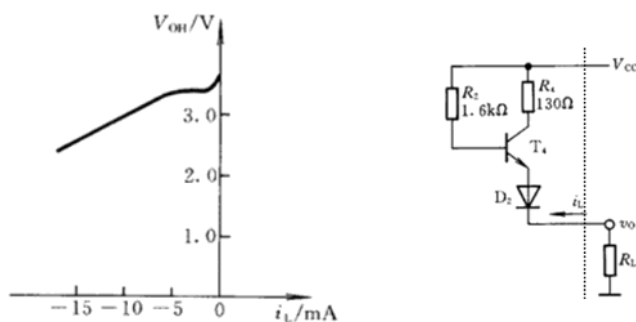
输入电流特性



输出高电平时, T1倒置, 仅有少量的PN结反向电流

输出低电平时, 电流通过 R_1 接入地, 电流相对较大。

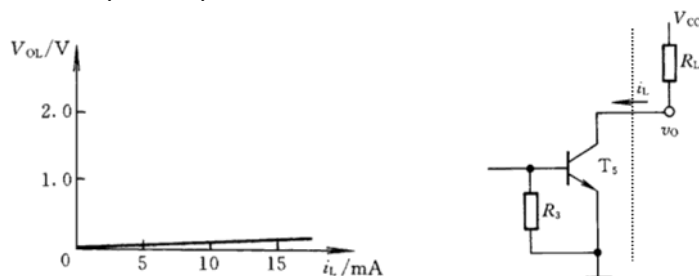
2、输出特性（高电平）



输出高电平时, 在电流较小时, T管工作在**放大区（射极输出状态）**。随电流增大, R_4 上分压增多, 但T4管在放大区在输出电流确定时 V_{ce} 可以变化, 从而会**“吐出”一部分电压, 维持输出电压基本不变。**

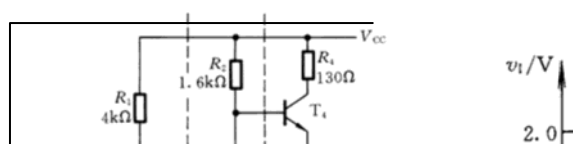
当 R_4 上的分压过大, 导致T4管进入截止状态后, 上拉电路等效为电阻分压, 输出电压线性降低。

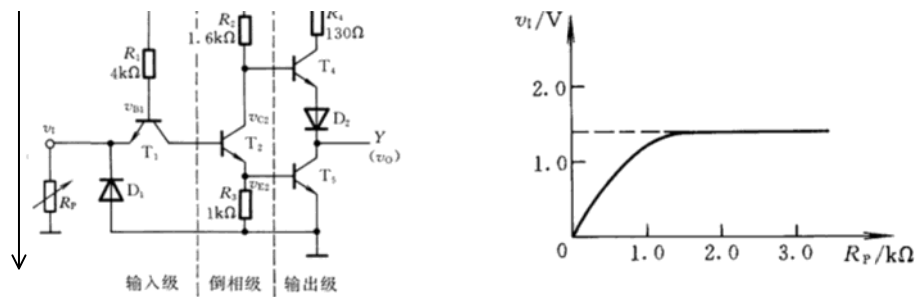
输出特性（低电平）



从后端灌入漏电流, T5处于饱和导通状态, 电阻很小, 输出值随漏电流增加线性增大。

3、输入端负载特性





在输入极与地之间接入电阻，由于有漏电流， V_i 不为零，且随漏电流增大， V_i 越大。
在 $V_i = 1.4V$ 时，由于 T_2 、 T_5 导通， V_{B1} 被钳位在 $2.1V$ ，输入不会继续增大。

4、扇出系数

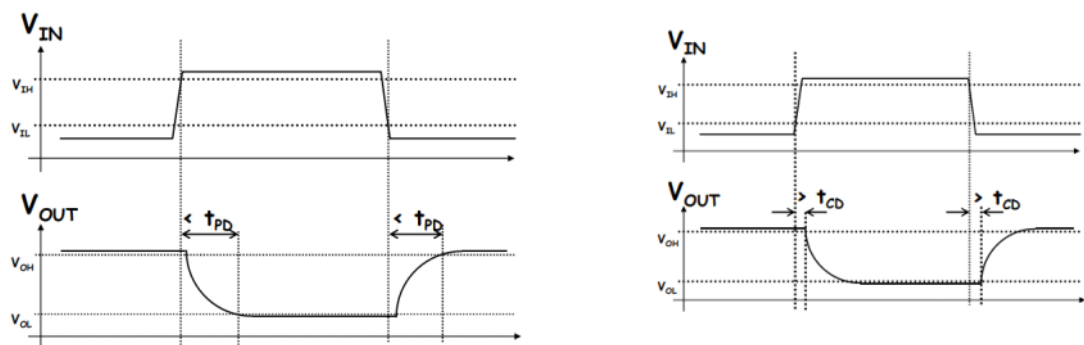
一个TTL传输门可以驱动的后端传输门的个数。

由于输入输出特性已知，故当知道 I_{OL} 、 I_{OH} 后可以直接用电流相除即可得到扇出系数

三、TTL反相器的动态特性

1、传输延迟时间

由于结电容的存在，输出落后输入



t_{PD} ：输入变化结束到输出变化结束的时间差

t_{CD} ：输入进入无效区时，输入还能在有效区滞留的时间

t_{PD} 与 t_{CD} 为统一物理原因导致（过渡过程）因此二者变化趋势相同。且前者一般大于后者。

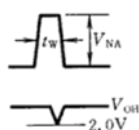
对于多逻辑门的组合电路， t_{CD} 取最短路线下逻辑门的 t_{CD} 之和（最短路线决定了最多维持多久）

t_{PD} 取最长路线下逻辑门的 t_{PD} 之和（最长路线决定了最短多久可以到达稳定）

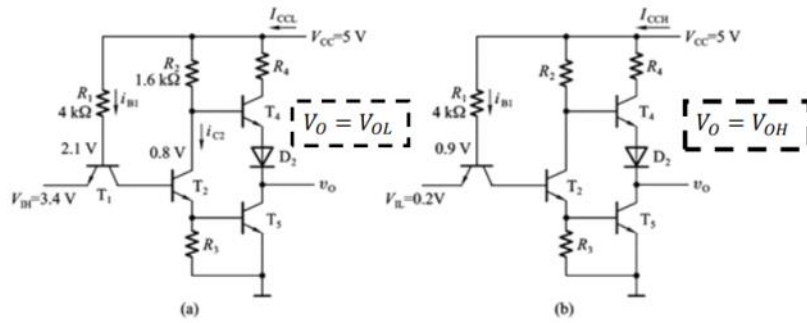
2、交流噪声容限

当输入一个电平高、但持续时间约等于 t_{PD} 的高频信号时，输出的变化跟不上，因此不会影响结果。

交流噪声容限远大于直流（频率高时显著）



3、电源的动态尖峰电流



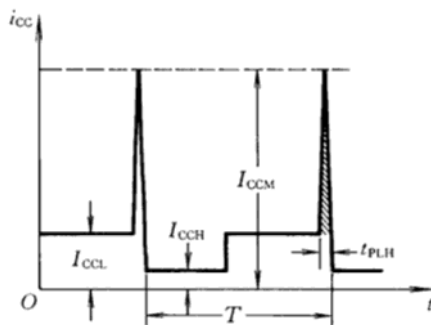
当输出低电平时，T2、T5导通，共两条电流通路，稳定时电源电流为：

$$I_{CCL} = \frac{V_{CC} - V_{BE1}}{R_1} + \frac{V_{CC} - V_{C2}}{R_2} = 3.4mA$$

当输出高电平时，仅T1导通且接地，电源电流为：

$$I_{CCH} = \frac{V_{CC} - V_{BE1}}{R_1} = 1.1mA$$

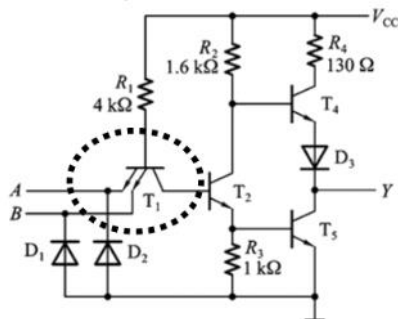
在输出的高电平向低电平转化时，T4饱和、T5尚未脱离饱和，二者同时导通，导致出现大电流尖峰：



其他类型的TTL门电路

一、其它逻辑功能的门电路

1、与非门：



T1为**多发射三极管**，当有一个输入为0.2V时， V_{B1} 被钳位在0.9V，T2截止，T4导通，输出高电平。
当输入都为高电平时， V_{B1} 为2.1V，T2导通，T5导通，输出为低电平。

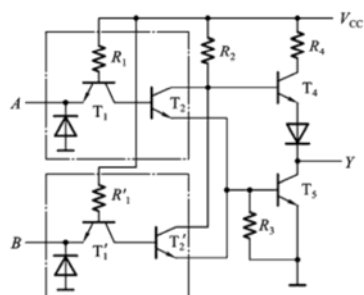
T1实现了A·B

输入电流：

输入高电平时，每条并联通路上都有一个反偏二极管，故电流为**二倍**反相器高电平电流。

输入低电平时，在钳位作用下，T1的b极电压为0.7，故电流仍按原方法计算，与反相器**相同**。

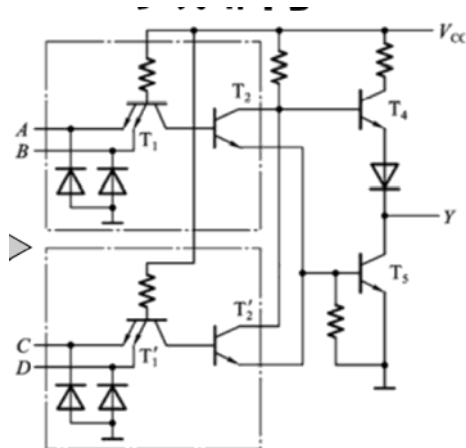
2、或非门：



方框内两电路完全相同，且都接入后面的输出极（相当于有两个输入和反向极**并联**接入了一个输出极）
因此只要有一个输入为高电平，T2与T2'就会至少有一个导通，使得T5导通，输出低电平。
而当两个输入都为低电平时，T2与T2'都截止，T4导通，输出高电平。

由于前端电路两部分并联，故输入电流在高电平与低电平时**均加倍**。

3、与或非门：

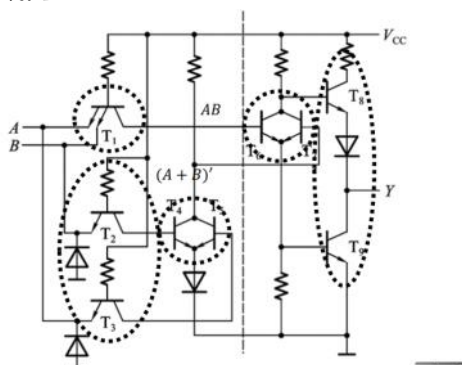


将与非门中的每个输入的T1三极管变为多发射三极管，可用**代入定理**计算：

$$Y = (M+N)' \quad M = AB \quad N = CD$$

$$Y = (AB+CD)'$$

4、异或门：



每遇到一个T1类型的三极管就取一次与

T6 T7管代表T6 + T7，配合上倒向极的作用，其输出为 $(T6+T7)'$

$$T6 = AB, T7 = (A+B)'$$

$$Y = (A'+B')(A+B)$$

二、集电极开路的门电路（OC门）

推拉式输出电路结构的局限性：

- (1) 输出电平一旦确定就不可调
- (2) 带载能力差，尤其是高电平（内阻大）

(3) 输出端不能并联 (扣两分)

解决：类似**OD门**，前端电路只提供下拉，上拉电平与电阻由用户决定并提供。

结果：高电平可自定义，可以**线与**

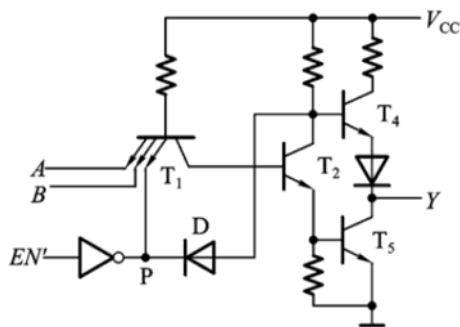
仍面临**OD门**的问题：电阻不能太大或太小

$$R_L \leq \frac{V'_{CC} - V_{OH}}{nI_{OH} + mI_{IH}} = R_{L(\max)}$$

三、三态门

为实现**只有物理连接，没有电气连接**的目标，加入使能信号控制

使能信号优先级最高，是逻辑式的大前提，不参与逻辑运算。



当EN为0时，D导通，直接使T4截止，对外表现高阻态（Z）

用途：实现总线与双向传输门。

总线的巡检机制：同一时间有且仅有一个使能信号唯一（与最小项类似）。以最小项对各个总线上的电路使能接口命名，称为**地址码**。

TTL电路，CMOS电路的接口

CMOS电路的正确使用

1、静电防护

不用手触碰芯片引脚；将器件在电路中插拔时应先断电；不用的输入端不应悬空。

2、输入电路过流保护

当输入端接低阻信号源、大电容时，应加入保护电阻，使二极管导通时电流不大于1mA

当输入端接长线时，由于寄生电容与电感的存在，应串入电阻限流保护。

CMOS电路与TTL电路的接口

二者互用时，满足条件：

驱动门输出高电平的最小值高于负载门接受高电平的最小值（低电平同理）

严于律己、宽以待人、保证传输稳定

低电平输出电流的最大值小于所有负载门输入电流的最大值之和（高、低电平）

确保能够带动负载

