课后部分习题及参考答案

一、

1.1 什么是计算机系统、计算机硬件和计算机软件？硬件和软件哪个更重要？

答：计算机系统由硬件和软件两大部分组成。

硬件即指计算机的实体部分，它由看得见摸的着的各种电子元器件，各类光电、机设备

的实物组成，如主机、外设等。

软件时看不见摸不着的，由人们事先编制成具有各类特殊功能的信息组成，用来充分发

挥硬件功能，提高机器工作效率，便于人们使用机器，指挥整个计算机硬件系统工作的程序集合。软件和硬件都很重要。

1.2 如何理解计算机系统的层次结构？

答：从计算机系统的层次结构来看，它通常可有五个以上的不同级组成，每一个上都能进行程序设计。由下至上可排序为：第一级微程序机器级，微指令由硬件直接执行；第二级传统机器级，用微程序解释机器指令；第三级操作系统级，一般用机器语言程序解释作业控制语句；第四级汇编语言机器级，这一级由汇编程序支持合执行；第五级高级语言机器级，采用高级语言，由各种高级语言编译程序支持合执行，还可以有第六级应用语言机器级，采用各种面向问题的应用语言。

1.3 说明高级语言、汇编语言和机器语言的差别和联系。

答：机器语言由0、1代码组成，是机器能识别的一种语言。汇编语言是面向机器的语言，它由一些特殊的符号表示指令，高级语言是面向用户的语言，它是一种接近于数学的语言，直观，通用，与具体机器无关。

1.5 冯·诺依曼计算机的特点是什么？

答：由运算器、控制器、存储器、输入设备、输出设备五大部件组成

指令和数据以同一形式（二进制形式）存于存储器中

指令由操作码、地址码两大部分组成

指令在存储器中顺序存放，通常自动顺序取出执行

以运算器为中心

1.6 画出计算机硬件组成框图，说明各部件的作用及计算机硬件的主要技术指标。

答：图略，计算机硬件各部件 运算器：ACC, MQ, ALU, X 控制器：CU, IR, PC 主存储器：M, MDR, MAR I/O设备：设备，接口

计算机技术指标： 机器字长：一次能处理数据的位数，与CPU的寄存器位数有关 存储容量：主存：存储单元个数×存储字长 运算速度：MIPS, CPI, FLOPS等。

1.7 解释下列概念：

答：主机、CPU、主存、存储单元、存储元件、存储基元、存储元、存储字、存储字长、存储容量、机器字长、指令字长。

主机：计算机硬件的主体部分，由 CPU+MM（主存或内存）组成 CPU：中央处理器，是计算机硬件的核心部件，由运算器+控制器组成 主存：计算机中存放正在运行的程序和数据的存储器，可随机存取；由存储体、各种逻辑部件及控制电路组成 存储单元：可存放一个机器字并具有特定存储地址的存储单位 存储元件/存储基元/存储元：存储一位二进制信息的物理元件，是存储器中最小的存储单位，不能单独存取 存储字：一个存储单元所存二进制代码的逻辑单位 存储字长：一个存储单元所存二进制代码的位数 存储容量：存储器中可存二进制代码的总量 机器字长：CPU 能同时处理的数据位数 指令字长：一条指令的二进制代码位数。

1.11 指令和数据都存于存储器中，计算机如何区分它们？

计算机硬件主要通过不同的时间段来区分指令和数据，即：取指周期（或取指微程序）取出的既为指令，执行周期（或相应微程序）取出的既为数据。 另外也可通过地址来源区分，从PC指出的存储单元取出的是指令，由指令地址码部分提供操作数地址。

1.12 什么是指令？什么是程序？

指令：人为输入计算机，由计算机识别并执行一步步操作的命令的形式称为指令。

程序：一系列指令的有序集合称为程序。

三、

3.1什么是总线？总线传输有何特点？为了减轻总线负载，总线上的部件应具备什么特点？

答：P41.总线是多个部件共享的传输部件。

总线传输的特点是：某一时刻只能有一路信息在总线上传输，即分时使用。

为了减轻总线负载，总线上的部件应通过三态驱动缓冲电路与总线连通。

3.4为什么要设置总线判优控制？常见的集中式总线控制有几种？各有何特点？哪种方式响应时间最快？哪种方式对电路故障最敏感？

答：总线判优控制解决多个部件同时申请总线时的使用权分配问题；

常见的集中式总线控制有三种：链式查询、计数器定时查询、独立请求；

特点：链式查询方式连线简单，易于扩充，对电路故障最敏感；计数器定时查询方式优先级设置较灵活，对故障不敏感，连线及控制过程较复杂；独立请求方式速度最快，但硬件器件用量大，连线多，成本较高。

3.5 解释下列概念：总线宽度、总线带宽、总线复用、总线的主设备（或主模块）、总线的从设备（或从模块）、总线的传输周期和总线的通信控制。

答：P46。

总线宽度：通常指数据总线的根数；

总线带宽：总线的数据传输率，指单位时间内总线上传输数据的位数；

总线复用：指同一条信号线可以分时传输不同的信号。

总线的主设备（主模块）：指一次总线传输期间，拥有总线控制权的设备（模块）；

总线的从设备（从模块）：指一次总线传输期间，配合主设备完成数据传输的设备（模块），它只能被动接受主设备发来的命令；

总线的传输周期：指总线完成一次完整而可靠的传输所需时间；

总线的通信控制：指总线传送过程中双方的时间配合方式。

3.6 试比较同步通信和异步通信。

答：同步通信：指由统一时钟控制的通信，控制方式简单，灵活性差，当系统中各部件工作速度差异较大时，总线工作效率明显下降。适合于速度差别不大的场合。

异步通信：指没有统一时钟控制的通信，部件间采用应答方式进行联系，控制方式较同步复杂，灵活性高，当系统中各部件工作速度差异较大时，有利于提高总线工作效率。

3.16 在异步串行传送系统中，字符格式为个起始位、8 个数据位、1 个校验位、2 个终止位。 若要求每秒传送 120 个字符，试求传送的波特率和比特率。

答;波特率：（8+1+2）X 120

比特率：8 X 120

四

4.3 存储器的层次结构主要体现在什么地方？为什么要分这些层次？计算机如何管理这些层次？

答：存储器的层次结构主要体现在Cache-主存和主存-辅存这两个存储层次上。

Cache-主存层次在存储系统中主要对CPU访存起加速作用，即从整体运行的效果分析，CPU访存速度加快，接近于Cache的速度，而寻址空间和位价却接近于主存。

主存-辅存层次在存储系统中主要起扩容作用，即从程序员的角度看，他所使用的存储器其容量和位价接近于辅存，而速度接近于主存。

综合上述两个存储层次的作用，从整个存储系统来看，就达到了速度快、容量大、位价低的优化效果。

4.5 什么是存储器的带宽？若存储器的数据总线宽度为32位，存取周期为200ns，则存储器的带宽是多少？

解：存储器的带宽指单位时间内从存储器进出信息的最大数量。

存储器带宽 = 1/200ns ×32位 = 160M位/秒 = 20MB/秒 = 5M字/秒

注意：字长32位

4.7一个容量为16K×32位的存储器，其地址线和数据线的总和是多少？当选用下列不同规格的存储芯片时，各需要多少片？

1K×4位，2K×8位，4K×4位，16K×1位，4K×8位，8K×8位

解：地址线和数据线的总和 = 14 + 32 = 46根；

选择不同的芯片时，各需要的片数为：

1K×4：（16K×32） / （1K×4） = 16×8 = 128片

2K×8：（16K×32） / （2K×8） = 8×4 = 32片

4K×4：（16K×32） / （4K×4） = 4×8 = 32片

16K×1：（16K×32）/ （16K×1） = 1×32 = 32片

4K×8：（16K×32）/ （4K×8） = 4×4 = 16片

8K×8：（16K×32） / （8K×8） = 2×4 = 8片

4.9 什么叫刷新？为什么要刷新？说明刷新有几种方法。

解：刷新：对DRAM定期进行的全部重写过程；

刷新原因：因电容泄漏而引起的DRAM所存信息的衰减需要及时补充，因此安排了定期刷新操作；

常用的刷新方法有三种：集中式、分散式、异步式。

集中式：在最大刷新间隔时间内，集中安排一段时间进行刷新，存在CPU访存死时间。

分散式：在每个读/写周期之后插入一个刷新周期，无CPU访存死时间。

异步式：是集中式和分散式的折衷。

4.15 设CPU共有16根地址线，8根数据线，并用 （低电平有效）作访存控制信号， 作读写命令信号（高电平为读，低电平为写）。现有下列存储芯片：ROM（2K×8位，4K×4位，8K×8位），RAM（1K×4位，2K×8位，4K×8位），及74138译码器和其他门电路（门电路自定）。试从上述规格中选用合适芯片，画出CPU和存储芯片的连接图。要求：

（1）最小4K地址为系统程序区，4096~16383地址范围为用户程序区；

（2）指出选用的存储芯片类型及数量；

（3）详细画出片选逻辑。

解：（1）地址空间分配图：

系统程序区（ROM共4KB）：0000H-0FFFH

用户程序区（RAM共12KB）：1000H-FFFFH

（2）选片：ROM：选择4K×4位芯片2片，位扩展

RAM：选择4K×8位芯片3片， RAM1地址范围为:1000H-1FFFH,RAM2地址范围为2000H-2FFFH, RAM3地址范围为:3000H-3FFFH)

（3）各芯片二进制地址分配如下：

A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

0 0 0 0 1 1 1 1 1 1 1 1 1 1 1 1

0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0

0 0 0 1 1 1 1 1 1 1 1 1 1 1 1 1

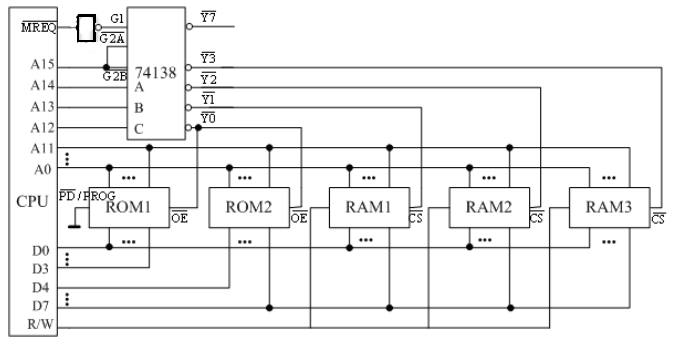
0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0

0 0 1 0 1 1 1 1 1 1 1 1 1 1 1 1

0 0 1 1 0 0 0 0 0 0 0 0 0 0 0 0

0 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1

CPU和存储器连接逻辑图及片选逻辑如下图所示：



4.16. CPU假设同上题，现有8片8K×8位的RAM芯片与CPU相连，试回答：

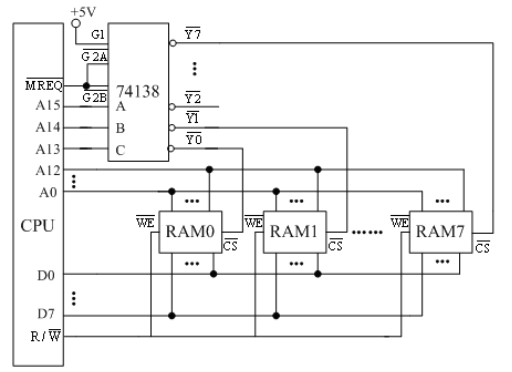
（1）用74138译码器画出CPU与存储芯片的连接图；

（2）写出每片RAM的地址范围；

（3）如果运行时发现不论往哪片RAM写入数据后，以A000H为起始地址的存储芯片都有与其相同的数据，分析故障原因。

（4）根据（1）的连接图，若出现地址线A13与CPU断线，并搭接到高电平上，将出现什么后果？

解：（1）CPU与存储器芯片连接逻辑图：



（2）地址空间分配图：

RAM0:0000H-1FFFH

RAM1:2000H-3FFFH

RAM2:4000H-5FFFH

RAM3:6000H-7FFFH

RAM4:8000H-9FFFH

RAM5:A000H-BFFFH

RAM6:C000H-DFFFH

RAM7:E000H-FFFFH

（3）如果运行时发现不论往哪片RAM写入数据后，以A000H为起始地址的存储芯片(RAM5)都有与其相同的数据，则根本的故障原因为：该存储芯片的片选输入端很可能总是处于低电平。假设芯片与译码器本身都是好的，可能的情况有：

1）该片的-CS端与-WE端错连或短路；

2）该片的-CS端与CPU的-MREQ端错连或短路；

3）该片的-CS端与地线错连或短路。

（4）如果地址线A13与CPU断线，并搭接到高电平上，将会出现A13恒为?1?的情况。此时存储器只能寻址A13=1的地址空间(奇数片)，A13=0的另一半地址空间（偶数片）将永远访问不到。若对A13=0的地址空间（偶数片）进行访问，只能错误地访问到A13=1的对应空间(奇数片)中去。

4.29 假设CPU执行某段程序时共访问Cache命中4800次，访问主存200次，已知Cache的存取周期是30ns，主存的存取周期是150ns，求Cache的命中率以及Cache-主存系统的平均访问时间和效率，试问该系统的性能提高了多少？

解： 1、Cache的命中率为4800/（4800+200）=0.96

2、平均访问时间为30ns×0.96+150ns×（1-0.96）=34.8ns

3、由题意可知，访问主存的时间是访问Cache时间的5倍（150ns/30ns=5

设访问Cache的时间为t，访问主存的时间为5t，Cache-主存系统的访问效率为e，则e=t/[0.96×t+(1-0.96)×5t]=86.2%

4、 设无Cache时访主存需时5000\*5t，加入Cache后需时：

4800t +200\*5t =5800t

则：5000\*5t /5800t =4.31倍

Cache和无Cache相比，速度提高了3.31倍左右。

4.30 一个组相连映射的CACHE由64块组成，每组内包含4块。主存包含4096块，每块由128字组成，访存地址为字地址。试问主存和高速存储器的地址各为几位？画出主存地址格式。

解：cache组数：64/4=16 ，Cache容量为：64\*128=213字，cache地址13位

主存共分4096/16=256区，每区16块

主存容量为：4096\*128=219字，主存地址19位，地址格式如下：

主存字块标记（8位） 组地址（4位） 字块内地址（7位）

五

5.1 I/O有哪些编址方式?各有何特点？

答：常用的I/O编址方式有两种： 1/O与内存统一编址和I/O独立编址； 特点：I/O与内存统一编址方式的 1/O地址采用与主存单元地址完全一样 的格式，I/O设备和主存占用同一个地 址空间，CPU可像访问主存一样访问 I/O设备，不需要安排专门的I/O指令。

l/O独立编址方式时机器为I/O设备专门安排一套完全不同于主存地址格式的地址编码，此时I/O地址与主存地址是两个独立的空间，CPU需要通过专门的I/O指令来访问I/O地址空间。

5.8 某计算机的I/O设备采用异步串行传送方式传送字符信息。字符信息的格式为一位起始位、七位数据位、一位校验位和一位停止位。若要求每秒钟传送480个字符，那么该设备的数据传送速率为多少?答：480×10=4800位/秒=4800波特；波特——是数据传送速率波特率的单位。

5.10 什么是I/O接口?为什么要设置1/O接口？I/O接口如何分类?答：I/O接口一般指CPU和I/O设备间的连接部件；l/O接口分类方法很多，主要有：按数据传送方式分有并行接口和串行接口两种；按数据传送的控制方式分有程序控制接口、程序中断接口、DMA接口三种。

5.13 说明中断向量地址和入口地址的区别和联系。

答：中断向量地址和入口地址的区别：向量地址是硬件电路(向量编码器）产生的中断源的内存地址编号，中断入口地址是中断服务程序首址。

中断向量地址和入口地址的联系：中断向量地址可理解为中断服务程序入口地址指示器（入口地址的地址），通过它访存可获得中断服务程序入口地址。

5.16 在什么条件和什么时间，CPU可以响应I/O的中断请求?答：CPU响应I/O中断请求的条件和时间是：当中断允许状态为1（EINT=1），且至少有一个中断请求被查到，则在一条指令执行完时，响应中断。

5.23说明调用中断服务程序和调用子程序的区别。

答： 调用中断服务程序和调用子程序的区别是：

（ 1）中断服务程序与中断时 CPU 正在运行的程序是相互独立的，它们之间没有确定的关系。子程序调用时转入的子程序与 CPU 正在执行的程序段是同一程序的两部分。

（ 2）除了软中断，通常中断产生都是随机的，而子程序调用是由 CALL 指令（子程序调用指令）引起的。

（ 3）中断服务程序的入口地址可以通过硬件向量法产生向量地址，再由向量地址找到入口地址。子程序调用的子程序入口地址是由 CALL 指令中的地址码给出的。

（ 4）调用中断服务程序和子程序都需保护程序断点，前者由中断隐指令完成，后者由 CALL 指令本身完成。

（ 5）处理中断服务程序时，对多个同时发生的中断需进行裁决，而调用子程序时一般没有这种操作。

八

8.19 中断系统中采用屏蔽技术有何作用?

答：采用屏蔽技术的作用是：

（1）在多重中断系统中，CPU响应中断后不希望有级别低的其他中断请求的干扰，采用屏蔽技术可屏蔽本级和更低级的中断请求，使中断处理可靠进行。

（2）改变中断处理的优先级。

（3）有选择地封锁部分中断请求，使程序控制更灵活。

8.22在中断处理过程中,为什么要进行中断判优?有几种实现方法?若想改变原定的优先顺序,可采取什么措施?

答：任何一个中断系统，在任一时刻，只能响应一个中断源的请求。当某一时刻有多个中断源提出中断请求时，中断系统必须按其优先顺序予以响应，这称为中断判优。

CPU 在某一时刻只能响应一个中断故必须中断判优，以解决相响应的优先次序。

中断判优有两种方法实现：硬件排队和软件排队。前者用组合逻辑电路实现，后者用程序按优先级别（从高到低）顺序查询各中断源，以实现排队。

欲想改变优先顺序，可采用屏蔽技术，重新设置屏蔽字，封锁级别高的请求源，开放级别低的请求源。

8.23在中断处理过程中，“保护现场”需要完成哪些任务?如何实现?

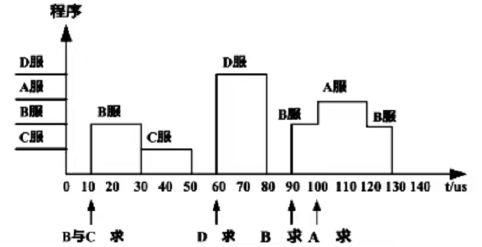
答：中断处理过程中，保护现场包括以下操作：

（1）将程序断点保存起来，可用中断隐指令完成。

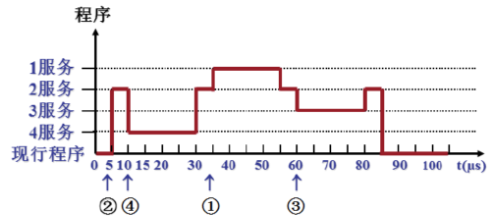
（2）将各通用寄存器及状态寄存器的内容保存起来，可在中断服务程序中用机器指令编程完成。

8.24现有A、B、C、D4个中断源,其优先级由高向低按 A→B→C→D顺序排列。若中断服务程序的执行时同为20μs，根据下图所示时间轴给出的中断源请求中断的时刻，画出 CPU执行程序的轨迹。

答：A、B、C、D的响应优先级即处理优先级。CPU执行程序的轨迹图如下：



8.28设某机有4个中断源1、2、3、4，其优先级按 1→2→3→4降序排列，现要求中断处理次序改为 4→1→3→2。根据下图给出的4个中断源的请求时刻,画出 CPU 执行程序的轨迹。假设中断源的中断服务程序时间均为20μs。



往年试题

一、填空

1. 指令操作码字段表征指令的\_\_\_ \_\_\_，而地址码字段指示\_\_\_ \_\_\_。

2. 通常计算机的更新换代以\_\_\_ \_\_\_依据。

3. 计算机软件一般分为两大类：一类叫\_\_\_ \_\_\_，另一类叫 \_\_\_ \_\_\_ 。

4. CPU由运算器和 \_\_\_ \_\_\_ 组成。

5. 微指令的的格式可以分为 \_\_\_ \_\_\_ 和水平两种类型。

6. 基本的指令周期包括 \_\_\_ \_\_\_ 和执行周期。

7. 冯．诺依曼型计算机中，指令和数据都用 \_\_\_ \_\_\_ 进制数据表示，并以同等地位存放在 \_\_\_ \_\_\_。

二 选择

1. 完整的计算机应包括（ ）。

A. 运算器、存储器、控制器 B. 外部设备和主机

C. 主机和实用程序 D. 配套的硬件设备和软件系统

2. ENIAC所用的主要元件是（ ）。

A. 集成电路 B. 晶体管 C. 电子管 D. 以上都不对

3. 相对于微程序控制器，硬布线控制器的特点是（ ）。

A. 指令执行速度慢，指令功能的修改和扩展容易

B. 指令执行速度慢，指令功能的修改和扩展难

C. 指令执行速度快，指令功能的修改和扩展容易

D. 指令执行速度快，指令功能的修改和扩展难

4. 某带中断的计算机指令系统共有101种操作，采用微程序控制方式时，控制存储器中相应最少有（ ）个微程序。

A. 101 B. 102 C. 103 D. 104

5. 在CPU中，跟踪后继指令地址的寄存器是（ ）。

A. 指令寄存器 B. 程序计数器 C. 地址寄存器 D. 状态寄存器

6. 指令寄存器的位数取决于（ ）。

A. 存储器的容量 B. 机器字长 C. 指令字长 D. 存储字长

7. 计算机工作的最小时间周期是（ ）。

A. 时钟周期 B. 指令周期 C. CPU周期 D. 工作脉冲

8. 以下有关机器周期的叙述中，错误的是（ ）。

A. 通常把通过一次总线事务访问一次主存或 I/ O的时间定为一个机器周期

B. —个指令周期通常包含多个机器周期

C. 不同的指令周期所包含的机器周期数可能不同

D. 每个指令周期都包含一个中断响应机器周期

9. 机器字长为32位，一个容量为16MB的存储器，CPU按半字寻址，寻址单元数是（ ）。

A. 224 B. 223 C. 222 D. 221

10. 单地址指令中为了完成两个数的算数运算，除地址码指明一个操作数外，另一个数采用（ ）方式。

A. 立即寻址 B. 隐含寻址 C. 间接寻址 D. 基址寻址

11. 下列校验码中，奇校验正确的有（ ）。

A. 110100111 B. 001000111 C. 010110011 D. 110100111

12. 对真值0表示形式唯一的机器数是（ ）。

A. 原码 B. 补码和移码 C. 反码 D. 以上都不对

13. 若[X]补=0.1101010，则[X]原=（ ）。

A. 1.0010101 B. 1.01110110 C. 0.0010110 D. 0.1101010

14. 下列选项中，能引起外部中断的事件是（ ）。

A. 键盘输入 B. 除数为0 C. 浮点运算下溢 D. 访存缺页

15. 中断响应是在（ ）。

A. —条指令执行开始 B. —条指令执行中间

C. 一条指令执行之末 D. —条指令执行的任何时刻

16. 下列关于中断I/O方式和DMA方式的叙述中，错误的是（ ）。

A. 中断I/O方式请求的是CPU处理时间，DMA方式请求的是总线使用权

B. 中断响应发生在一条指令执行结束后，DMA响应发生在一个总线事务完成后

C. 中断I/O方式下数据传送通过软件完成，DMA方式下数据传送由硬件完成

D. 中断I/O方式适用于所有外部设备，DMA方式仅适用于快速外部设备

17. 设机器字长为64位，存储容量为128MB，若按字编址，它可寻址的单元个数是（ ）。

A. 16MB B. 16M C. 32M D. 32MB

18. DRAM的刷新是以（ ）为单位的。

A. 存储单元 B. 行 C. 列 D. 存储字

19. U盘属于（ ）类型的存储器。

A. 高速缓存 B.主存 C. 只读存储器 D. 随机存取存储器

20. 以下各项中，（ ）是同步传输的特点。

A. 需要应答信号 B. 各部件的存取时间比较接近

C. 总线长度较长 D. 总线周期长度可变

三、简答

1. 某机器字长8位，1位符号位。写出x= —0.100011的原码，反码，补码表示以及算术右移1位的结果。

2. 异步通信中请求与回答有哪几种互锁关系，并画图说明。

3. 中断周期前是什么阶段？中断周期后又是什么阶段？在中断周期CPU应完成什么操作？

4. 什么是指令周期、机器周期和时钟周期？三者有何关系？

四、综合

1. 设某机器主存容量为16MB，Cache容量为16KB。每个块有8个字，每个字16位。主存和Cache按字编址。试回答以下问题：

（1）画出直接映射方式下主存地址段中各段的位数，并说明理由

（2）画出全相联映射方式下主存地址段中各段的位数，并说明理由

（3）画出2路组相联映射方式下（Cache每组内有2个块）主存地址段中各段的位数，并说明理由。

2. 假设机器字长16位，主存容量为128K字节，指令字长度为16位或32位，共有128条指令，设计计算机指令格式，要求有直接、立即数、相对、基值、间接、变址六种寻址方式。

3. 某计算机的CPU主频为500MHz，CPI为5 (即执行每条指令平均需5个时钟周期 )。假定某外设的数据传输率为0.5MB/S，采用中断方式与主机进行数据传送，以32位为传输单位，对应的中断服务程序包含18条指令，中断服务的其他开销相当于2条指令的执行时间。请回答下列问題，要求给出计算过程。

（1）在中断方式下，CPU用于该外设I/O的时间占整个CPU时间的百分比是多少？

（2）当该外设的数据传输率达到5MB/S时，改用DMA方式传送数据。假定每次DMA传送块大小为5000B，且DMA预处理和后处理的总开销为500个时钟周期，则CPU用于该外设I/O的时间占整个CPU时间的百分比是多少？（假设DMA与CPU之间没有访存冲突）

一、填空

1. 根据小数点位置不同，定点数有 和纯整数之分。

2. Cache是一种 存储器，是为了解决CPU和主存之间 不匹配而采用的一项重要硬件技术。

3. CPU从存储器取出一条指令并执行这条指令的时间和称为 。

4. 存储器的技术指标有 ，存储时间、存储周期和存储器带宽。

5. 总线判优可以分为 和分布式两种。

6. 单重中断服务程序的执行顺序为保护现场、设备服务、恢复现场、 和中断返回。

7. IO指令的一般格式由操作码、 和 构成。

8. 八进制数736转换成二进制数为 。

二 选择

1. 存放欲执行指令的寄存器是（ ）。

A. MAR B. PC C. IR D. ACC

2. 第四代计算机以（ ）为主要器件。

A. 晶体管 B. 电子管 C. 集成电路 D. 大规模和超大规模集成电路

3. 完整的计算机应包括（ ）。

A. 运算器、存储器、控制器 B. 外部设备和主机

C. 主机和实用程序 D. 配套的硬件设备和软件系统

4. 以下各项中，（ ）是同步传输的特点。

A. 需要应答信号 B. 各部件的存取时间比较接近

C. 总线长度较长 D. 总线周期长度可变

5. 下列校验码中，奇校验正确的有（ ）。

A. 110100111 B. 001000111 C. 010110011 D. 110100111

6. 对真值0表示形式唯一的机器数是（ ）。

A. 原码 B. 补码和移码 C. 反码 D. 以上都不对

7. 设机器字长为64位，存储容量为128MB，若按字编址，它可寻址的单元个数是（ ）。

A. 16MB B. 16M C. 32M D. 32MB

8. 所谓的三总线结构的计算机是指（ ）。

A. 地址、数据和控制三组传输线 B. I/O总线、主存总线和DMA总线

C. I/O总线、主存总线和系统总线 D. 以上都不是

9. 设机器字长32位，存储器按字节编址，对于单字长指令来说，读取该指令后PC如何变化（ ）。

A. +1 B. +2 C. +3 D. +4

10. 至今为止，计算机中的所有信息仍以二进制方式表示的理由是（ ）。

A. 节约元件 B. 运算速度快 C. 物理器件的性能决定 D. 信息处理方便

11. 已知X为整数，且[X]补 = 10011011，则X的十进制数值是（ ）。

A. +155 B. –101 C. –155 D. +101

12. 指令系统采用不同寻址方式的目的是（ ）。

A. 实现存贮程序和程序控制 B. 缩短指令长度，扩大寻址空间，提高编程灵活性

C. 可直接访问外存 D. 提供扩展操作码的可能并降低指令译码的难度

13. 为了便于实现多级中断，保存现场信息最有效的办法是采用（ ）。

A. 通用寄存器 B. 堆栈 C. 存储器 D. 外存

14. 程序控制类指令的功能是（ ）。

A. 进行算术运算和逻辑运算 B. 进行主存与CPU之间的数据传送

C. 进行CPU和I / O设备之间的数据传送 D. 改变程序执行顺序

15. 寄存器间接寻址方式中，操作数处在（ ）。

A. 通用寄存器 B. 主存单元 C. 程序计数器 D. 堆栈

16. 微程序控制器中，机器指令与微指令的关系是（ ）。

三、简答

1. 简述基址寻址方式和变址寻址方式及其它们的主要区别。

2. 什么是垂直型微指令？什么是水平型微指令？各有何特点？

四、综合

1. 机器数字长8位（含1位符号位），若十进制数A= -（21/32），B= 7/16，求：

（1）A，B的原码，反码、补码表示形式

（2）用补码运算规则求[A+B]补和[A-B]补

2. 设某机器有4台设备A，B，C，D，其优先顺序为A<B<C<D，现中断服务顺序变为A>B>C>D。

（1）说明中断中断屏蔽字如何设置。

（2）若4个中断源同时有中断请求，画出CPU执行程序的轨迹。

3. 设CPU共有16根地址线，8根数据线，并用MREQ（低电平为访存）作访存控制信号，用WR作读写命令信号（高电平为读，低电平为写），现有下列存储芯片及138译码器和各种门电路（自定）。

1K×4位RAM； 4K×8位RAM；8K×8位RAM；

2K×8位ROM； 4K×8位ROM；8K×8位ROM;

画出CPU与存储器的连接图，要求：

6000H~67FFH为系统程序区，6800H~6BFFH为用户程序区。详细画出存储芯片的片选逻辑并指出存储芯片的种类及其片数。

一、填空

1. 计算机唯一能直接执行的语言是\_\_ \_语言。

2. 任何指令周期的第一步必定是\_\_ 周期。

3. 按照奇偶校验原理，若对二进制编码10011110进行奇校验，校验位应为\_\_\_\_\_\_\_。

4. 浮点数加减运算过程一般包括\_\_\_\_\_\_\_\_\_\_、尾数运算、规格化、舍入和溢出判断等步骤。

5. 高速缓冲存储器是为了缓解\_\_\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_\_\_之间速度不匹配的矛盾而设置的。

6. 存储容量的扩展通常包括\_\_\_\_\_\_\_\_\_\_、 \_\_\_\_\_\_\_\_\_\_、字位扩展三种扩展方式。

7. 浮点数的表示范围取决于\_\_\_\_\_\_\_\_\_\_的位数，而精度取决于\_\_\_\_\_\_\_\_\_\_的位数。

二 选择

1. 微程序存放在（ ）。

A. 主存中 B. 堆栈中 C. 只读存储器中 D. 磁盘中

2. 指示当前指令的地址的部件是 ( )。

A. 程序计数器 B. 累加计数器 C. 中断计数器 D. 程序状态字

3. 以下关于 DMA 的描述中正确的是 ( )。

A. DMA过程中没有中断

B. DMA过程中有中断，其作用与程序中断方式中相同

C. DMA过程中有中断，其作用与程序中断方式中不同

D. DMA 过程中没有中断，但其与 CPU 的联络方式与中断相同

4. 冯•诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU区分它们的依据是( )。

A. 指令操作码的译码结果 B. 指令和数据的寻址方式

C. 指令周期的不同阶段 D. 指令和数据所在的存储单元

5. 下列不会引起指令流水阻塞的是 ( )。

A. 数据旁路 B. 数据相关 C. 条件转移 D. 资源冲突

6. 计算机工作的最小时间周期是（ ）。

A. 工作脉冲 B. 指令周期 C. CPU周期 D. 时钟周期

7. 某计算机的指令流水线由4个功能段组成，指令流经各功能段的时间（忽略各功能段之间的缓存时间）分别是90ns、80ns、70ns和60ns，则该计算机的CPU时钟周期至少是 ( )。

A. 90ns B. 80ns C. 70ns D. 60ns

8. 对真值0表示形式唯一的机器数是（ ）。

A. 原码 B. 补码和移码 C. 反码 D. 以上都不对

9. 当采用双符号位进行定点加减运算时，发生负溢出时双符号位为 ( )。

A. 00 B. 01 C. 11 D. 10

10. 若[X]补=11010010，则X的十进制数真值是 ( )。

A. 71 B. -46 C. -82 D. 以上都不是

11. 下列关于寄存器间接寻址方式操作数所在位置的说法正确的是 ( )。

A. 操作数在指令中 B. 操作数在寄存器中

C. 操作数在内存中 D. 操作数地址在指令中

12. 中断隐指令中实现对 ( ) 的保护。

A. 向量地址 B. 断点地址

C. 中断向量 D. 中断服务程序入口地址

13. 中断响应是在 ( )。

A. —条指令执行开始 B. —条指令执行中间

C. 一条指令执行之末 D. —条指令执行的任何时刻

14. 以下不属于控制器的功能的是 ( )。

A. 指令控制 B. 时间控制 C. 中断控制 D. 数据加工

15. 微程序控制器中，机器指令与微指令的关系是（ ）。

A. 每一条机器指令由一条微指令来执行

B. 每一条机器指令由一段微指令编写的微程序来解释执行

C. 每一条机器指令组成的程序可由一条微指令来执行

D. 一条微指令由若干条机器指令组成

三、简答

1. 简述动态存储器进行刷新的目的及常用的刷新方式。

2. 冯•诺依曼计算机的主要设计思想是什么？包括哪些主要组成部分？

3. 常见的集中式总线控制有几种? 哪种方式响应时间最快？哪种方式对电路故障最敏

感？

4. 某机有五个中断源，按中断响应的优先顺序由高到低为L0, L1, L2, L3, L4，现要求优先顺序改为L4, L2, L3, L0, L1，写出各中断源的屏蔽字。

四、综合

1. 设浮点数阶码为8位（含1 位阶符），尾数为24位（含1位数符），当机器数为原码，尾数为规格化形式时，写出该浮点数的表示范围，并说明在什么情况下发生上溢和下溢。

2. 4个模块组成的4体存储器结构，每个体的存储器字长为32位，存储周期为200ns，总线宽度为32位，总线传输周期为50ns，求顺序存储和交叉存储的存储器带宽。

3. 设CPU有16根地址线，8根数据线，并用MREQ作访存控制信号（低电平有效），用WR作读写控制信号（高电平为读，低电平为写）。现有下列存储芯片： 1K×4位RAM；4K×8位RAM；8K×8位RAM；2K×8位ROM；4K×8位ROM；8K×8位ROM，以及74LS138译码器和各种门电路（非门、与非门、或门）。要求主存地址空间分配：8000H～87FFH为系统程序区；8800H ～8BFFH为用户程序区。

（1）合理选用上述存储芯片，说明各选几片？

（2）画出CPU与存储器的连接图，并详细画出存储芯片的片选逻辑图。

4. 某机主存容量为4M×16 位，且存储字长等于指令字长，若该机的指令系统具备120 种操作。操作码位数固定，且具有直接、间接、立即、相对四种寻址方式。

（1）画出一地址指令格式并指出各字段的作用。

（2）该指令直接寻址的最大范围（十进制表示）。

（3）一次间址的寻址范围（十进制表示）。

（4）相对寻址的位移量（十进制表示）。

一、填空

1. 对二进制编码10010110进行偶校验，校验位应为\_\_\_\_\_\_\_。

2. 完成一条指令的执行通常包含4个典型的工作周期，它们是 、\_\_\_\_\_\_\_ 、

、 。

3. 计算机中存放当前指令地址的寄存器叫做 ，其位数取决于 。

4. 主存块和Cache块可按三种方式进行映射，分别是直接映射、 、

。

5. 十六进制数30转换成二进制数为 。

二 选择

1. 堆栈指针SP的内容是（ ）。

A. 栈顶地址 B. 栈底地址 C. 栈顶内容 D. 栈底内容

2. 计算机硬件能够直接执行的语言是（ ）。

A. 汇编语言 B. 机器语言

C. 汇编语言和机器语言 D. 高级算法语言

3. 相对于微程序控制器，硬布线控制器的特点是（ ）。

A. 指令执行速度慢，指令功能的修改和扩展容易

B. 指令执行速度慢，指令功能的修改和扩展难

C. 指令执行速度快，指令功能的修改和扩展容易

D. 指令执行速度快，指令功能的修改和扩展难

4. 某机器字长16位，主存按字节编址。转移指令采用相对寻址，由两个字节组成，第一个字节为操作码字段，第二个字节为相对偏移量字段。假定取指时，每取一个字节PC就自动加1。若某转移指令所在主存地址为2000H，相对位移量字段的内容为10H，则该转移指令成功转以后的目标地址是（ ）。

A. 2010H B. 2011H C. 2012H D. 2013H

5. 单地址指令中为了完成两个数的算数运算，除地址码指明一个操作数外，另一个数采用（ ）方式。

A. 立即寻址 B. 隐含寻址 C. 间接寻址 D. 基址寻址

6. 设机器字长为32位，存储容量为128MB，若按字编址，它可寻址的单元个数是（ ）。

A. 16MB B. 16M C. 32M D. 32MB

7. DRAM的刷新是以（ ）为单位的。

A. 存储单元 B. 行 C. 列 D. 存储字

8. EPROMU盘属于（ ）类型的存储器。

A. 高速缓存 B. 主存 C. 只读存储器 D. 随机存取存储器

9. 当采用双符号位进行定点加减运算时，发生正溢出时双符号位为（ ）。

A. 00 B. 01 C. 10 D. 11

10. x=+0.1011, y=+0.0110 ，则用补码运算[x-y]补=（ ）。

A. 0.0101 B. 0.0001 C. 1.1011 D. 1.1111

11. 某存储器芯片的存储容量为8K×8位，则它的地址线和数据线相加的和为（ ）。

A. 12 B. 13 C. 22 D. 21

12. 计算机操作的最小单位时间是（ ）。

A. 时钟周期 B. 指令周期 C. CPU 周期 D. 中断周期

13. 为了便于实现多级中断，保存现场信息最有效的办法是采用（ ）。

A. 通用寄存器 B. 堆栈 C. 存储器 D. 外存

14. 以下关于 DMA 的描述中正确的是（ ）。

A. DMA 过程中没有中断

B. DMA 过程中有中断，其作用与程序中断方式中相同

C. DMA 过程中有中断，其作用与程序中断方式中不同

D. DMA 过程中没有中断，但其与 CPU 的联络方式与中断相同

15. 以下各项中，（ ）是同步传输的特点。

A. 需要应答信号 B. 各部件的存取时间比较接近

C. 总线长度较长 D. 总线周期长度可变

三、简答

1. 指令和数据都存于存储器中，计算机如何区分它们？。

2. 机器数字长8位（含1位符号位），若机器数为9A（十六进制），当它分别表示原码、补码、反码、移码和无符号数时，等价的十进制数分别是多少？

3. 什么叫刷新？为什么要刷新？说明刷新有几种方法。

4. 简述精简指令系统计算机 (RISC)的特点 ?

四、综合

1. 机器数字长8位（含1位符号位），若十进制数A= -（5/128），B= 17/128，求：

（1）A，B的原码，反码、补码表示形式

（2）用补码运算规则求[A+B]补和[A-B]补

2. 某计算机系统的内存储器由 cache和主存构成，cache的存取周期为50ns，主存 的存取周期为200ns。已知在一段给定的时间内，共访问Cache 2000次，访问主存50次。求：

（1）cache的命中率是多少？

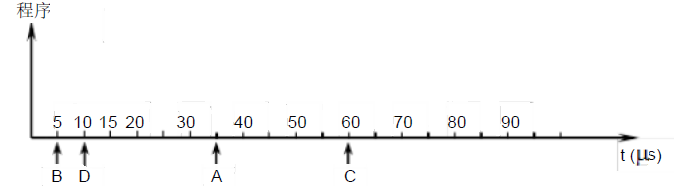
（2）CPU访问内存的平均时间是多少？

（3）访问效率是多少？

3. 设某机有四个中断源A 、B、C、D，其硬件排队优先次序为A > B > C > D ，现要求将中断处理次序改为D > A > C > B 。

（ 1）写出每个中断源对应的屏蔽字。

（ 2）按下图时间轴给出的四个中断源的请求时刻， 画出CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为20μs。



4. 某机配有基址寄存器和变址寄存器，采用一地址格式的指令系统，允许直接和间接寻址，且指令字长、存储字长、机器字长均为16位。

（1）采用单字长指令，共能完成105种操作，指令可直接寻址的范围为多大？一次间接寻址的范围为多大？画出其指令格式并说明各个字段的含义。

（2）若存储字长不变，采用什么方式可以直接访问容量为16MB的内存。