

Sprawozdanie z układów logicznych	Rok 2021
Jakub Samulski (260407)	Ćwiczenie nr 1
Kacper Suchanek (260468)	Temat: Ćwiczenie wprowadzające w tematykę laboratorium
Grupa laboratoryjna nr Z01-45u Prowadzący: mgr inż. Karol Stasiński	Piątek
	17.05-18.35

Spis Treści

Zagadnienia do opracowania	3
rola sygnału taktującego (zegara) w układach synchronicznych.....	3
co robi sygnał CLEAR	3
do czego służy sygnał RESET.....	3
Jaka jest podstawowa różnica między wejściami RIN. LIN oraz ABCD	3
Specyfikacja układu 74194	4
Opis.....	4
Sieć logiczna rejestru 74194.....	4
Oznaczenie graficzne rejestru 74194	4
Schemat Obudowy	5
Tabela stanów	7
Analiza układów	8
Układ A	8
Układ B	10
Układ C	12
Specyfikacja układów użytych przy podłączaniu	14
Bibliografia:	16

Zagadnienia do opracowania

rola sygnału taktującego (zegara) w układach synchronicznych

W układach synchronicznych występuje pewien (co najmniej jeden) wyróżniony sygnał – zwany przebiegiem zegarowym, taktującym lub synchronizującym. Przebieg ten wyznacza cykl pracy układu, a jego okres stanowi umowną jednostkę czasu. Sygnał zegarowy określa chwile, w których stany wejść oddziałują na układ.

co robi sygnał CLEAR

CLR (clear) – asynchroniczne wejście zerowania – pozwala na ustawienie wszystkich wartości układu do 0. (stan niski wymusza stany 0 na wszystkich wyjściach Q)

do czego służy sygnał RESET

Do zmiany trybu pracy układu

Jaka jest podstawowa różnica między wejściami RIN. LIN oraz ABCD

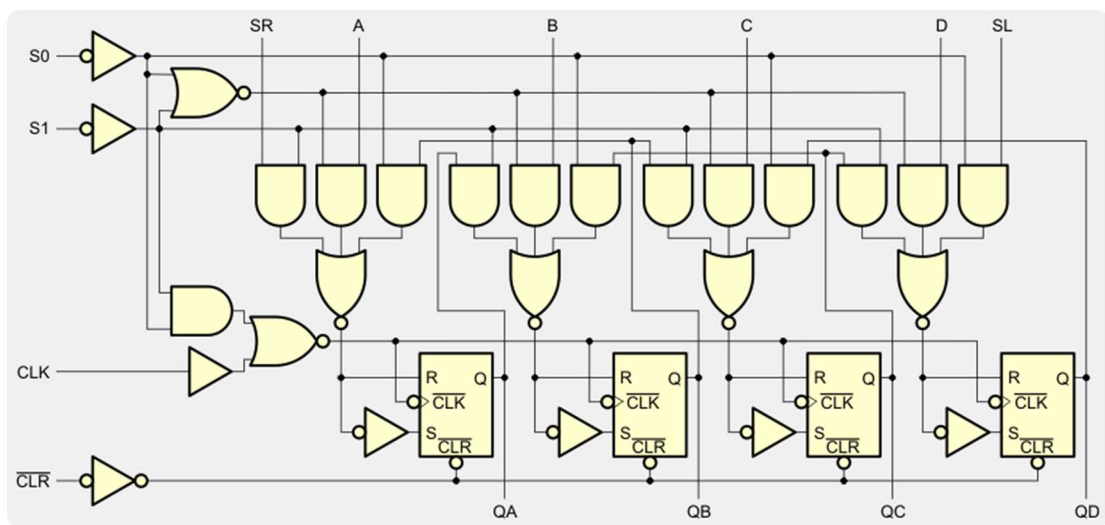
RIN i LIN to wejścia danych szeregowych a ABCD to wejścia danych równoległych

Specyfikacja układu 74194

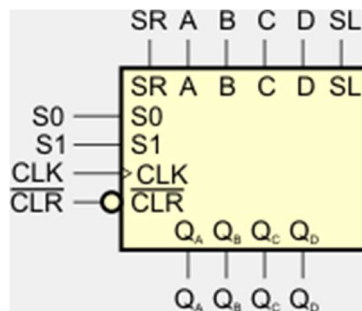
Opis

Układ 74194 jest czterobitowym dwukierunkowym rejestrem przesuwającym, który spełnia wszystkie funkcje wymagane przez projektantów urządzeń lub systemów. Pozwala na łatwiejszą implementację rejestrów przesuwanych. Dzięki wejściom A, B, C i D możliwe jest wprowadzanie danych równoległe, a wejścia S0 i S1 są wejściami sterującymi. Rejestr ma równoległe wejścia i równoległe wyjścia, wejścia szeregowo dla przesuwania w prawo i w lewo, wejścia rodzaju pracy oraz wejście zerowania, które jest asynchroniczne i niezależne od innych wejść. Nie możliwe jest jednoczesne wprowadzanie danych i przesuwanie bitów rejestru, a wszystkie akcje odbywają się, wraz z pojawieniem się stanu wysokiego na zegarze CLK. Wejście CLR jest wejściem asynchronicznym i resetuje informacje, gdy zostanie na nie podane logiczne „0” niezależnie od stanu zegara.

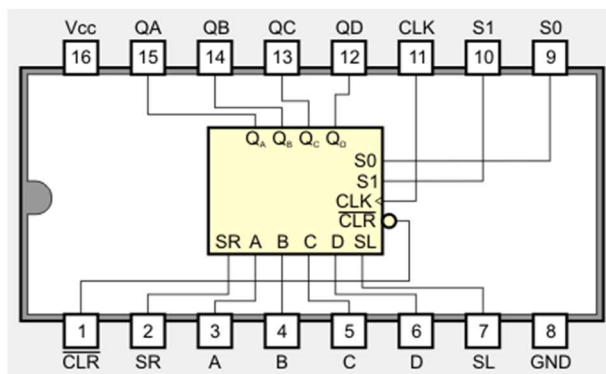
Sieć logiczna rejestru 74194



Oznaczenie graficzne rejestru 74194



Obudowa DIL-16



Znaczenie odpowiednich wejść/wyjść układu jest następujące:

- **S0 i S1** – wejścia określające tryb pracy układu
- **CLR** (clear) – asynchroniczne wejście zerowania – pozwala na ustawienie wszystkich wartości układu do 0. (stan niski wymusza stany 0 na wszystkich wyjściach Q)
- **CLK** – wejście zegarowe - każdy takt zegara pozwala przeprowadzać kolejne kroki obliczeń. (zmiany dokonywane są synchronicznie z narastającym zboczem impulsu zegarowego)
- **SR** (RIN) – wejście danych szeregowych przy przesuwie w prawo
- **SL** (LIN) – wejście danych szeregowych przy przesuwie w lewo
- **A, B, C, D** – wejścia danych równoległych, pozwalają zadać wartości na odpowiadające im wyjścia Q_A , Q_B , Q_C , Q_D przy wprowadzaniu równoległym.
- **Q_A , Q_B , Q_C , Q_D** – wyjścia danych równoległych

Stany wejść S0 i S1 dają możliwość wyboru trybu pracy układu. Cztery takie tryby przedstawiają się następująco:

- **S0 : S1 = 0 : 0** Blokada zegara

Blokada wejścia zegarowego następuje, gdy na obu wejściach rodzaju pracy (S0 i S1) jest przyłożony stan niski. Zmiany stanu na wejściach powinny być dokonywane, kiedy na wejściu zegarowym jest stan wysoki.

- $S0 : S1 = 1 : 0$ Przesuw w prawo w kierunku od Q_A do Q_D

Dane są wprowadzane z prawego wejścia SR (RIN) i przesuwane w prawo wzdłuż rejestru synchronicznie z narastaniem zbocza impulsu zegarowego. Wartość z SR jest kopiowana do Q_A , z Q_A do Q_B itd. W czasie przesuwania w prawo wejścia równoległe danych są zablokowane.

- $S0 : S1 = 0 : 1$ Przesuw w lewo w kierunku od Q_D do Q_A

Dane są wprowadzane z lewego wejścia SL (LIN) i przesuwane w lewo wzdłuż rejestru synchronicznie z narastaniem zbocza impulsu zegarowego. Wartość z SL jest kopiowana do Q_D , z Q_D do Q_C itd. W czasie przesuwania w prawo wejścia równoległe danych są również zablokowane.

- $S0 : S1 = 1 : 1$ Wprowadzanie równoległe

Wprowadzone 4 bity danych do wejść danych równoległych po przetworzeniu są ładowane do odpowiednich wyjść danych równoległych. W czasie wprowadzania równoległego wejścia szeregowo (SR, SL) są zablokowane.

Tabela stanów

Tabela funkcyjna														Funkcja
CLR	Tryb		CLK	Szeregowe		Równoległe				Wyjścia				
	S0	S1		LIN	RIN	A	B	C	D	Q _A	Q _B	Q _C	Q _D	
L	X	X	X	X	X	X	X	X	X	L	L	L	L	Zerowanie Asynchroniczne
H	X	X	L	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}	
H	H	H	↑	X	X	a	b	c	d	a	b	c	d	Wprowadzanie równoległe
H	L	H	↑	X	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}	Przesuwanie w prawo
H	L	H	↑	X	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}	
H	H	L	↑	H	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	H	Przesuwanie w lewo
H	H	L	↑	L	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	L	
H	L	L	X	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}	Blokada

Legenda:

H – stan wysoki, L – stan niski

X – stan dowolny to znaczy taki, który niezależnie od ustawienia nie wpływa na pracę układu

Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0} – wartości odpowiednio Q_A, Q_B, Q_C, Q_D przed modyfikacją (takie jak na wejściu)

Q_{An}, Q_{Bn}, Q_{Cn}, Q_{Dn} – wartości odpowiednio Q_A, Q_B, Q_C, Q_D na wyjściu przerzutników, przed ostatnią zmianą na wejściu zegarowym ze stanu niskiego na wysoki

a, b, c, d – wartości ustalone na wejściach A, B, C, D

↑ - narastające zbocze sygnału zegarowego

Analiza układów

Układ A

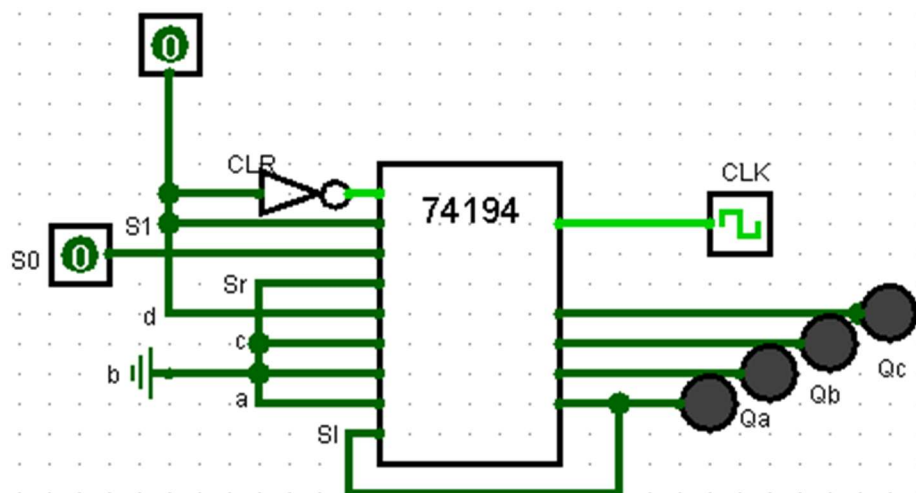
- CLR (MR) = 1 stale
- Sygnał RESET ma wartość logiczną równą 1 (H) – wpis równoległy (S0 : S1 = H : H)
- Wartości wyjść Q_A, Q_B, Q_C = 0, Q_D = 1 (odpowiednio do wejść a, b, c = L, d = H)
- Wejście SL (DSL) przyjmuje wartość z wyjścia Q_A
- Sygnał RESET ma wartość logiczną równą 0 (L) – przesuw w lewo (S0 : S1 = L : H)

Takt	CLK	Q _D	Q _C	Q _B	Q _A	SL
1	L	H	L	L	L	L
1	H	H	L	L	L	L
2	L	L	H	L	L	L
2	H	L	H	L	L	L
3	L	L	L	H	L	L
3	H	L	L	H	L	L
4	L	L	L	L	H	H
4	H	L	L	L	H	H
5	L	H	L	L	L	L
5	H	H	L	L	L	L

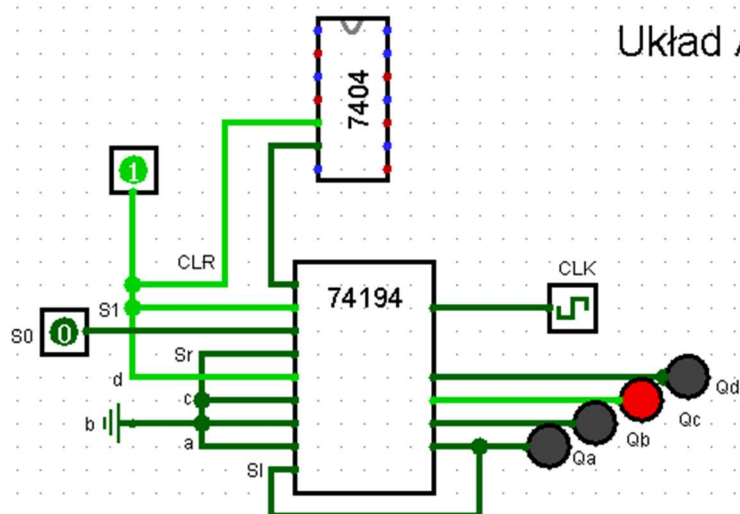
W tej jak i kolejnych tabelach H oznacza stan wysoki, zaś L stan niski.

Cykl jest stały i powtarza się co cztery takty.

A_logiczny



Układ A_Podłączenie

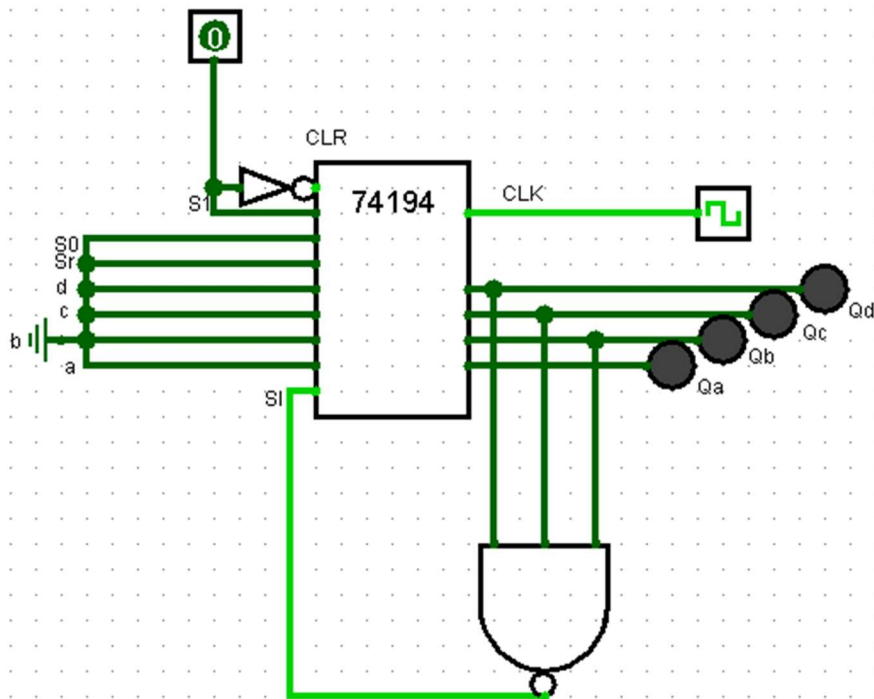


Układ B

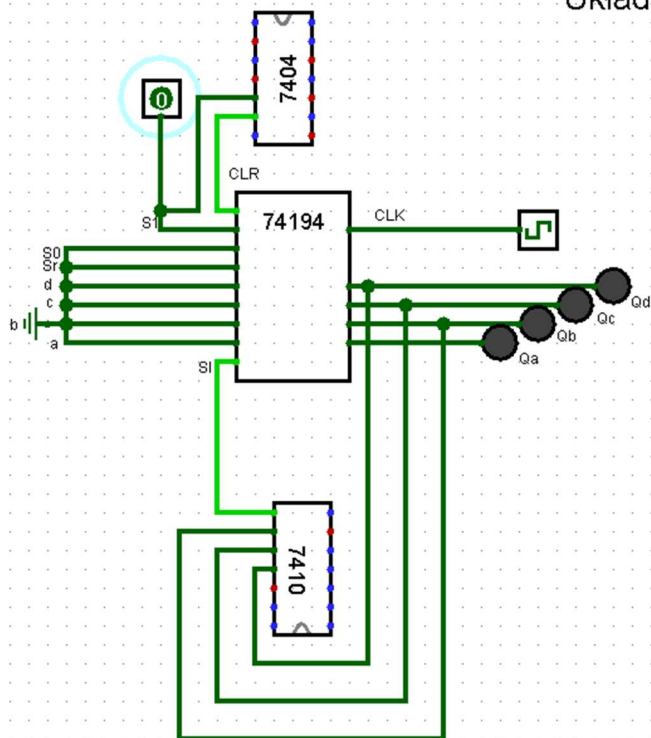
- CLR (MR) = 1 stale
- Wejście S0 jest uziemione (S0 = L stale), a wejście S1 będzie miało stałą wartość H – w tym układzie możliwa jest więc tylko funkcja przesuwu w lewo
- Wejście SL (DSL) = $\neg(Q_B \cdot Q_C \cdot Q_D)$
Cykl powtarza się co 4 takty(4-8)

Takt	CLK	Q _D	Q _C	Q _B	Q _A	SL
1	L	H	L	L	L	H
1	H	H	L	L	L	H
2	L	H	H	L	L	H
2	H	H	H	L	L	H
3	L	H	H	H	L	L
3	H	H	H	H	L	L
4	L	L	H	H	H	H
4	H	L	H	H	H	H
5	L	H	L	H	H	H
5	H	H	L	H	H	H
6	L	H	H	L	H	H
6	H	H	H	L	H	H
7	L	H	H	H	L	L
7	H	H	H	H	L	L
8	L	L	H	H	H	H
8	H	L	H	H	H	H

B_logiczny



Układ b_Podłączenie

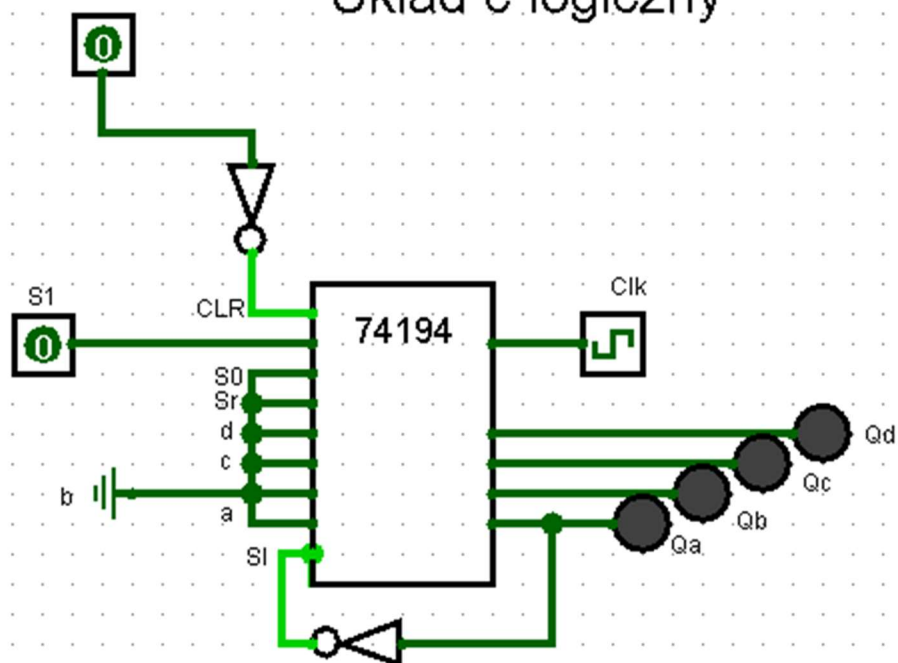


Układ C

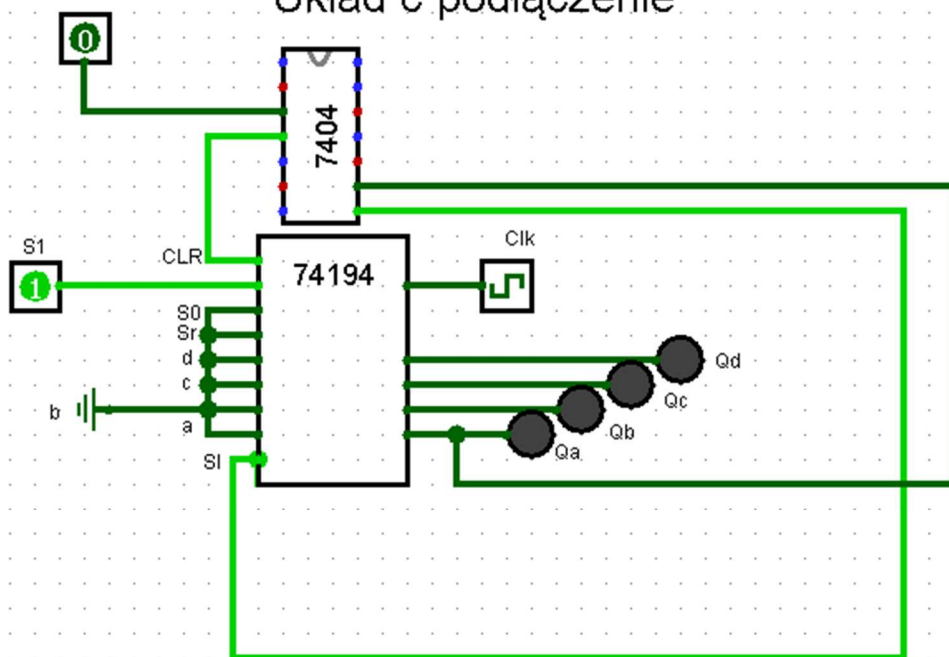
- Do wejścia CLR (MR) podłączony jest RESET. Gdy wartość na CLR = 0, to zerowane są wszystkie wyjścia Q. Wejście SL (DSL) przyjmuje wtedy wartość 1 w wyniku działania bramki logicznej NOT.
- Wejście SL (DSL) = $\neg Q_A$
- S0 jest uziemione, a S1 ma stałą wartość 0 (S0 : S1 = L : H) – w układzie realizowana funkcja przesuwania w lewo
- Cykl jest stały i powtarza się co osiem taktów zegara.

Takt	CLK	Q _D	Q _C	Q _B	Q _A	SL
1	L	H	L	L	L	H
1	H	H	L	L	L	H
2	L	H	H	L	L	H
2	H	H	H	L	L	H
3	L	H	H	H	L	H
3	H	H	H	H	L	H
4	L	H	H	H	H	L
4	H	H	H	H	H	L
5	L	L	H	H	H	L
5	H	L	H	H	H	L
6	L	L	L	H	H	L
6	H	L	L	H	H	L
7	L	L	L	L	H	L
7	H	L	L	L	H	L
8	L	L	L	L	L	H
8	H	L	L	L	L	H
9	L	H	L	L	L	H
9	H	H	L	L	L	H

Układ c logiczny

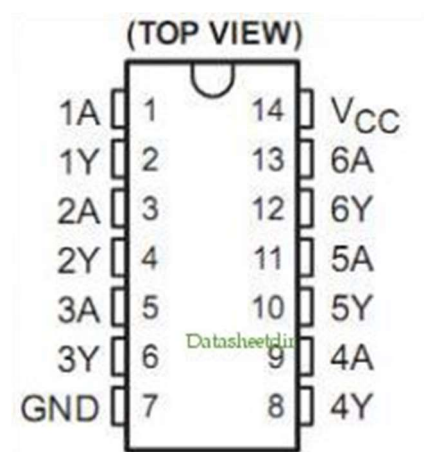
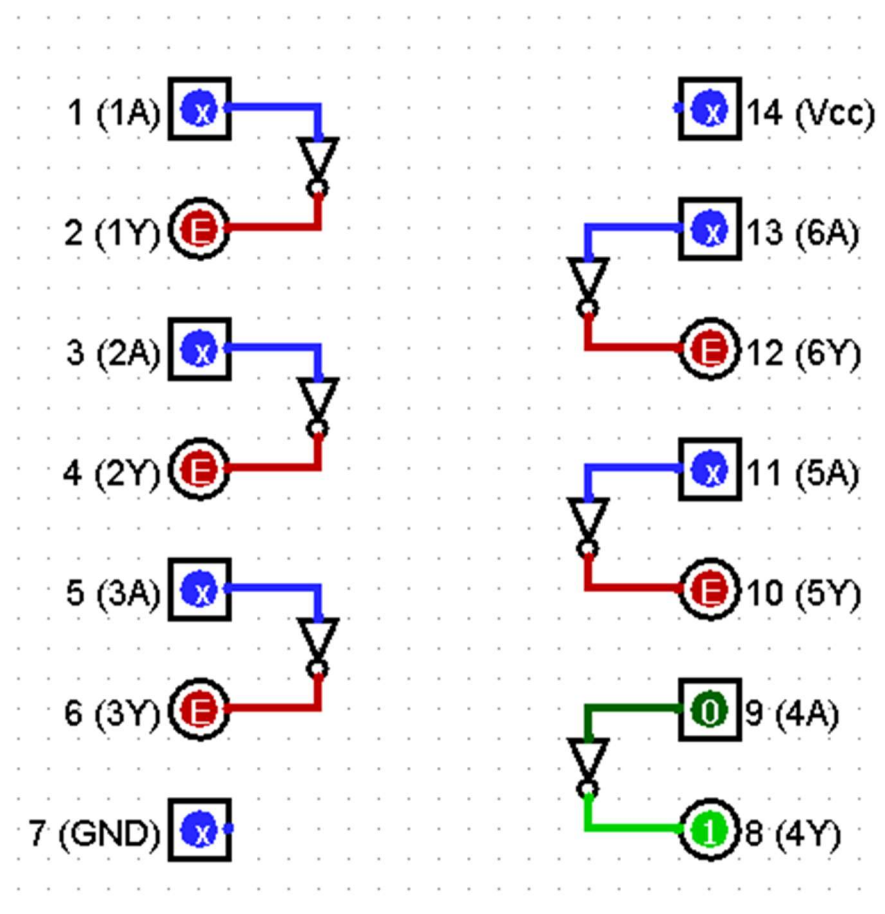


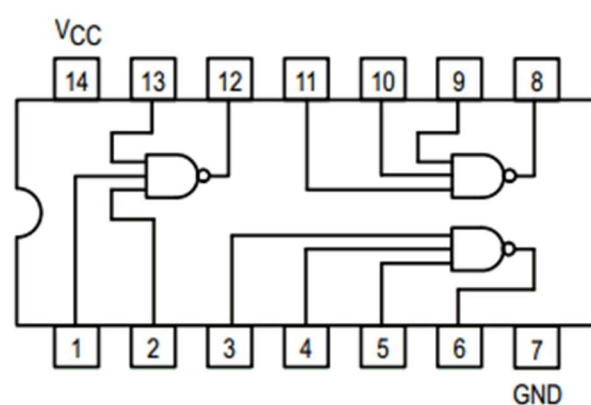
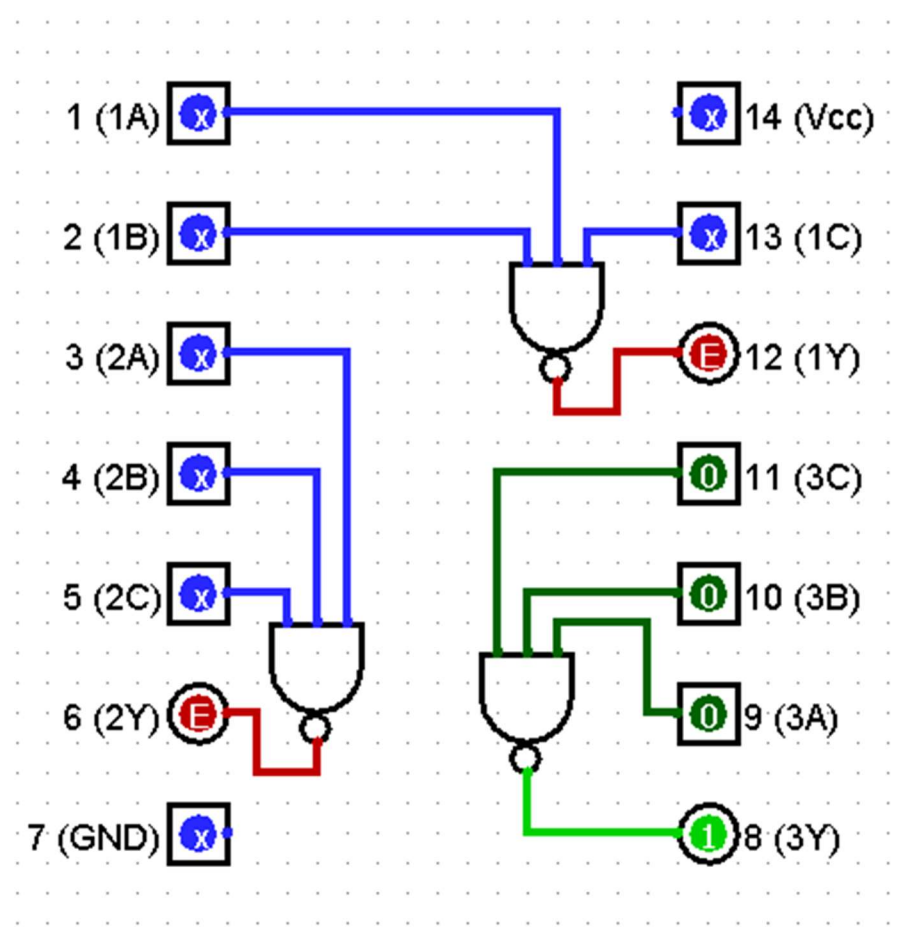
Układ c podłączenie



Specyfikacja układów użytych przy podłączaniu

7404





Bibliografia:

https://eduinf.waw.pl/inf/prg/010_uc/74194.php

<http://www.datasheetq.com/7410-doc-Motorola>

<http://www.datasheetdir.com/7407+Buffers-Divers>