

Sprawozdanie z układów logicznych	Rok 2021
Jakub Samulski (260407)	Ćwiczenie nr 5
Kacper Suchanek (260468)	Temat: Synteza układu synchronicznego
Grupa laboratoryjna nr Z01-45u Prowadzący: mgr inż. Karol Stasiński	Piątek
	17.05-18.35

## Spis treści

Zagadnienia do opracowania .....	3
Definicja układu Moore'a i Mealy'ego. ....	3
Synteza układu Moore'a.....	4
Graf stanów-wyjść układu: .....	4
Tabela stanów-wyjść układu .....	5
Otrzymywanie funkcji wyjść: .....	7
Wyjście $Z_1$ : .....	7
Wyjście $Z_2$ : .....	7
Schemat Logiczny Układu Moore'a .....	8
Schemat podłączenia układu Moore'a .....	8
Synteza układu Mealy'ego.....	9
Graf stanów-wyjść układu: .....	9
Tablica stanów-wyjść układu:.....	10
Otrzymywanie funkcji wzbudzających wejścia przerzutnika JK: .....	11
Otrzymywanie funkcji wyjść: .....	12
Wyjście $Z_1$ : .....	12
Wyjście $Z_2$ : .....	12
Schemat logiczny układu Mealy'ego .....	13
Schemat podłączenia układu Mealy'ego.....	13
Schematy obu układów .....	14
Logiczny .....	14
Podłączenia.....	15
Obserwacje – diagramy czasowe .....	16
Układ Moore'a.....	16
Układ Mealy'ego.....	17
Oba układy.....	18
Wnioski .....	19
Specyfikacja układów użytych w zadaniu.....	20
7404.....	20
7400.....	20
7402.....	21
7474.....	21
7476.....	22

## Zagadnienia do opracowania

**Układem synchronicznym** nazywamy układ sekwencyjny, w którym zmiana stanu wewnętrznego występuje wyłącznie w momentach wyznaczanych przez sygnał zegarowy (oznaczany jako C, CLK lub CLOCK). Jeśli układ reaguje na określony stan logiczny zegara, nazywany jest **statycznym** (wyzwalanym poziomem), jeśli zaś układ reaguje na zmianę sygnału zegarowego, nazywany jest **dynamicznym** (wyzwalanym zboczem). Układ dynamiczny może być wyzwalany zboczem opadającym lub narastającym albo impulsem.

## Definicja układu Moore'a i Mealy'ego.

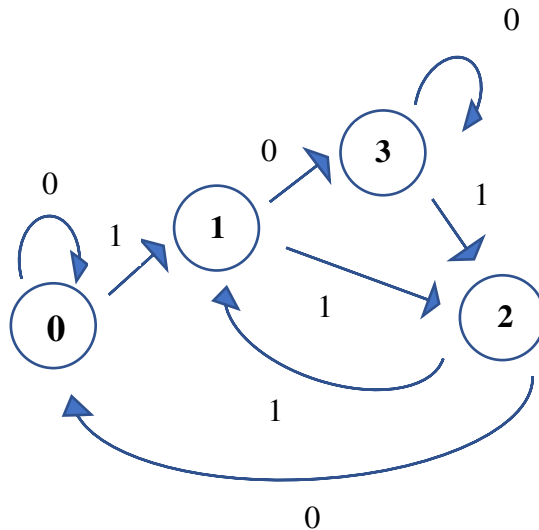
Układy synchroniczne możemy podzielić na:

- **automaty Moore'a** – w tych układach wyjście jest funkcją tylko i wyłącznie stanu wewnętrznego układu, dzięki czemu wartość logiczna na wyjściu zostanie utrzymana przez cały czas trwania taktu wejścia zegarowego,
- **automaty Mealy'ego** – układy, w których wyjście jest funkcją stanu wewnętrznego oraz aktualnego stanu wejść układu; zmiana wartości logicznej na wyjściu może wystąpić w trakcie trwania taktu (podczas zmiany wartości na wejściu).

W zadaniu do zrealizowania układu Moore'a wykorzystane zostaną przerzutniki typu D (7474), zaś przy realizacji układu Mealy'ego użyte będą przerzutniki JK (7476).

## Synteza układu Moore'a.

Graf stanów-wyjść układu:



liczby nad strzałkami – wartości zmiennej wejściowej ( $x$ )

stan **0** – stan początkowy lub po podaniu parzystej 1 i po niej 0 ( $Z_1 = 0, Z_2 = 0$ )

stan **1** – stan po podaniu nieparzystej 1 ( $Z_1 = 1, Z_2 = 0$ )

stan **2** – stan po podaniu parzystej 1 ( $Z_1 = 0, Z_2 = 1$ )

stan **3** – stan po podaniu nieparzystej 1 i po niej 0 ( $Z_1 = 0, Z_2 = 0$ )

## Tabela stanów-wyjść układu

$s \backslash x$	0	1	$Z_1$	$Z_2$
0	0	1	0	0
1	3	2	1	0
2	0	1	0	1
3	3	2	0	0

Kodowanie stanów:

Stan 0 – **00**

Stan 1 – **01**

Stan 2 – **10**

Stan 3 – **11**

Tablica stanów-wyjść z zakodowanymi stanami (zapisana w kodzie Graya):

$y_2 y_1 \backslash x$	0	1	$Z_1$	$Z_2$
00	00	01	0	0
01	11	10	1	0
11	11	10	0	0
10	00	01	0	1

Otrzymywanie funkcji wzbudzających wejścia przerzutników D:

a) tablica wzbudzeń przerzutnika D:

$Q_n \rightarrow Q_{n+1}$	D
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	0
$1 \rightarrow 1$	1

b) tabela z wartościami wejść-wyjść przerzutników realizujących układ (wraz z minimalizacją funkcji wzбудzających wejścia):

x y <sub>2</sub> y <sub>1</sub>	D <sub>2</sub>		D <sub>1</sub>	
	0	1	0	1
00	0	0	0	1
01	1	1	1	0
11	1	1	1	0
10	0	0	0	1

Funkcje wzбудzające wyjścia przerzutników po minimalizacji (na podstawie tabeli powyżej):

$$D_1 = \bar{x}y_1 + x\bar{y}_1 = \overline{\overline{\bar{x}y_1} + \overline{x\bar{y}_1}} = \overline{\overline{\bar{x}y_1} \cdot \overline{x\bar{y}_1}}$$

$$D_2 = y_1$$

Otrzymywanie funkcji wyjść:

Wyjście  $Z_1$ :

$y_2 \backslash y_1$	0	1
0	0	1
1	0	0

$$Z_1 = y_1 \overline{y_2}$$

Aby zrealizować tę funkcję bez bramki AND, można użyć bramki NOR. W tym celu przekształcamy funkcję:

$$Z_1 = y_1 \overline{y_2} = \overline{\overline{y_1} y_2} = \overline{\overline{y_1} + y_2}$$

Wyjście  $Z_2$ :

$y_2 \backslash y_1$	0	1
0	0	0
1	1	0

$$Z_2 = \overline{y_1} y_2$$

Funkcja przekształcona do realizacji przy pomocy bramki NOR:

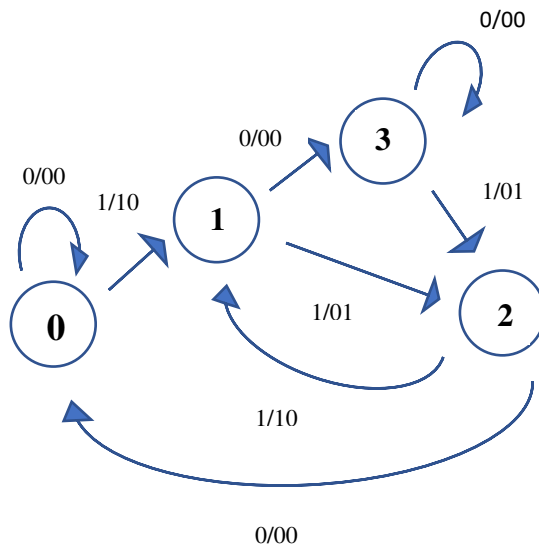
$$Z_2 = \overline{y_1} y_2 = \overline{\overline{\overline{\overline{y_1} y_2}}} = \overline{\overline{y_1} + \overline{y_2}}$$

The diagram illustrates a 4-bit ripple-carry adder circuit. It features four integrated circuits: a 7400 (NAND), a 7402 (NOR), a 7404 (inverter), and a 7474 (D flip-flop). The circuit has two 4-bit inputs, X and CLK, each with a push-button switch. The output of the adder is connected to two LEDs, Z1 and Z2, which represent the sum and carry-out, respectively. The circuit is powered by a 5V supply and grounded at 0V. The 7404 is used to invert the inputs X and CLK. The 7400 and 7402 are used to implement the logic for the sum and carry. The 7474 is used to store the carry-out of the 4-bit adder. The circuit is designed to add two 4-bit numbers and produce a 5-bit sum (4 bits of sum and 1 carry-out).



## Synteza układu Mealy'ego.

Graf stanów-wyjść układu:



liczby nad strzałkami – wartości zmiennej wejściowej/wartości zmiennych wyjściowych (x/Z<sub>1</sub>Z<sub>2</sub>)

stan **0** – stan początkowy lub po podaniu parzystej 1 i po niej 0

stan **1** – stan po podaniu nieparzystej 1

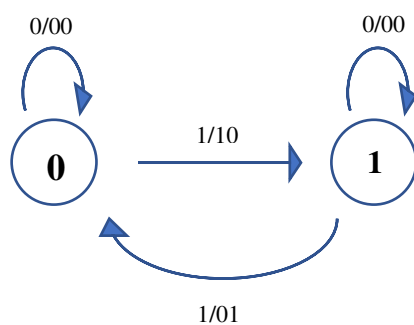
stan **2** – stan po podaniu parzystej 1

stan **3** – stan po podaniu nieparzystej 1 i po niej 0

Tablica stanów-wyjść układu:

$\begin{array}{c c} & x \\ \hline s & \end{array}$	0	1
0	0/00	1/10
1	3/00	2/01
2	0/00	1/10
3	3/00	2/01

Analizując powyższą tabelę, można zauważyć, że stany 0 i 2 oraz 1 i 3 są takie same. Pozwala to na zredukowanie układu jedynie do 2 stanów, co sprawia, że potrzebny będzie tylko 1 przerzutnik JK.



Zminimalizowana tablica stanów:

$\begin{array}{c c} & x \\ \hline s & \end{array}$	0	1
0	0/00	1/10
1	1/00	0/01

Kodowanie stanów:

Stan 0 – **0**

Stan 1 – **1**

Otrzymywanie funkcji wzbudzających wejścia przerzutnika JK:

a) tablica wzbudzeń przerzutnika JK:

$Q_n \rightarrow Q_{n+1}$	J	K
$0 \rightarrow 0$	0	-
$0 \rightarrow 1$	1	-
$1 \rightarrow 0$	-	1
$1 \rightarrow 1$	-	0

b) tabela z wartościami wejść-wyść przerzutników realizujących układ (wraz z minimalizacją funkcji wzbudzających wejścia):

s \ x	J		K	
	0	1	0	1
0	0	1	-	-
1	-	-	0	1

Funkcje wzbudzające wyjścia przerzutnika po minimalizacji (na podstawie tabeli powyżej):

$$J = x$$

$$K = x$$

Otrzymywanie funkcji wyjść:

Wyjście  $Z_1$ :

$\begin{array}{c} x \\ y \end{array}$	0	1
0	0	0
1	0	1

$$Z_1 = xy$$

Funkcja przekształcona do realizacji przy pomocy bramki NOR:

$$Z_1 = xy = \overline{\overline{xy}} = \overline{\overline{x} + \overline{y}}$$

Wyjście  $Z_2$ :

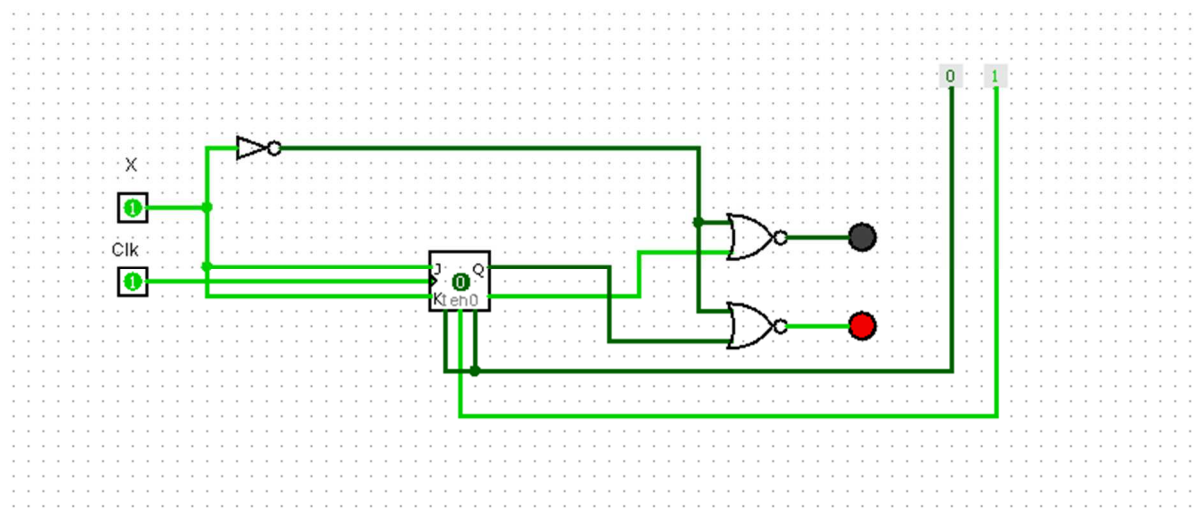
$\begin{array}{c} x \\ y \end{array}$	0	1
0	0	1
1	0	0

$$Z_2 = x\bar{y}$$

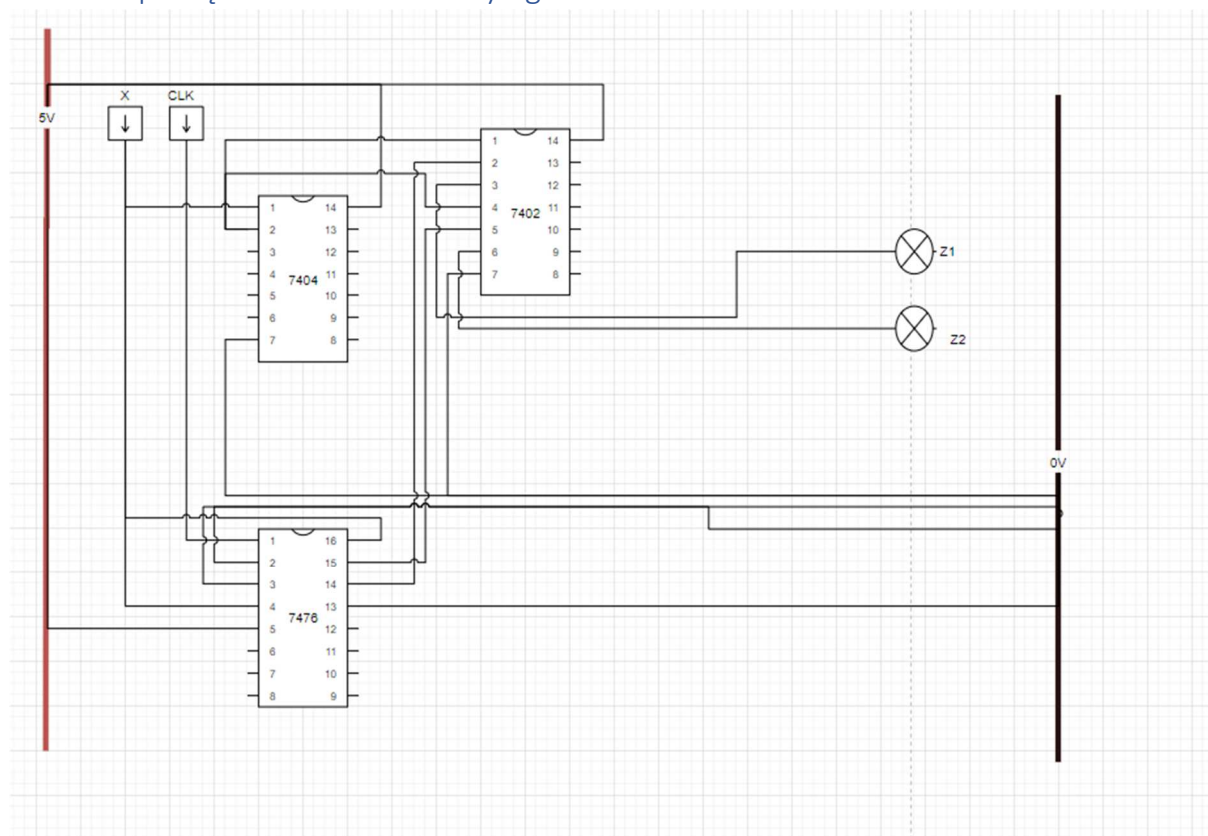
Funkcja przekształcona do realizacji przy pomocy bramki NOR:

$$Z_2 = x\bar{y} = \overline{\overline{x\bar{y}}} = \overline{\overline{x} + y}$$

## Schemat logiczny układu Mealy'ego

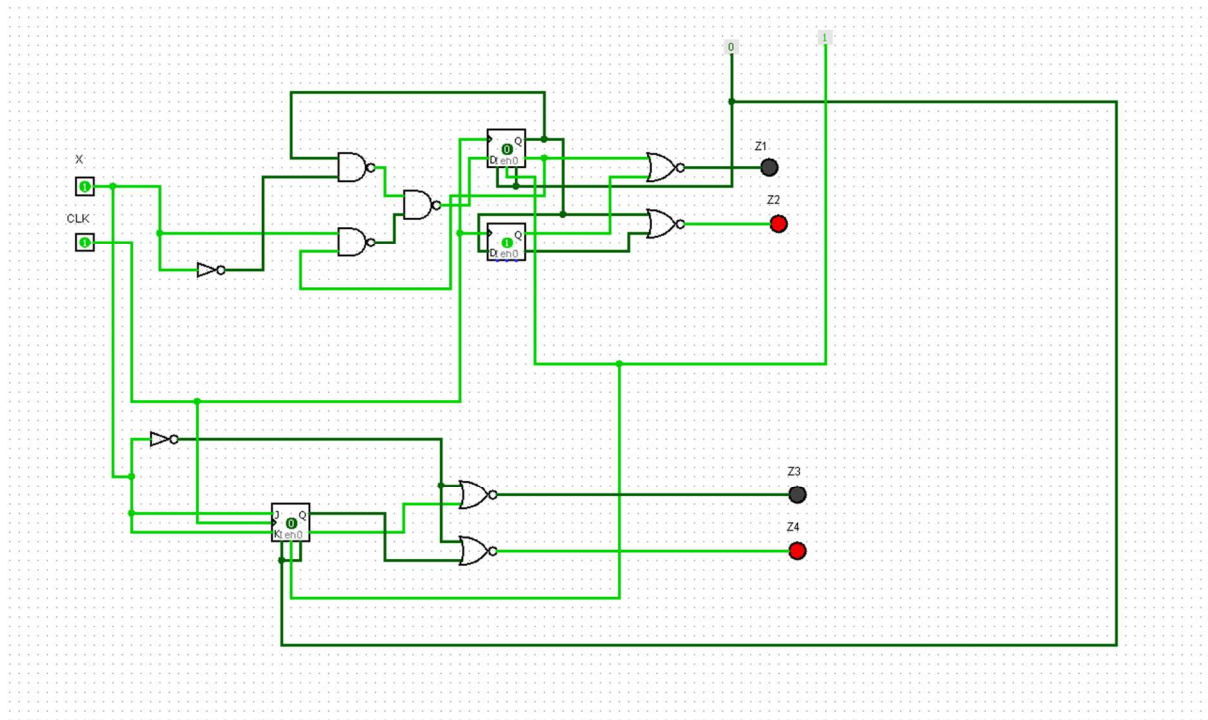


## Schemat podłączenia układu Mealy'ego

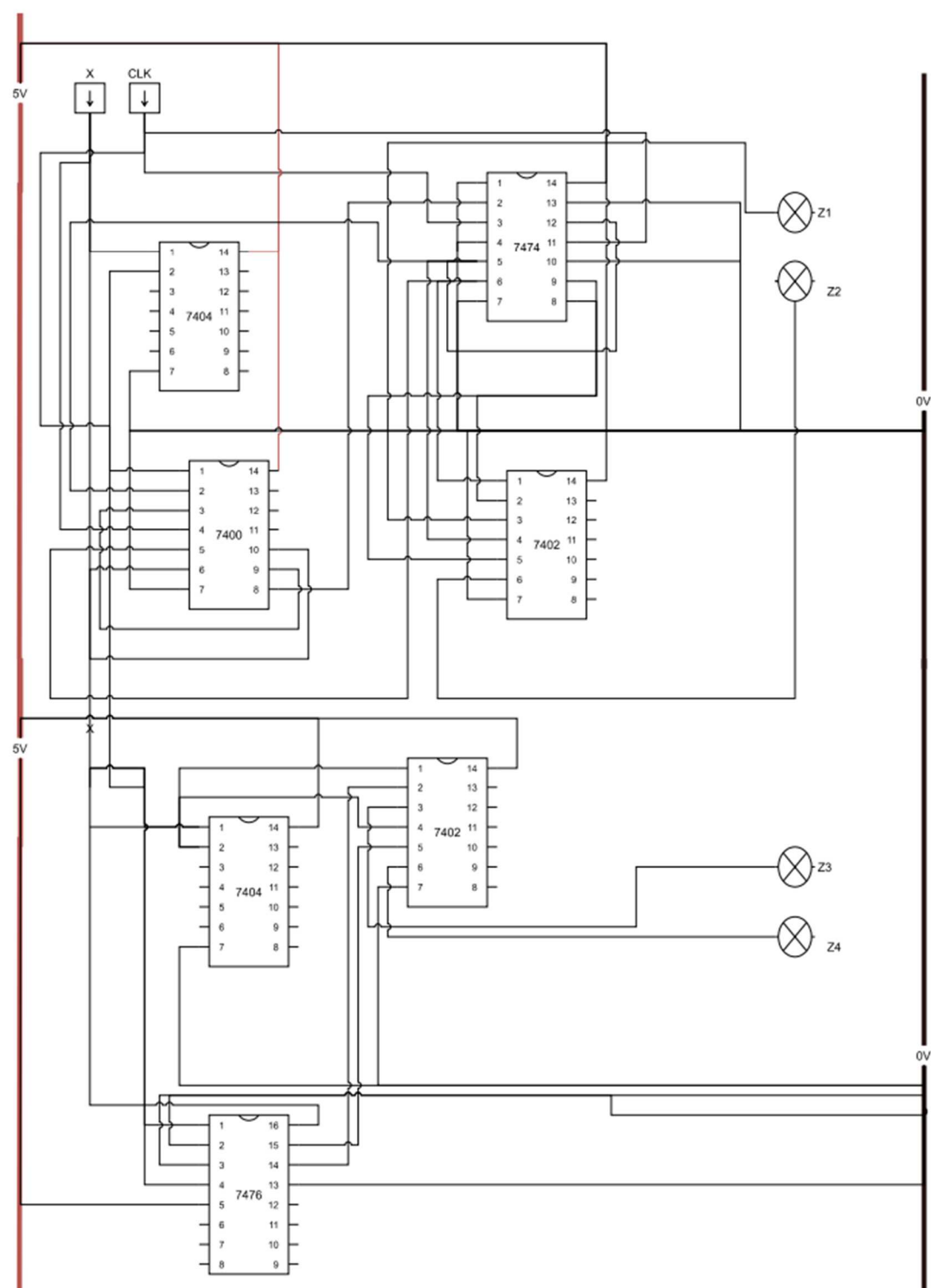


## Schematy obu układów

### Logiczny

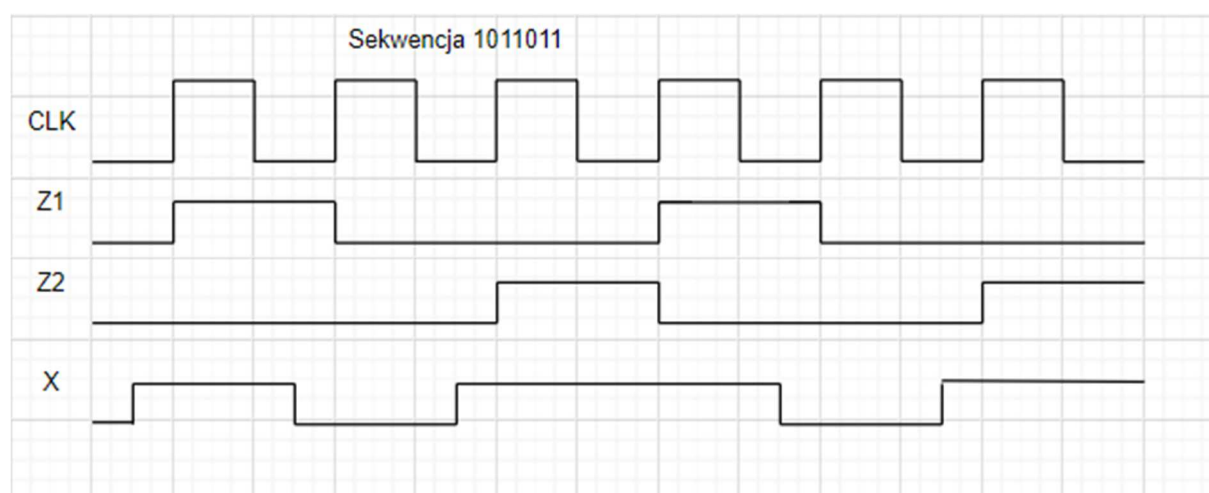
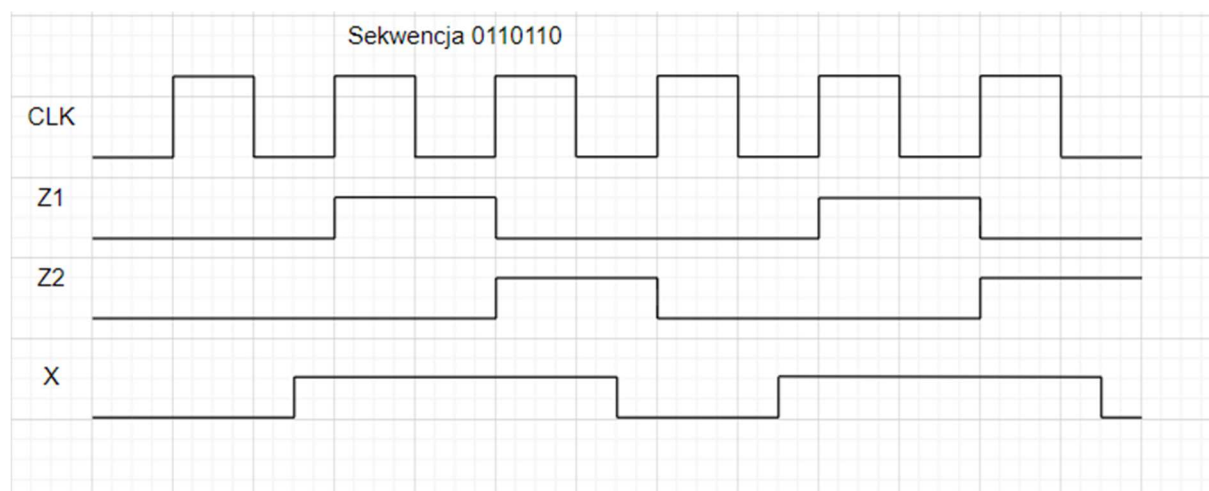


## Podłączenia



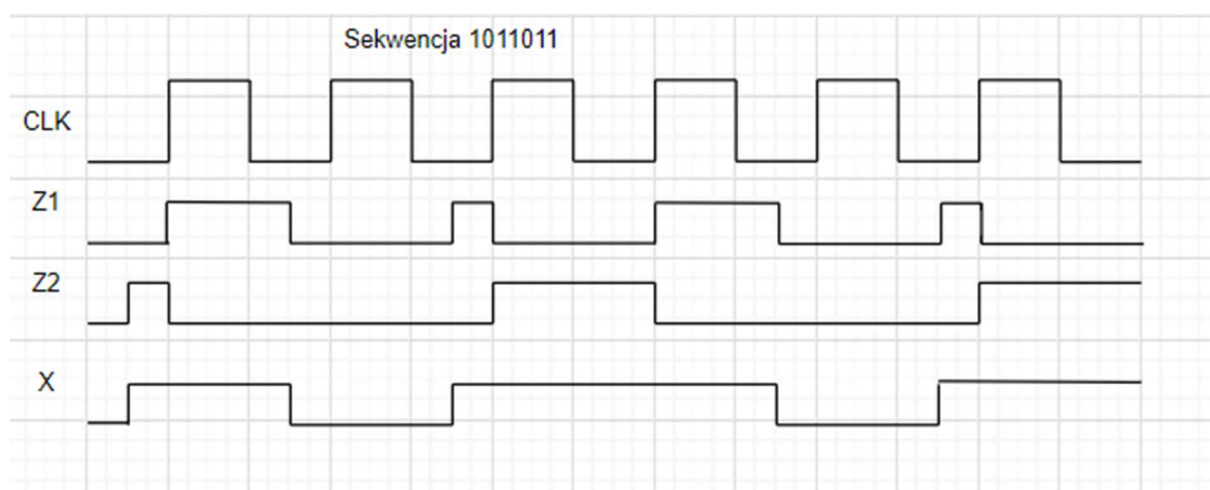
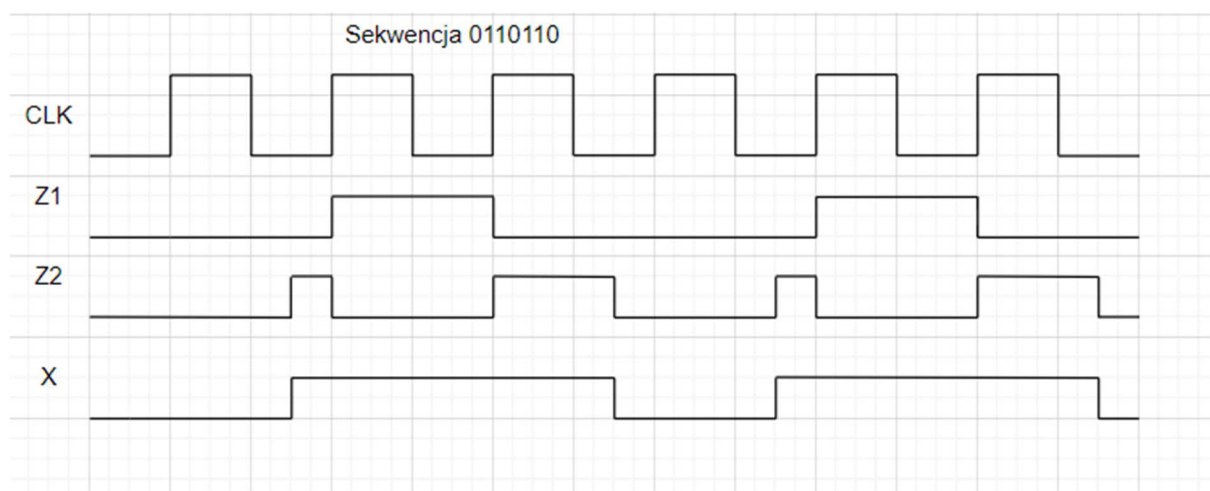
## Obserwacje – diagramy czasowe

Układ Moore'a

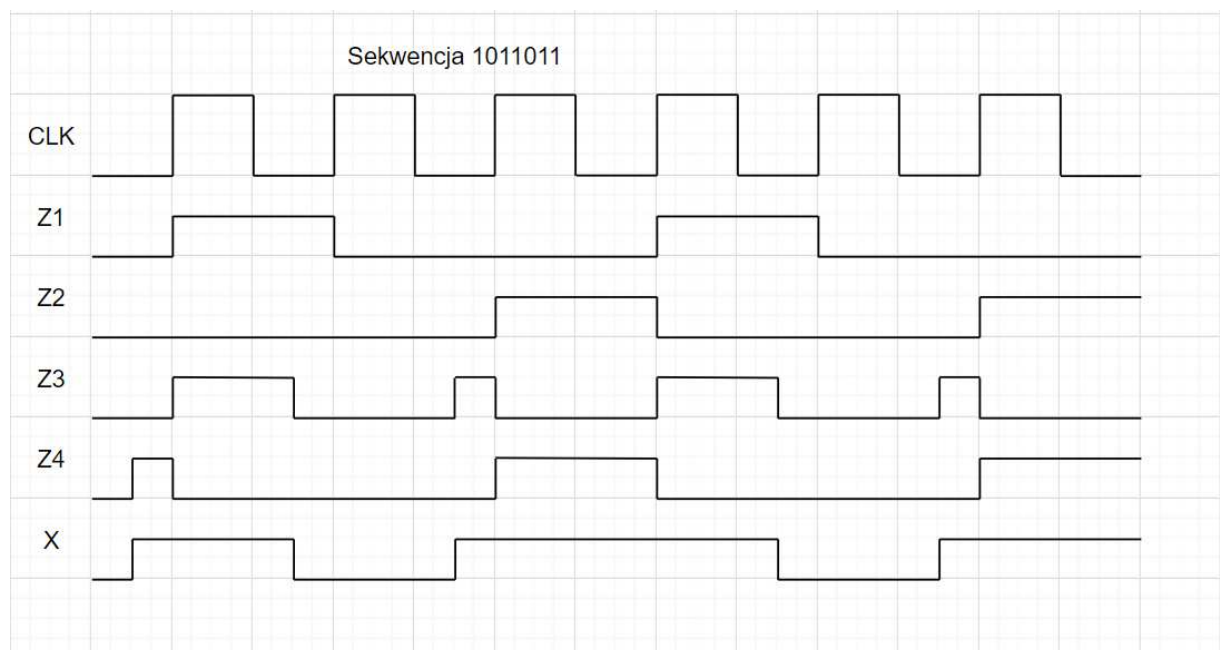
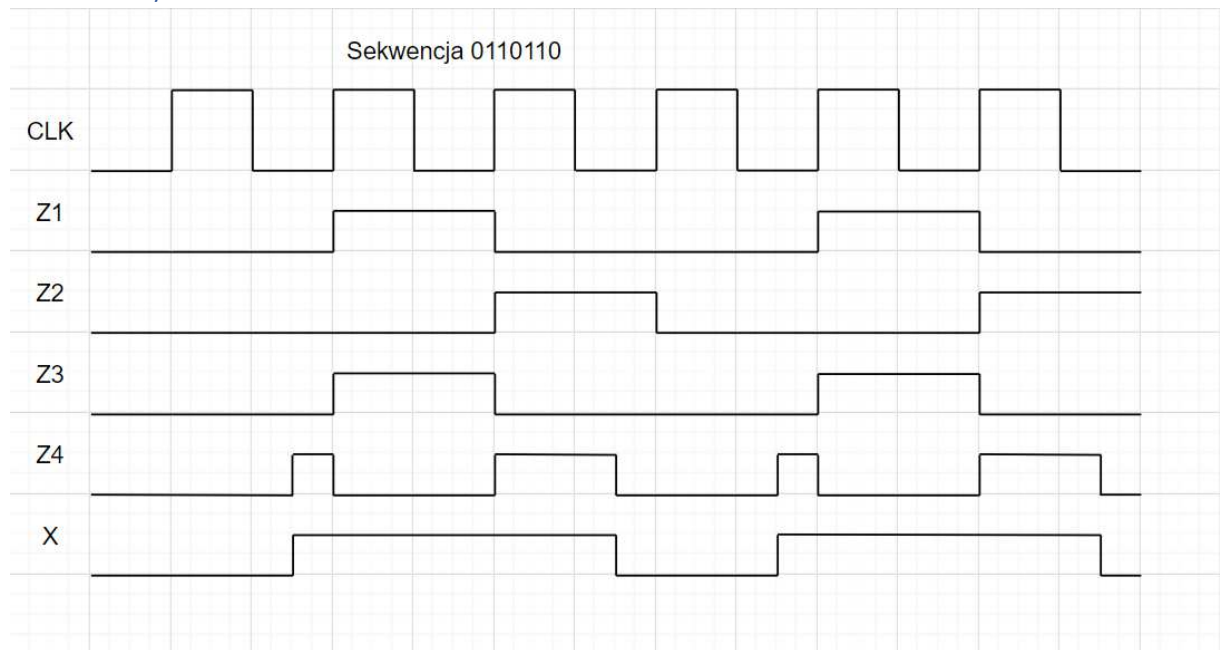




## Układ Mealy'ego



## Oba układy



## Wnioski

Oba układy – Moore’a oraz Mealy’ego – działają zgodnie z oczekiwaniami, czyli dla danych sekwencji wejściowych przekazują nieparzyste jedyńki na wyjście  $Z_1$ , zaś parzyste na wyjście  $Z_2$ .

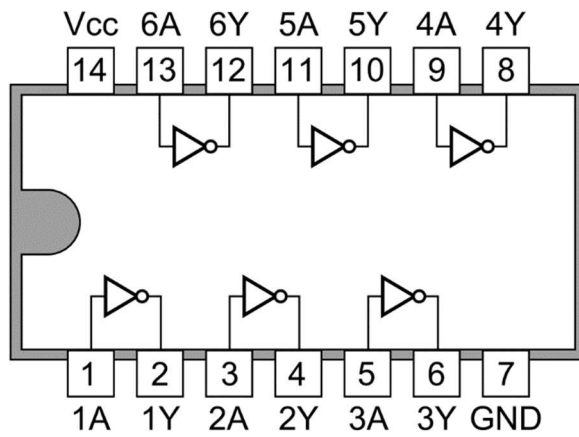
Przy jednoczesnym podaniu wartości 1 na wejścia obu układów, szybciej na zmiany stanu wejścia reaguje układ Mealy’ego, ponieważ jego wyjście jest funkcją zmiennej wejściowej oraz stanu wewnętrznego układu. Wyjścia są podłączone do bramek NOR wraz z sygnałem wejściowym. Nie zależą one tylko od wartości na wyjściach przerzutników (jak w układzie Moore’a), zatem zmiana stanu na wyjściach nastąpi od razu po zmianie wartości wejściowej. Na wyjście układu zostanie na chwilę przekazana wartość nieprawidłowa (zapali się dioda, która palić się nie powinna), lecz po nadejściu narastającego zbocza sygnału zegarowego na wyjściu pojawią się odpowiednie wartości i układ będzie działał dokładnie tak samo, jak układ Moore’a, aż do kolejnej zmiany wartości na wejściu układu.

W układzie Moore’a stan na wyjściu układu zmienia się dopiero po nadejściu narastającego zbocza sygnału zegarowego, niezależnie w którym momencie zmienia się wartość na wejściu układu. Wynika to z tego, że w układzie Moore’a wyjście jest funkcją tylko i wyłącznie stanu wewnętrznego układu, czyli zależy jedynie od wartości na wyjściach przerzutników, które zmieniają się w zależności od sygnału zegarowego.

## Specyfikacja układów użytych w zadaniu

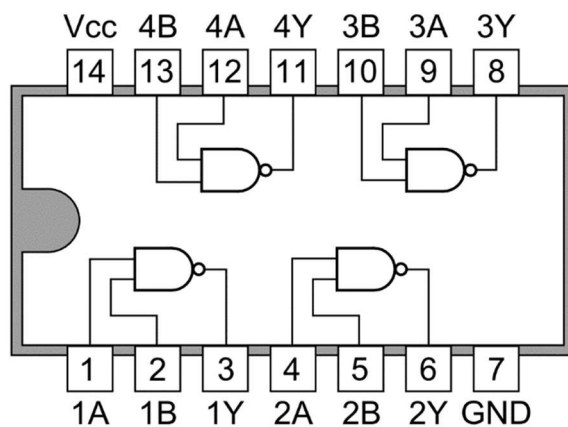
### 7404

#### 7404 Hex Inverters

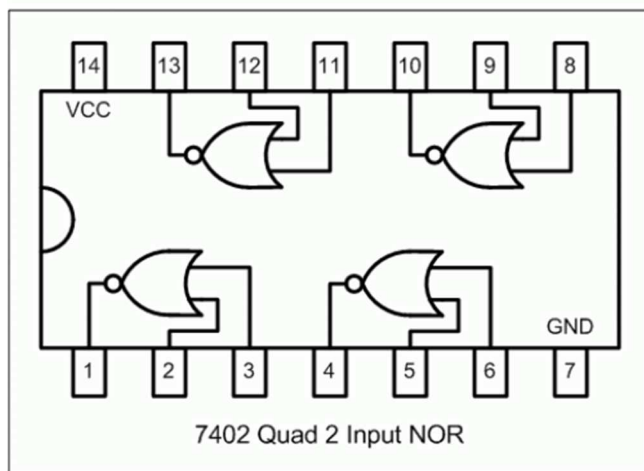


### 7400

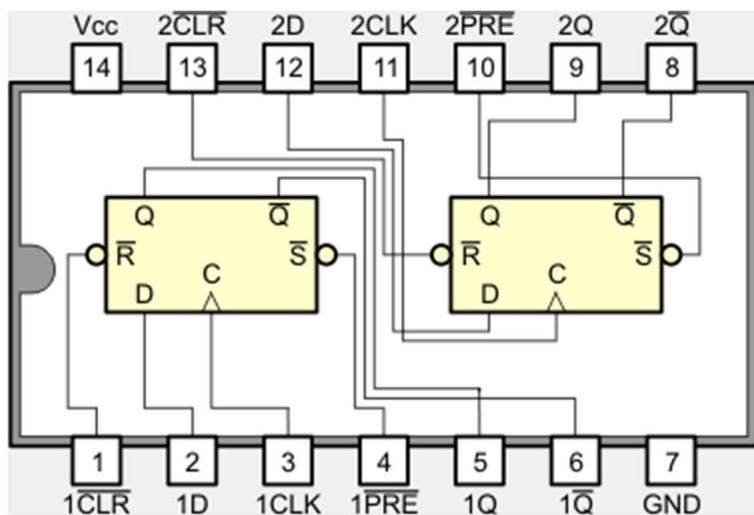
#### 7400 Quad 2-input NAND Gates



## 7402



## 7474



7476

