|  |  |
| --- | --- |
| Sprawozdanie  z układów  logicznych | Rok 2021 |
| Jakub Samulski (260407) | Ćwiczenie nr 4 |
| Kacper Suchanek (260468) | Temat: Ćwiczenie wprowadzające w tematykę laboratorium |
| Grupa laboratoryjna nr Z01-45u  Prowadzący: mgr inż. Karol Stasiński | Piątek |
|  | 17.05-18.35 |

# Definicja układu synchronicznego.

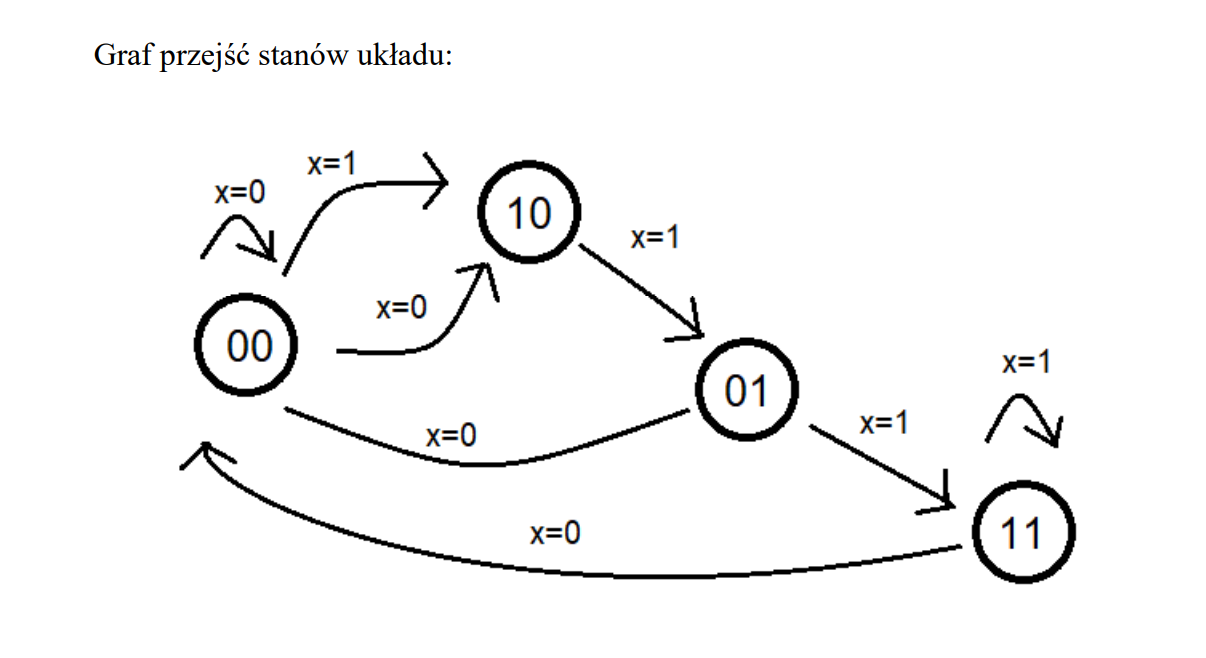
Układem synchronicznym nazywamy układ sekwencyjny, w którym zmiana stanu wewnętrznego występuje wyłącznie w momentach wyznaczanych przez sygnał zegarowy (oznaczany jako C, CLK lub CLOCK). Jeśli układ reaguje na określony stan logiczny zegara, nazywany jest statycznym (wyzwalanym poziomem), jeśli zaś układ reaguje na zmianę sygnału zegarowego, nazywany jest dynamicznym (wyzwalanym zboczem). Układ dynamiczny może być wyzwalany zboczem (ang. edge) opadającym lub narastającym albo impulsem.

# Rodzaje przerzutników

Do wykonania zadania wykorzystane zostaną 2 układy synchroniczne – przerzutnik typu D oraz JK. W przerzutniku typu D wejścia układu: PRESET oraz PRESET , na które wprowadzenie stanu wysokiego powoduje na wyjściu odpowiednio pojawienie się stanu wysokiego (PRESET = 1) lub niskiego (PRESET = 1). W przypadku, gdy oba te wejścia są w stanie niskim, wartość logiczna z wejścia D jest przenoszona na wyjście Q wraz z narastającym zboczem (tylko i wyłącznie) sygnału zegarowego.

W przerzutniku JK podanie jedynki logicznej na wejście J powoduje ustawienie przerzutnika (co skutkuje pojawieniem się stanu wysokiego na wyjściu Q). Ustawienie wejścia K w stan wysoki przestawia przerzutnik w stan niski. Jeżeli jedynka logiczna zostanie ustawiona na obydwu wejściach J i K, to nastąpi zmiana stanu przerzutnika na przeciwny (czyli jeżeli układ był w stanie wysokim to przejdzie w stan niski i odwrotnie). Podanie stanu wysokiego na wejście PRESET powoduje ustawienie w stan wysoki przerzutnika niezależnie od sygnału zegarowego. Wejście CLEAR w analogiczny sposób zeruje wyjście przerzutnika.

# Analiza układu z zadania



Wyniki Symulacji układu

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Czas | T5 | T4 | T3 | T2 | T1 | T0 |
| X | 1 | 1 | 1 | 1 | 0 | 0 |
| y1y2 | 11 | 11 | 01 | 10 | 00 | 00 |
| z | 1 | 1 | 1 | 0 | 0 | 0 |

# Realizacja układu za pomocą bramek NAND.

W celu zrealizowania układu przy pomocy bramek NAND i jednej bramki NOR, należy przekształcić układ przy pomocy praw De Morgana. Zauważmy, że wejścia obu przerzutników D to funkcje postaci:

Zatem korzystając z prawa podwójnej negacji otrzymamy:

Zaś wyjściową bramkę AND można zastąpić bramką NOR

Wyniki symulacji układu:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Czas | T5 | T4 | T3 | T2 | T1 | T0 |
| X | 1 | 1 | 1 | 1 | 0 | 0 |
| y1y2 | 11 | 11 | 01 | 10 | 00 | 00 |
| z | 1 | 1 | 1 | 0 | 0 | 0 |

Układ zachowuje się tak samo jak układ analizowany wcześniej

# Realizacja układu za pomocą 2 przerzutników JK

Aby zrealizować układ za pomocą przerzutników typu JK, należy przeanalizować tablicę wzbudzeń dla tych przerzutników:

|  |  |  |  |
| --- | --- | --- | --- |
| y | Y | J | K |
| 0 | 0 | 0 | X |
| 0 | 1 | 1 | X |
| 1 | 1 | X | 0 |
| 1 | 0 | x | 1 |