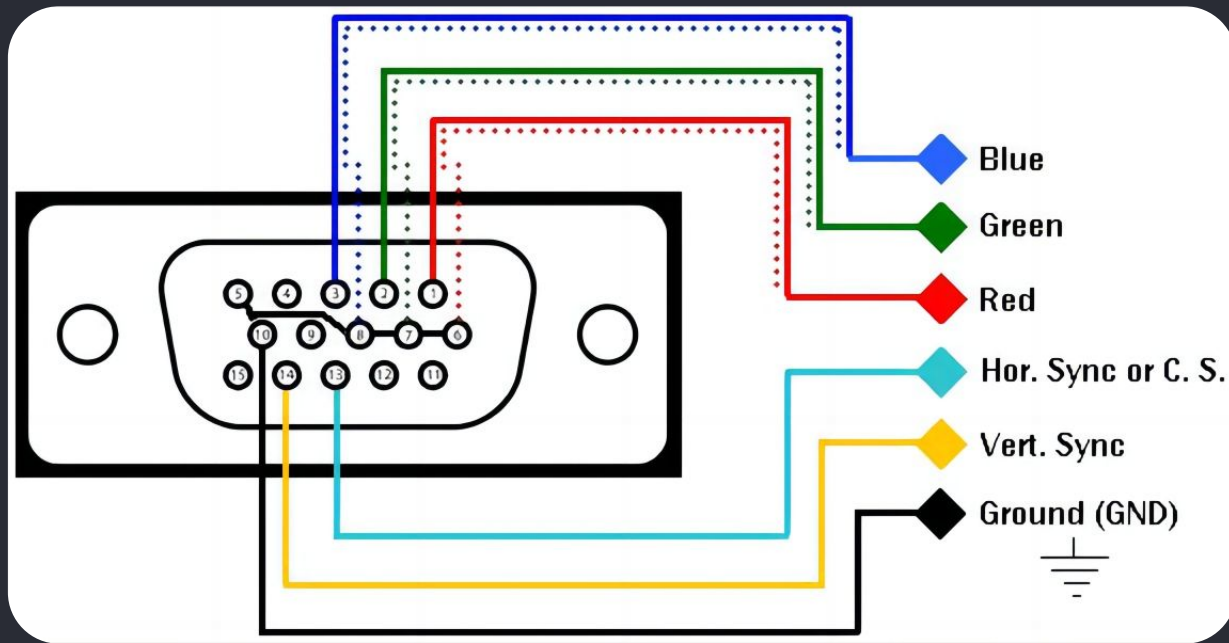
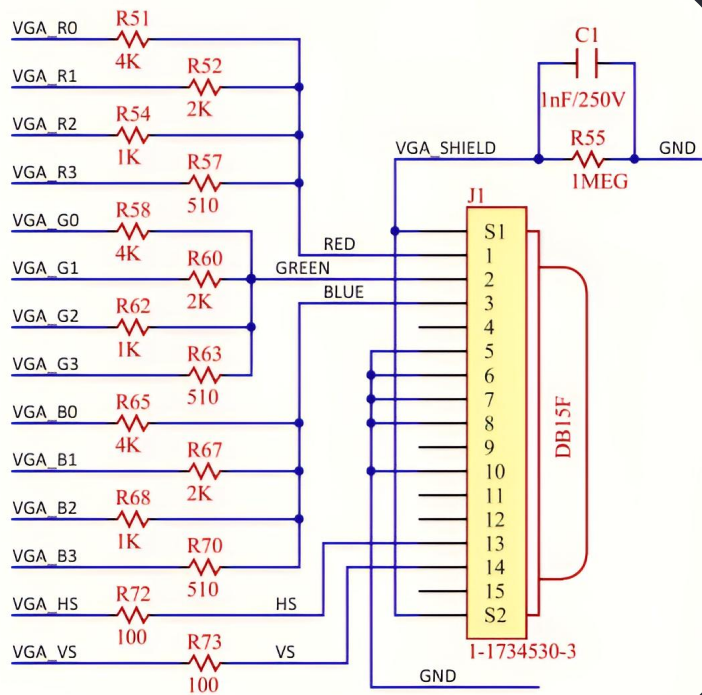


이미지 출처:
<https://digilent.com/reference/programmable-logic/basys-3/tart>





VGA Controller

24.08.14 ~ 24.09.02

Tim Team

강영수
이광호
이호원

TABLE OF CONTENTS

1. 진행 과정

roll and responsibility,
일정 관리

2. 프로젝트 개요

Basys3 로 vga 드라이버 구현

3. 시연

시연 영상

4. 향상점

더 나아가야할 점

5. 고찰

결론

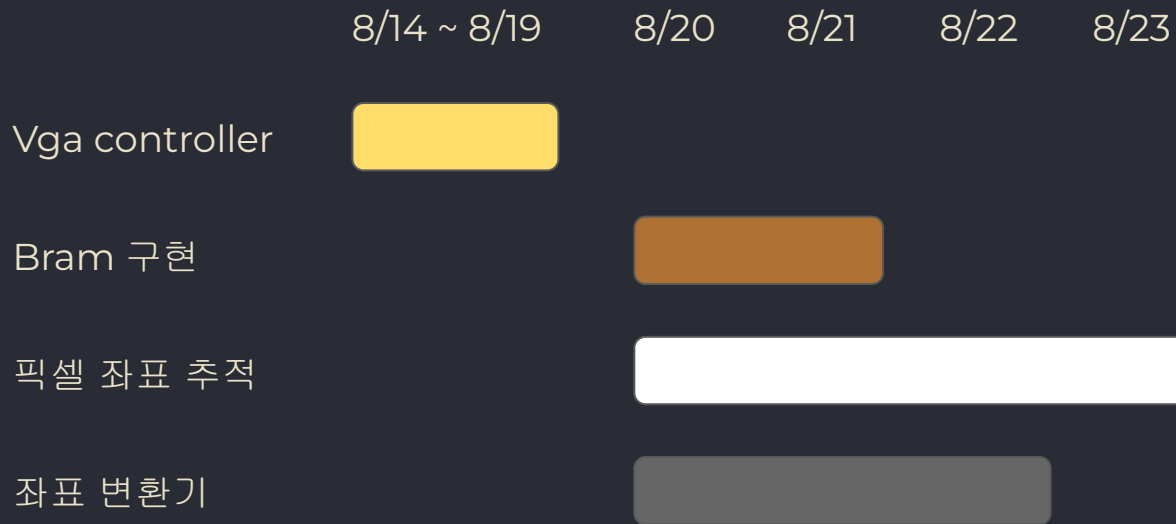


1

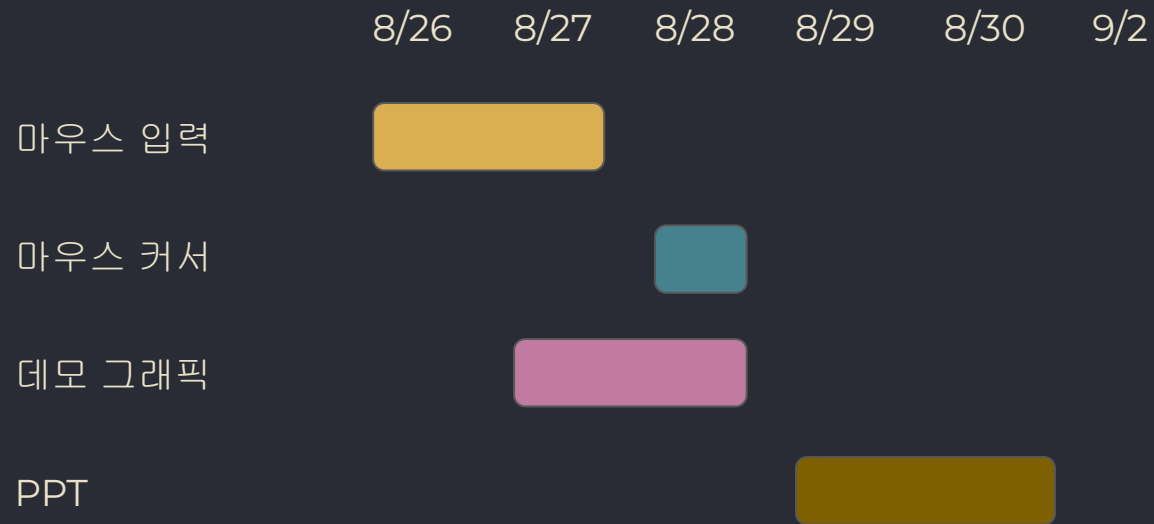
진행 과정

roll and responsibility,
일정 관리

8/14 ~ 8/23
Vga project



8/26 ~ 9/2 Vga project



R

Responsible

C

Consulted

강영수

이광호

이호원

Vga controller

R

R

R

Bram 구현

R

픽셀 좌표 추적

C

R

좌표 변환기

R

R Responsible

C Consulted

강영수

이광호

이호원

마우스 입력

R

마우스 커서

R

데모 그래픽

C

C

R

PPT

R

R

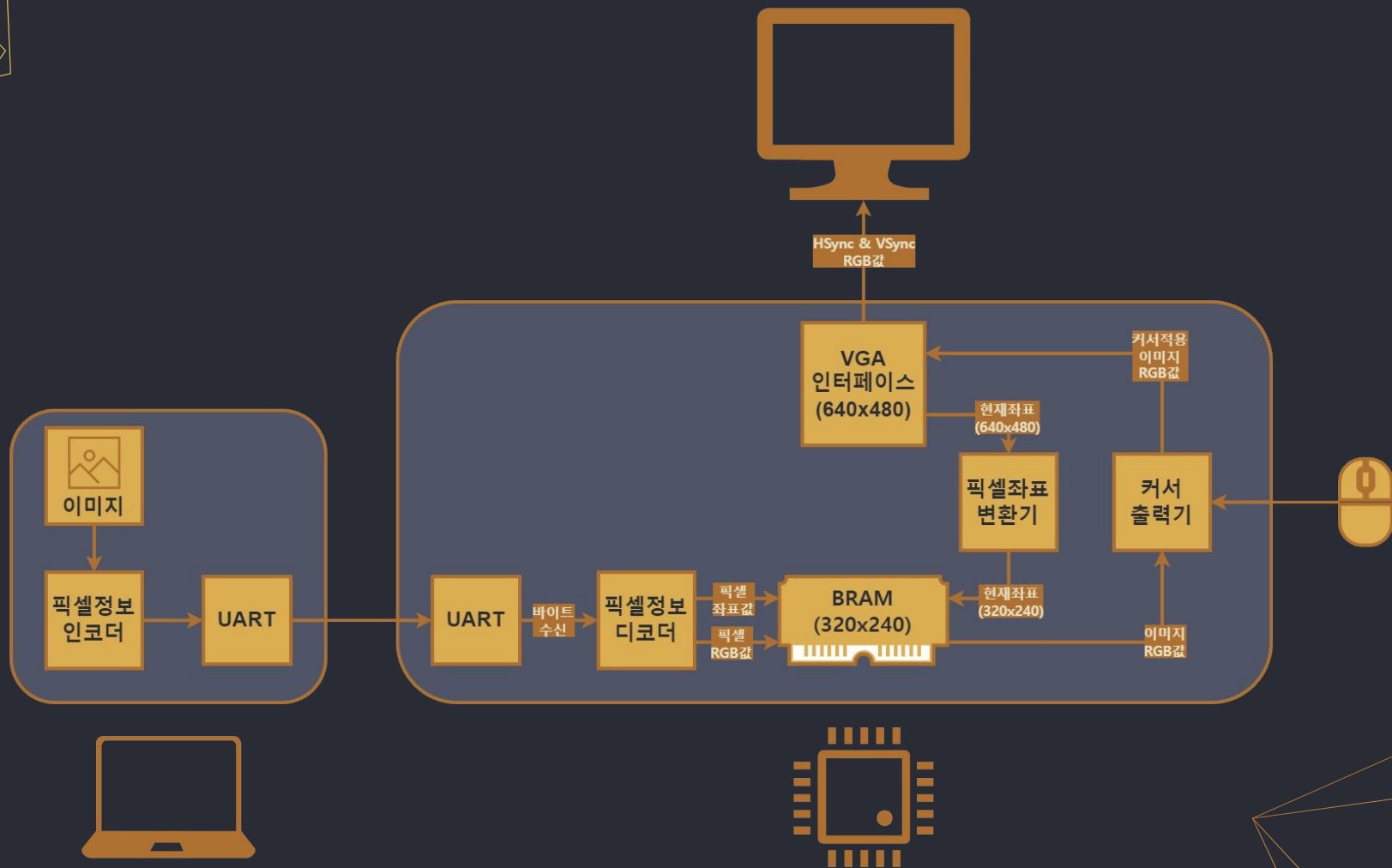
R



2

프로젝트 개요

Vga controller



RED, GREEN, BLUE



C D E

HORIZ_SYNC



B

A

480 Horizontal
Refresh Cycles

RED, GREEN, BLUE



Q R S

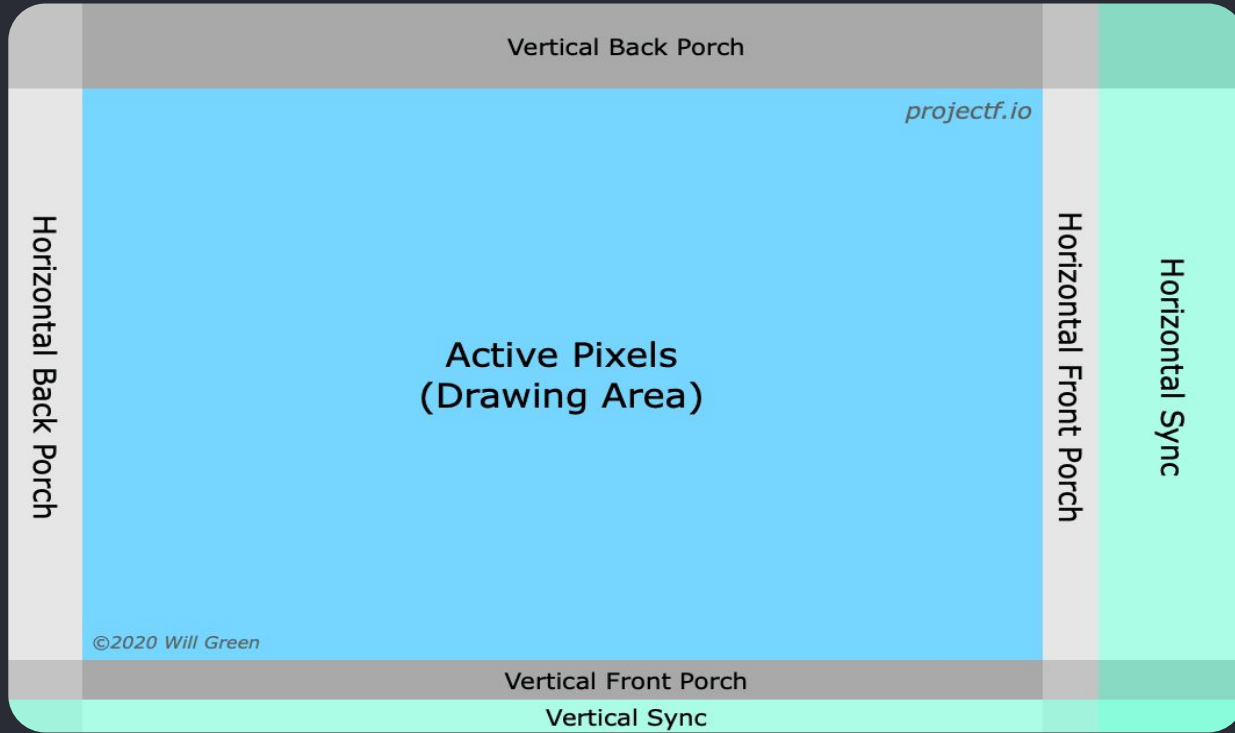
VERT_SYNC

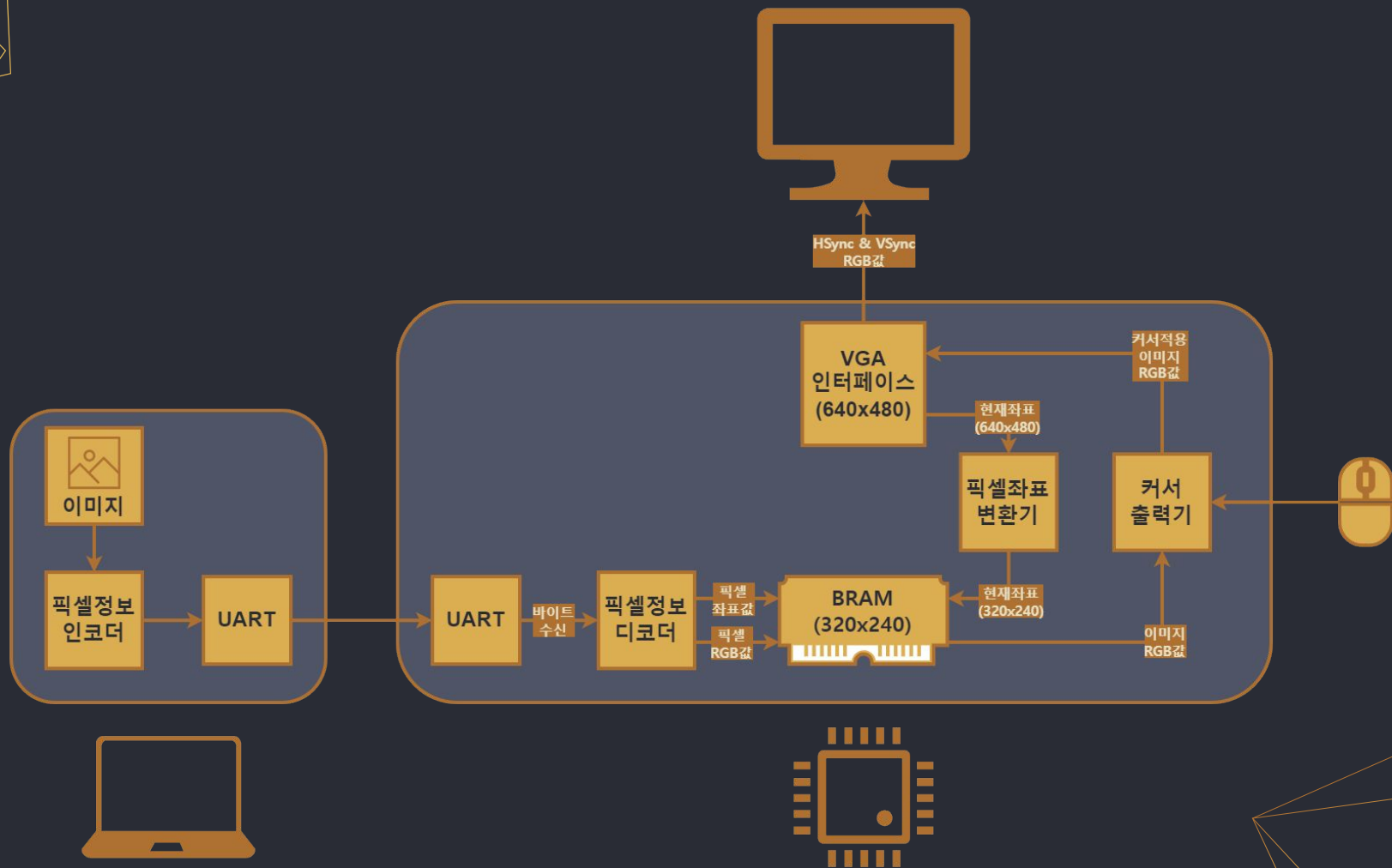


P

O

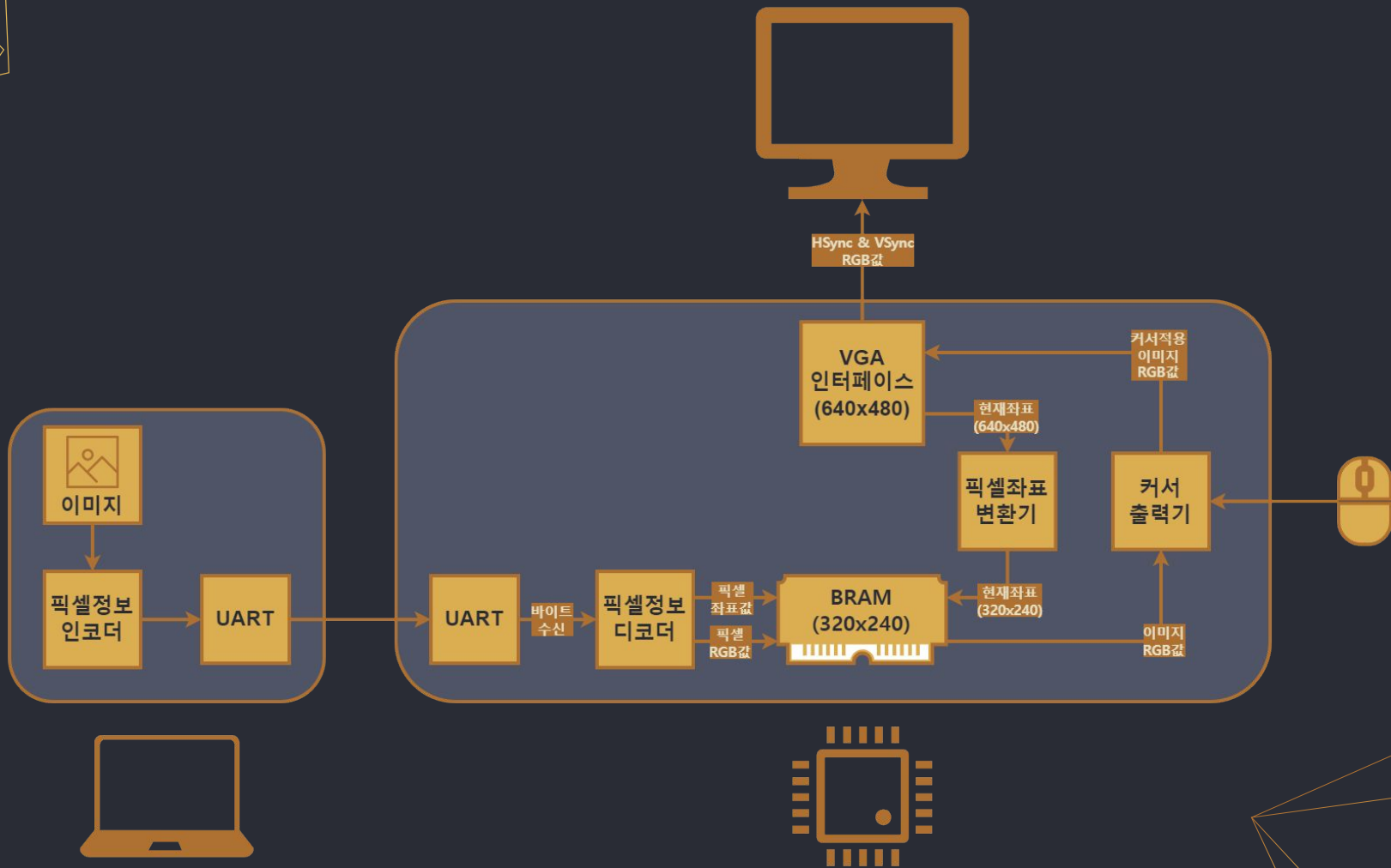
VGA controller





Mouse

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Byte 1	Y overflow	X overflow	Y sign bit	X sign bit	Always 1	Middle Btn	Right Btn	Left Btn
Byte 2	X movement							
Byte 3	Y movement							
Byte 4	Z movement							



B_{lock}RAM

- 비디오 버퍼 역할
- “Simple Dual Port”
 - 각 포트가 입력 또는 출력만 담당



B_{lock}RAM

Y축 주소 (8비트)	X축 주소 (9비트)	2D 주소	1D 주소
0 0 0 0 0 0 0 0	0 1 0 0 1 1 1 1 1	(319, 0)	319
0 0 0 0 0 0 0 0	1 0 1 0 0 0 0 0 0	(320, 0)	320
...			
0 0 0 0 0 0 0 0	1 1 1 1 1 1 1 1 1	(511, 0)	511
0 0 0 0 0 0 0 1	0 0 0 0 0 0 0 0 0	(0, 1)	512





Bram

BRAM의 한클럭 딜레이





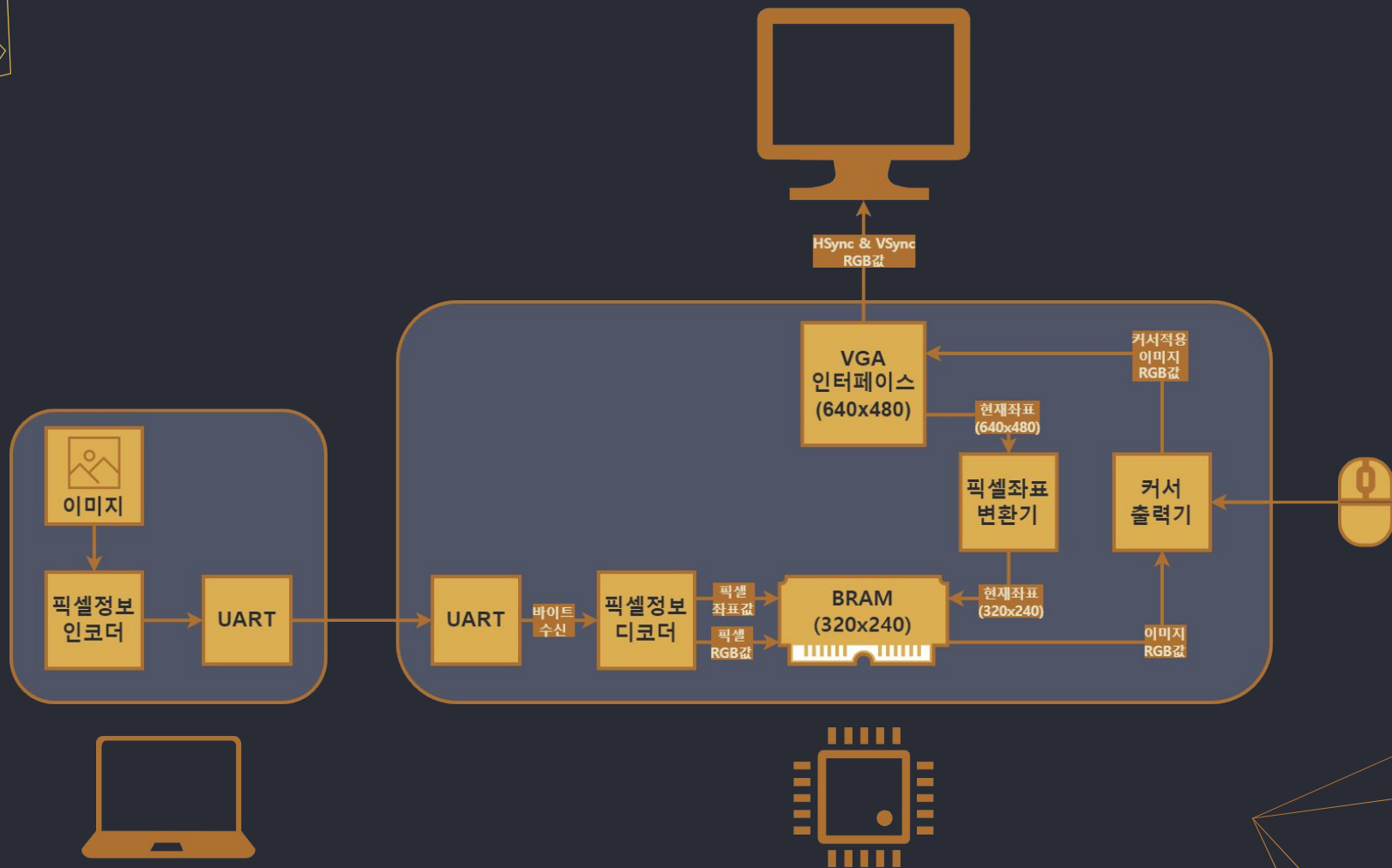
Bram

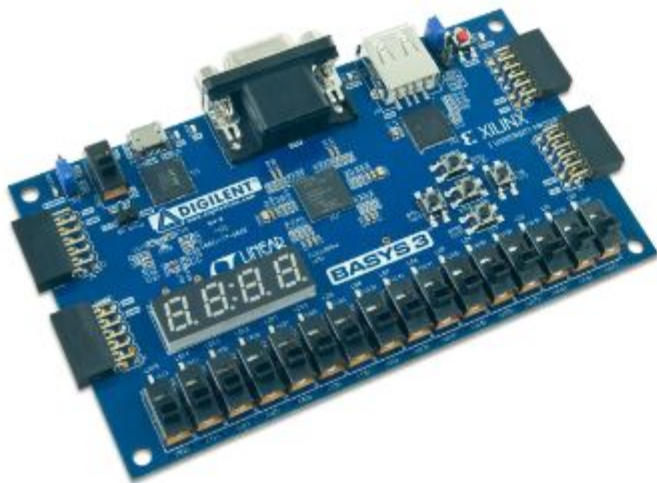
BRAM의 한클럭 딜레이



Bram

픽셀 주소를 한번 더 빨리
읽어내리게하여 해결





The Basys 3.

- 33,280 logic cells in 5200 slices (each slice contains four 6-input LUTs and 8 flip-flops)
- 1,800 Kbits of fast block RAM
- Five clock management tiles, each with a phase-locked loop (PLL)
- 90 DSP slices
- Internal clock speeds exceeding 450MHz
- On-chip analog-to-digital converter (XADC)

- 640 x 480 12-bit depth = 3.686 Kbits
- 640 x 480 6-bit depth = 1.843 Kbit
- 320 x 240 12-bit depth = 0.921 Kbit

- **1,800 Kbits of fast block RAM**

픽셀 좌표 변환기

VGA 해상도

480 픽셀

640 픽셀



BRAM 해상도

240 픽셀
(480 / 2)

320 픽셀
(640 / 2)

VGA 좌표

(x, y)

$(x+1, y)$



$(x, y+1)$

$(x+1, y+1)$



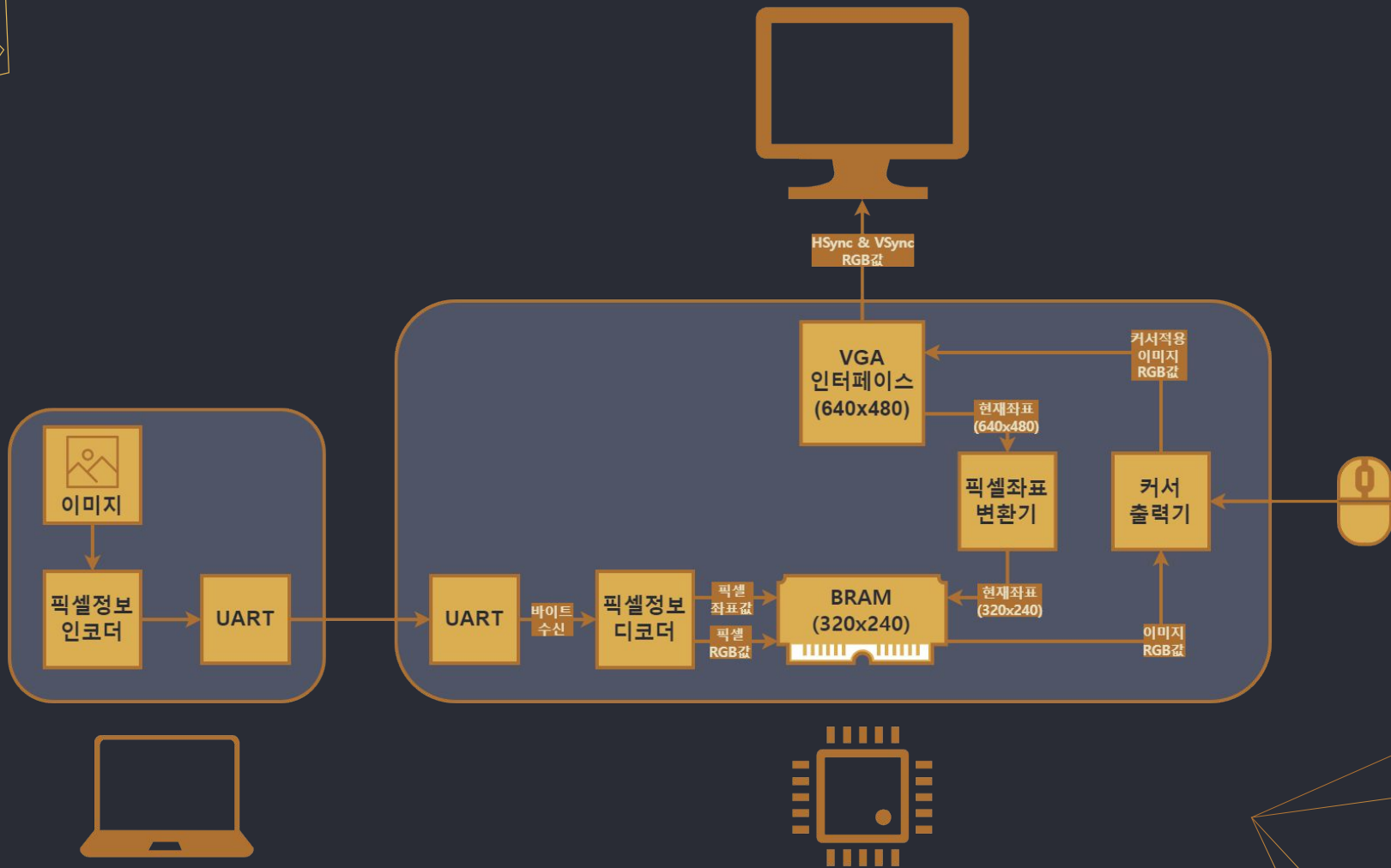
BRAM 좌표



$(x/2, y/2)$
또는

$(x >> 1, y >> 1)$





픽셀 정보 코덱



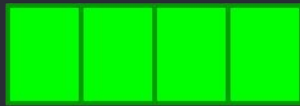
X축 주소 (9 비트)



Y축 주소 (8 비트)



파랑색 값 (4 비트)



초록색 값 (4 비트)



빨강색 값 (4 비트)

총 29 비트

픽셀 정보 코덱



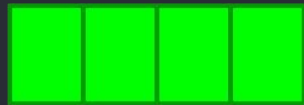
X축 주소 (10 비트)



Y축 주소 (10 비트)



파랑색 값 (4 비트)



초록색 값 (4 비트)



빨강색 값 (4 비트)

총 32 비트

픽셀 정보 코덱



첫번째 패킷 바이트



두번째 패킷 바이트



세번째 패킷 바이트



네번째 패킷 바이트

총 4 바이트



3

시연

간단한 시연 영상



4

항상점



시간이 좀더 있었다면.. if



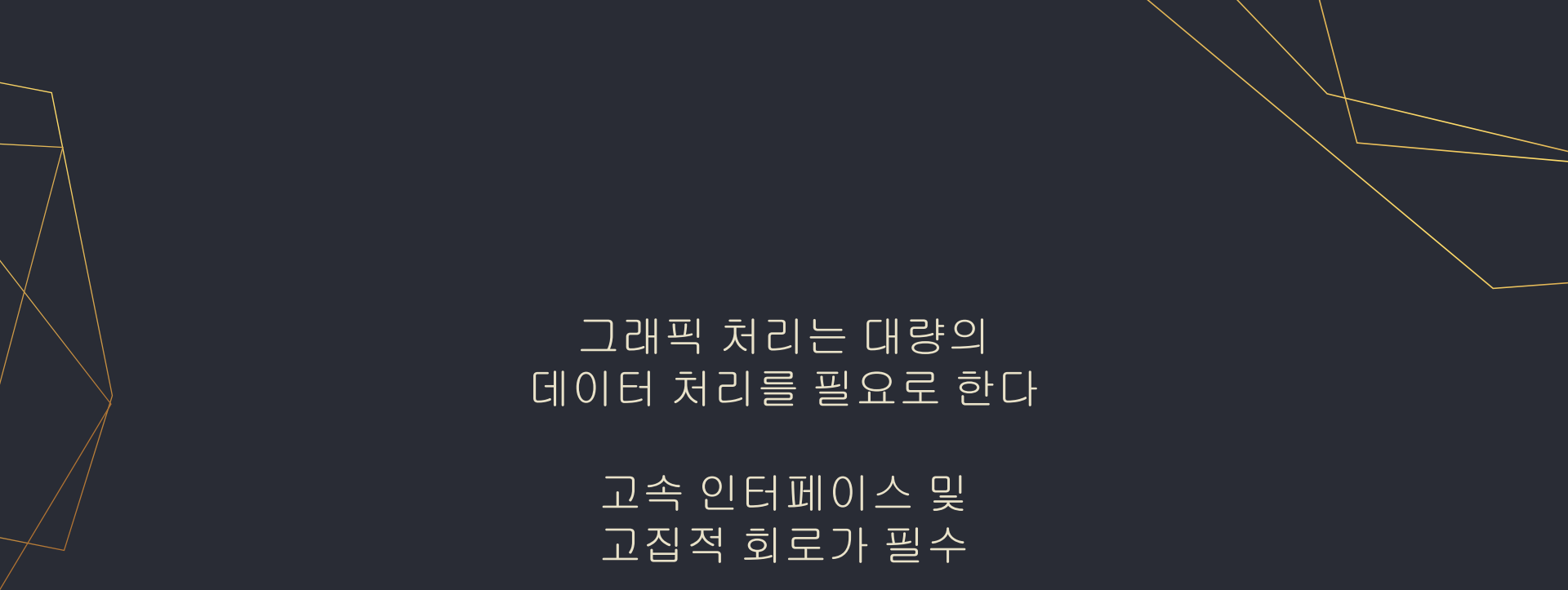
이미지 출처:
<https://www.hackster.io/leos313/doom-with-hardware-accelerators-on-fpga-open-source-d1733f>



5

고찰



Abstract geometric lines in the top corners of the slide, forming various polygons and shapes.

그래픽 처리는 대량의
데이터 처리를 필요로 한다

고속 인터페이스 및
고집적 회로가 필수

주식 시장 요약 > 엔비디아

119.37 USD

+114.90 (2,570.47%) ↑ 지난 5년

폐장: 8월 30일 오후 7:59 GMT-4 • 면책조항

폐장 후 119.23 -0.14 (0.12%)

1일

5일

1개월

6개월

연중

1년

5년

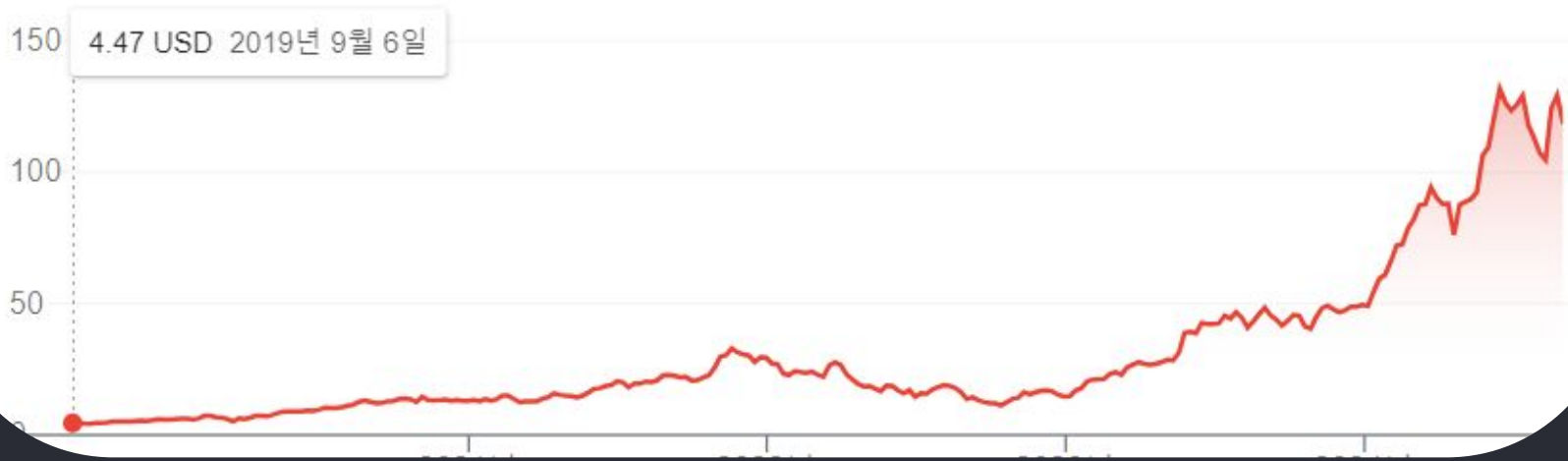
최대

150
4.47 USD 2019년 9월 6일

100

50

0



THANKS!

DO YOU HAVE ANY QUESTION?

개발과정을 더 자세히
알고싶다면?

