

ระบบดิจิทัล

การทดลองที่ 7

Digital Counters

1. วัตถุประสงค์

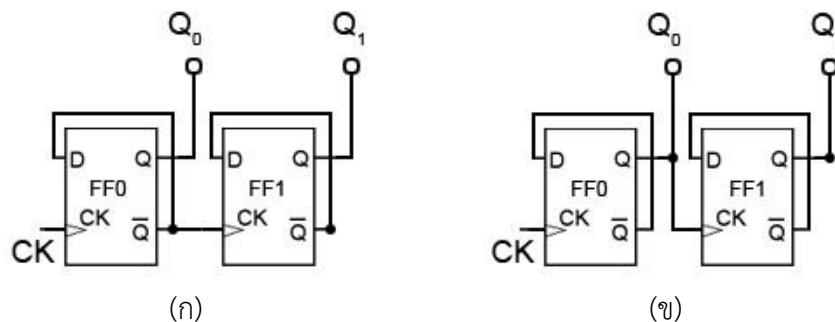
1.1 เพื่อให้เกิดความรู้ความเข้าใจเกี่ยวกับวงจรนับ

2. การทดลอง

วงจรรับนับ คือ เกิดจากการนำเอาฟลิปฟล็อปที่ต่อกันเป็นวงจรมานำใช้งาน นับจำนวนคล็อก (Clock) หรือพัลส์ (Pulse) ที่ป้อนเข้าทางอินพุต หรือบางที่อาจเรียกว่าวงจรหารความถี่ หลักการทำงานของวงจรส่วนใหญ่จะเป็นวงจรการนับแบบเลขฐานสอง วงจรรับนับสามารถแบ่งออกเป็น 2 แบบใหญ่ๆ คือ

1. วงจรรับนับแบบไม่เข้าจังหวะ (Asynchronous Counter หรือ Ripple Counter)

โดยพื้นฐานจะใช้ J-K Flip Flop มาต่อเรียงกันดังวงจรในรูปข้างล่าง สถานะเอาต์พุตของ ฟลิปฟล็อปแต่ละตัว ขึ้นอยู่กับสถานะเอาต์พุตของฟลิปฟล็อปตัวก่อนหน้า คือ ฟลิปฟล็อปตัวแรกจะส่งสัญญาณ (Pulse) จาก Q ไปกระตุ้น (Trigger) ที่ Clk ของฟลิปฟล็อปตัวที่สอง และฟลิปฟล็อปตัวที่สองจะส่งสัญญาณไปกระตุ้น (Trigger) ที่ Clk ของฟลิปฟล็อปตัวที่สาม ไปเรื่อย ๆ ตามขั้นตอนการทำงานของวงจรแบบนี้มีลักษณะไหลเป็นระลอก จึงทำให้มีชื่ออีกอย่างหนึ่งว่า วงจรรับนับแบบริบเบิล (Ripple Counter) วงจรรับนับแบบไม่เข้าจังหวะ (Asynchronous Counter) ใช้ได้ดีกับความถี่ต่ำ ๆ เนื่องจากปัญหาความล่าช้าของสัญญาณเอาต์พุตหรือเกิดเวลาหน่วงในการส่งข้อมูลจากอินพุตไปยังเอาต์พุต ของฟลิปฟล็อปแต่ละตัว



รูปที่ 6.1 วงจรรับนับแบบไม่เข้าจังหวะ (ก) up (ข) down

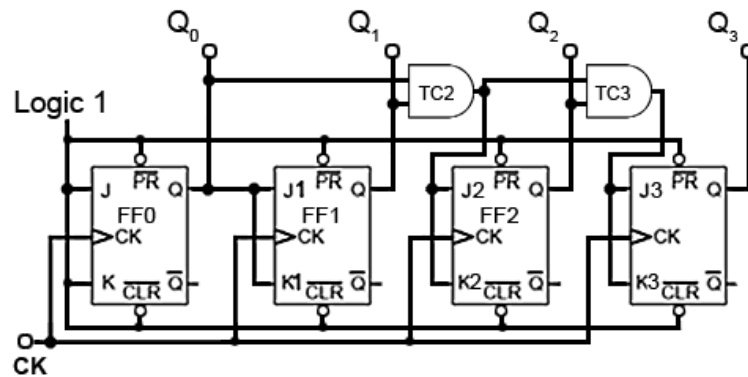
ตารางค่าความจริง

UP				
CK	Q ₁	Q ₂	$\sim Q_1$	$\sim Q_2$
0				
1				
2				
3				
4				

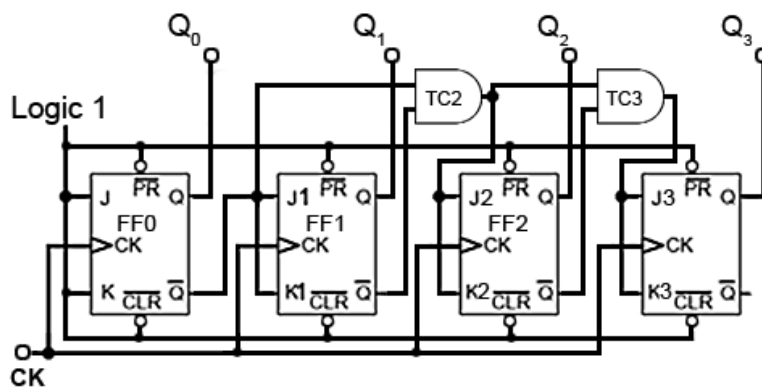
DOWN				
CK	Q ₁	Q ₂	$\sim Q_1$	$\sim Q_2$
0				
1				
2				
3				
4				

2. วงจรการนับแบบเข้าจังหวะ (Synchronous Counter หรือ Parallel Counter)

การทำงานของวงจรนับที่ความถี่สูง ๆ จำเป็นที่จะต้องให้ฟลิปฟล็อปหลาย ๆ ตัวต่อกัน ได้รับสัญญาณกระตุ้นไปพร้อม ๆ กัน เพื่อหลีกเลี่ยงปัญหาที่เกิดจากการหน่วงเวลาของฟลิปฟล็อป เป็นวงจรนับที่เอาต์พุตของฟลิปฟล็อป ที่เปลี่ยนแปลงพร้อม ๆ กันตามสัญญาณคล็อก (Clock) วงจรนับชนิดนี้เรียกว่า วงจรนับแบบเข้าจังหวะ (Synchronous Counter)



(ก)



(ข)

รูปที่ 6.2 วงจรการนับแบบเข้าจังหวะ (ก) up (ข) down

ตารางค่าความจริง

UP

CK	Q_1	Q_2	Q_3	Q_4	$\sim Q_1$	$\sim Q_2$	$\sim Q_3$	$\sim Q_4$
0								
1								
2								
3								
4								
5								
6								
7								
8								
9								
10								
11								
12								
13								
14								
15								
16								

DOWN

CK	Q_1	Q_2	Q_3	Q_4	$\sim Q_1$	$\sim Q_2$	$\sim Q_3$	$\sim Q_4$
0								
1								
2								
3								
4								
5								
6								
7								
8								
9								
10								
11								
12								
13								
14								
15								
16								

1. ให้นักศึกษาออกแบบวงจรนับลงแบบไม่เข้าจังหวะ 4 บิต โดยใช้ J-K flip-flops
2. ให้นักศึกษาออกแบบวงจรนับขึ้นแบบเข้าจังหวะ 6 บิต โดยใช้ D flip-flops
3. ให้นักศึกษาต่อวงจรในข้อ 2 ให้แสดงผลโดย 7-segment

จงอธิบายผลการทดลอง

[illegible]