**实验二：寄存器实验**

|  |  |  |  |
| --- | --- | --- | --- |
| 实验环境 | PC机＋Win 10＋proteus仿真器 | 实验日期 | 2018.12.03 |
| 1. 实验内容   基本要求  ·理解CPU运算器中寄存器的作用  ·设计并验证寄存器组（至少4个寄存器）  扩展要求  ·实现更多的寄存器（至少8个寄存器）  思考题  ·思考随着寄存器的增多，电路设计的复杂度是什么比例增大 | | | |
| 1. 理论分析或算法分析   1.基本要求  使用74LS373充当寄存器,74LS139做地址译码,74LS245用作输入,数码管显示寄存器内的数据。74LS139为二-四译码器,用两根线作为地址线接到74LS139的输入端,输出端分别接到每个74LS373的OE上,再用一个74LS139配合反相器产生控制每个74LS373的LE的信号。74LS245的输出端分别对应接到74LS373输入端的每个管脚上的。74LS373的输出端对应接到数码管的对应管教上,以实现数据的显示。先在各个寄存器中输入不同的数据,然后关闭74ls248(输入),选择不同的74LS373(寄存器),在数码管上显示不同的数据。  2.扩展要求  与基本要求相比大体不变,地址译码部分用两片74LS139改装成3选8的地址译码器。原理图连接方式原理不变,验证方式不变。 | | | |
| 三．实现方法（含实现思路、程序流程图、实验电路图和源程序列表等）  1.基本要求  以下是4个寄存器的原理连接图    在U1-U4分别存入76H,89H,70H,35H,存完以后使4片74LS373进入锁存状态，然后关闭74LS245,用74LS139译码器控制寄存器进行输出验证。  使U1读出锁存数据76H    使U2读出锁存数据89H    使U3读出锁存数据70H      使U4读出锁存数据35H    实验的基本要求已验证完毕。  2.扩展要求  以下是8个寄存器的原理连接图    在U01-U08分别存入01H,23H,45H,67H,89H,ABH,CDH,EFH,存完以后使8片74LS373进入锁存状态，然后关闭74LS245,用74LS139译码器控制寄存器进行输出验证。  使U01读出锁存数据01H    使U02读出锁存数据23H    使U03读出锁存数据45H    使U04读出锁存数据67H    使U05读出锁存数据89H    使U06读出锁存数据ABH    使U07读出锁存数据CDH    使U08读出锁存数据EFH    实验的扩展要求已验证完毕。 | | | |
| 四．实验结果分析（含执行结果验证、输出显示信息、图形、调试过程中所遇的问题及处理方法等）  通过上述步骤验证了实验的基本要求与扩展要求,实现了寄存器组输入锁存与锁存输出功能。  思考题：  随着寄存器的增多,系统的寻址系统越来越复杂,,每多一根地址线,寄存器的数量就可以扩大一倍,寻址系统相应的扩大N倍,所以随着寄存器的增多,电路系统以1:(1+N)的比例增大。 | | | |
| 五．结论  完成了本次实验要求的验证寄存器组的寄存功能实验内容。了解并掌握了74LS373、74LS139、74LS245等芯片的引脚功能以及基本的使用方法。 | | | |