

Computational Microelectronics

#Term Project

Choi Pyeunghwi

1. 시뮬레이션 구조

- Double-gate
 - 5-nm-thick silicon & 0.5-nm-thick oxide at both sides
 - 40-nm-long gate (Workfunction: 4.3 eV)

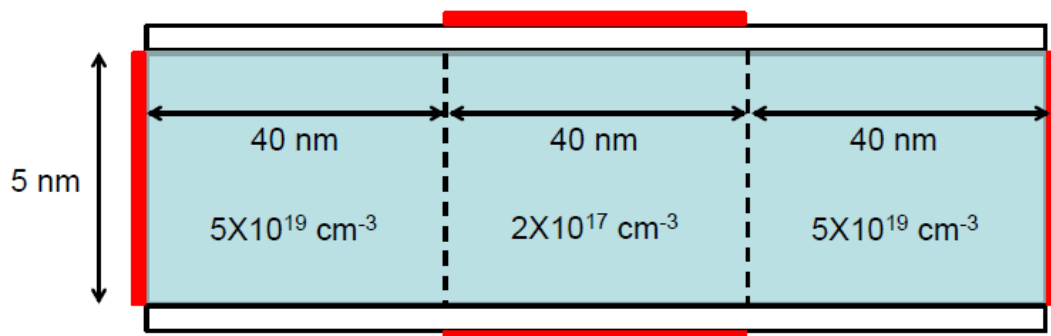


Figure 1 소자 구조

위와 같은 N^+NN^+ 구조를 가진 소자에 전압을 걸어주었을 때, Nonlinear Poisson Equation, Drift-diffusion Equation, Schrodinger equation, Boltzman Transport Equation 등을 각각 적용한 전하 분포도를 시뮬레이션을 통해 구현하고자 한다.

2. Step 1

Step 1에서는 Nonlinear Poisson equation만을 적용한 물리환경에서 Gate에 0 ~ 1 V까지 전압을 인가하였을 때, Potential과 전하 분포도를 3차원 그래프로 나타내고자 한다. 먼저 Toy Problem을 통해 전압분포를 구한 후, x축의 Doping density차이에 의해 나타나는 전하분포도를 Nonlinear Poisson solver를 통해 구한다. 계산된 전자분포에 y축 Gate에 전압을 인가하여 변화하는 전하분포를 살펴본다. 위 두가지 x축, y축 각각에 Nonlinear Poisson solver를 반복하여 적용하여 self-consistent한 전하분포도를 얻고자 한다.

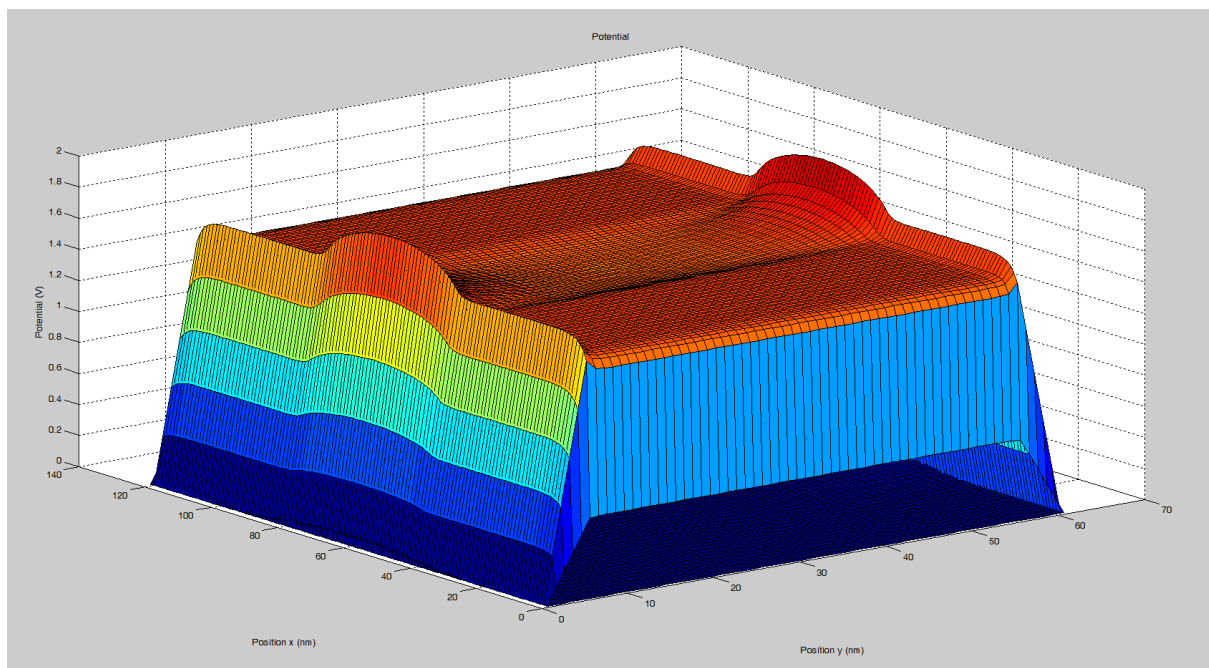


Figure 2 게이트 전압 1 V 상태의 Potential

Figure 2를 살펴보면, 1 V 전압을 게이트에 인가하였을 때, Potential을 알 수 있다. Oxide layer의 Potential은 Linear한 형태를 나타내었으며, x 축에 따라서 Doping density 차이에 의한 Potential 변화가 나타난다.

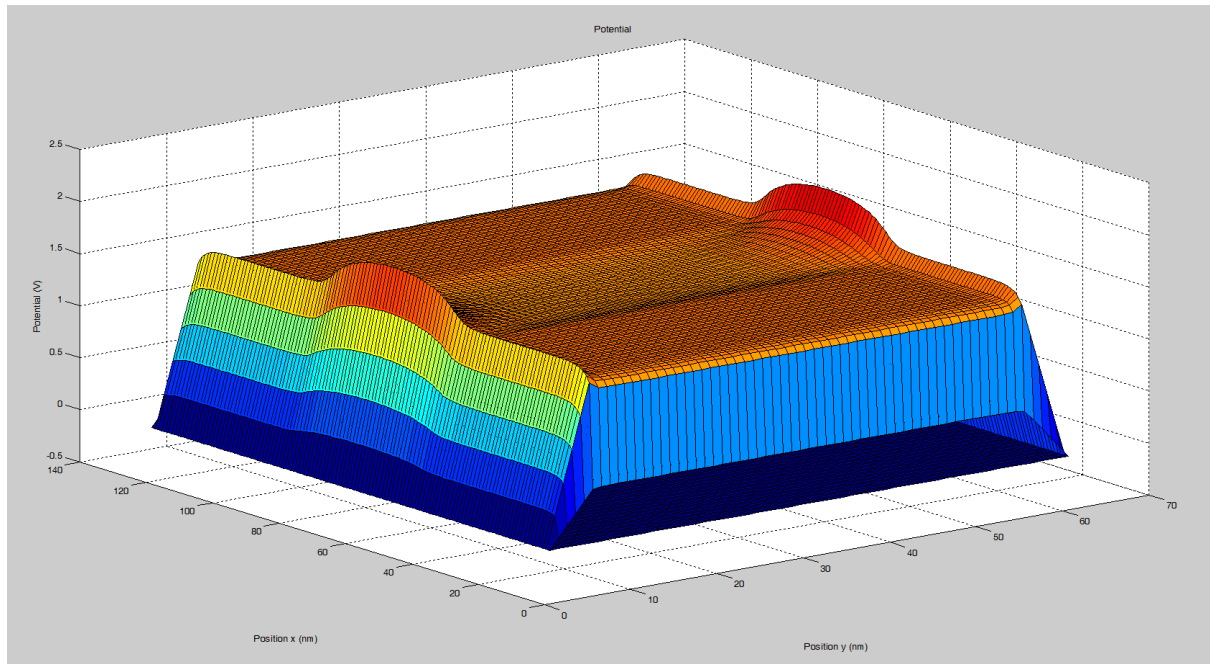


Figure 3 게이트 전압 0 V 상태의 Potential

Figure 3 에서는 0 V 상태의 Potential을 나타내었다. 그러나 1 V 상태의 Potential 과 큰 차이를 나타내지 않았다. 이는 Toy problem을 풀고 난 후, 전압분포가 최대 0.04 V정도로 나타나 큰 차이를 나타내지 않았다. 이 부분을 해결하지 못하여, 인가전압에 따른 변화를 알 수 없었다.

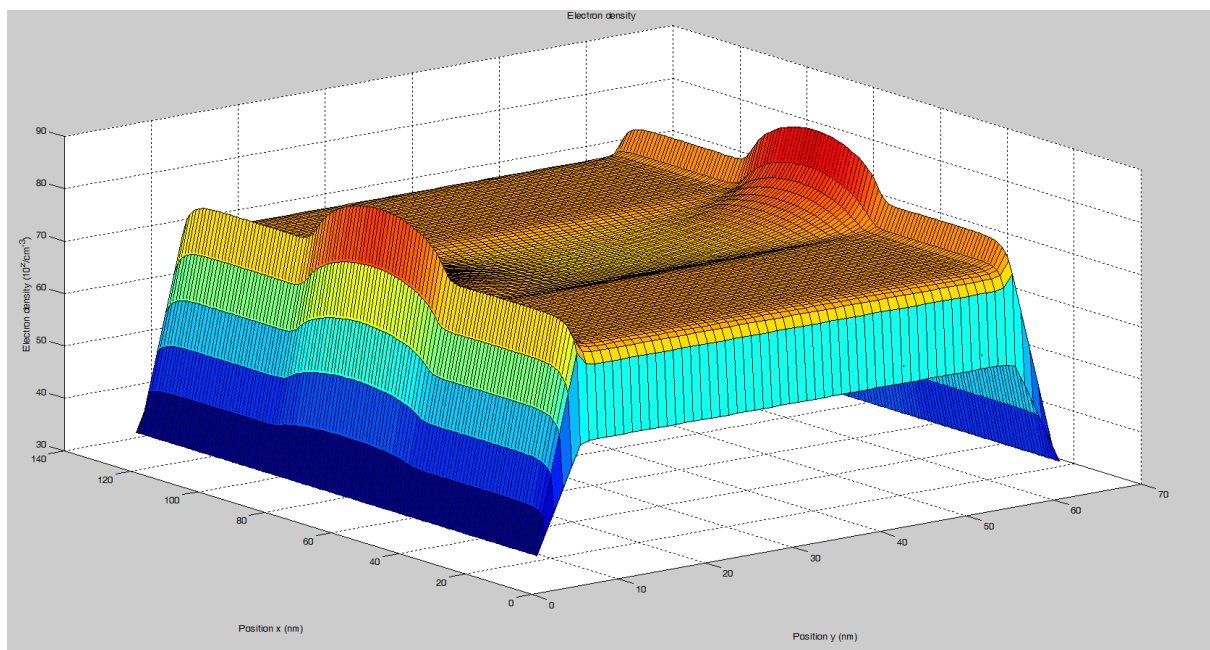


Figure 4 게이트 전압 1 V 상태의 전하분포도

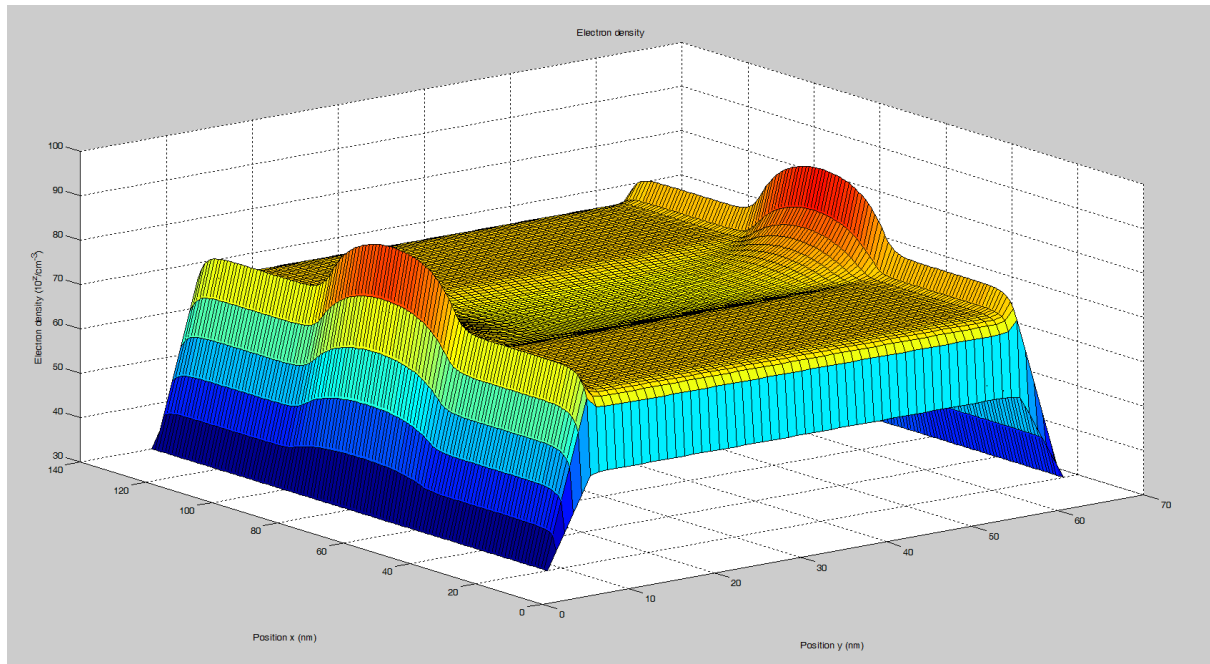


Figure 5 게이트 전압 0 V 상태의 전하분포도

Figure 4, 5 는 각각 게이트전압 1 V, 0 V일 때의 전하분포도를 z축만 log scale로 바꿔 나타내었다. 각각 Potential과 동일한 형태를 나타내었으며, 역시나 Boundary condition을 해결하지 못하여 인가전압에 따른 변화를 관찰하지 못하였다.