

Computational Microelectronics Report (Final Term Project)

Professor: Hong, Sung-Min

Major: Electrical Engineering and Computer Science

Student Number: 20181018

Student Name: Jang, Mi

Submission Date: 2018.12.17



Double Gate FET Based on Silicon

1. 서 론

고속 동작, 저전력 소비, 집적도 향상을 위해 트랜지스터를 미세하게 제작해야 하므로, 공정 개발이 끊임 없이 이루어지고 있다. 기존 CMOSFET의 경우 20 nm 이하의 구조에서 Short Channel Effect 라는 공정으로 해결 불가능한 문제점에 부딪히며 트랜지스터 구조에 대한 연구가 계속되어 왔다. 최근 집적도 향상을 위해 트랜지스터를 3 차원으로 배열하고자 하는 노력과, 3 차원 구조의 트랜지스터를 만들고자 하는 노력이 함께 진행되어 오고 있다.

3 차원 구조를 갖는 트랜지스터는 게이트를 채널 주변에 배치하는 방법에 따라 Double Gate MOST (DGMOSFET), FinFET, 원통형 구조로 나눈다. 이들 중, DGMOSFET 은 상단과 하단에 게이트를 제작하여 게이트 단자에 의한 채널 내 전자 흐름을 제어하는 능력을 높일 수 있다. 그러므로, 기존 CMOSFET 의 Short Channel Effect 를 감소시킬 수 있다는 장점이 있다. 상단과 하단 게이트 산화막의 두께가 동일하고, 인가 전압이 동일한 경우인 대칭형 DGMOSFET 에 관한 시뮬레이션을 MATLAB 을 통해 진행하고 분석해볼 예정이다.

2. 구조 설명

상단 하단의 게이트 산화막 (SiO_2) 두께는 0.5 nm 로 동일하며, 양단의 게이트 사이에 5 nm 두께의 실리콘이 위치하고 있다. 양단의 게이트 산화막 위에 40 nm 의 게이트가 대칭적으로 놓여져 있다. 실리콘은 길이가 120 nm 로 N^+NN^+ 구조를 이루고 있으며, 각각의 길이 40 nm 로 동일하며, 농도는 $5 \times 10^{19} / 2 \times 10^{17} / 5 \times 10^{19} \text{ cm}^{-3}$ 이다. 아래의 그림이 구조를 나타내주고 있다.

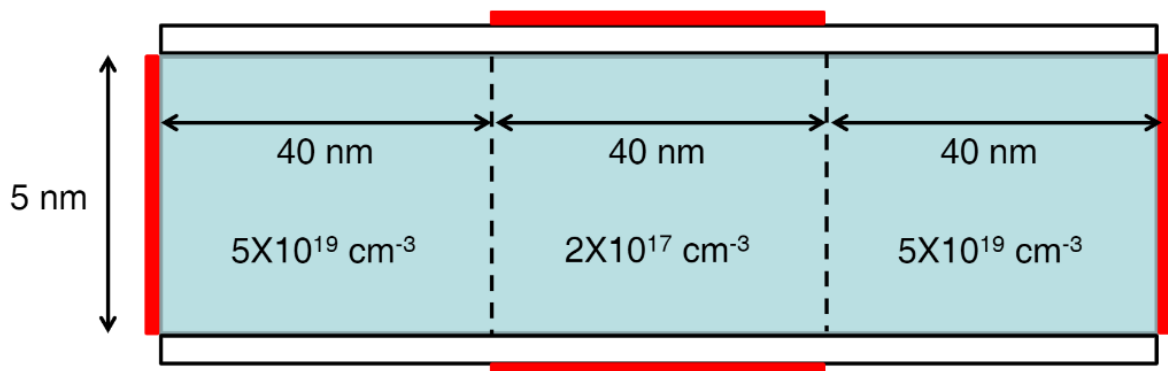


Figure 1. DGMOSFET의 모식도

3. 결과 분석

3-1. Solve the nonlinear Poisson equation for the double-gate structure.

조건 1. $V_S = V_D = 0$

조건 2. V_G varies from 0 to 1 V (0.1 V step).

3-1-1. Electrostatic potential 그래프

게이트 전압을 다르게 걸어줄 때 마다 다른 경계 조건을 사용해야 하며, DGMOSFET의 두께까지 고려해야 한다. 아래의 그림을 보면, 산화막 영역에서 게이트 전압이 인가되는 부분으로 갈수록 potential이 높아진다. 또한, 높은 게이트 전압을 인가할수록 실리콘의 potential이 증가하며, 그 값이 수렴하게 된다. 게이트 전압을 계속해서 높인다고 해서 전자 농도를 증가시킬 수 없음을 보일 수 있다.

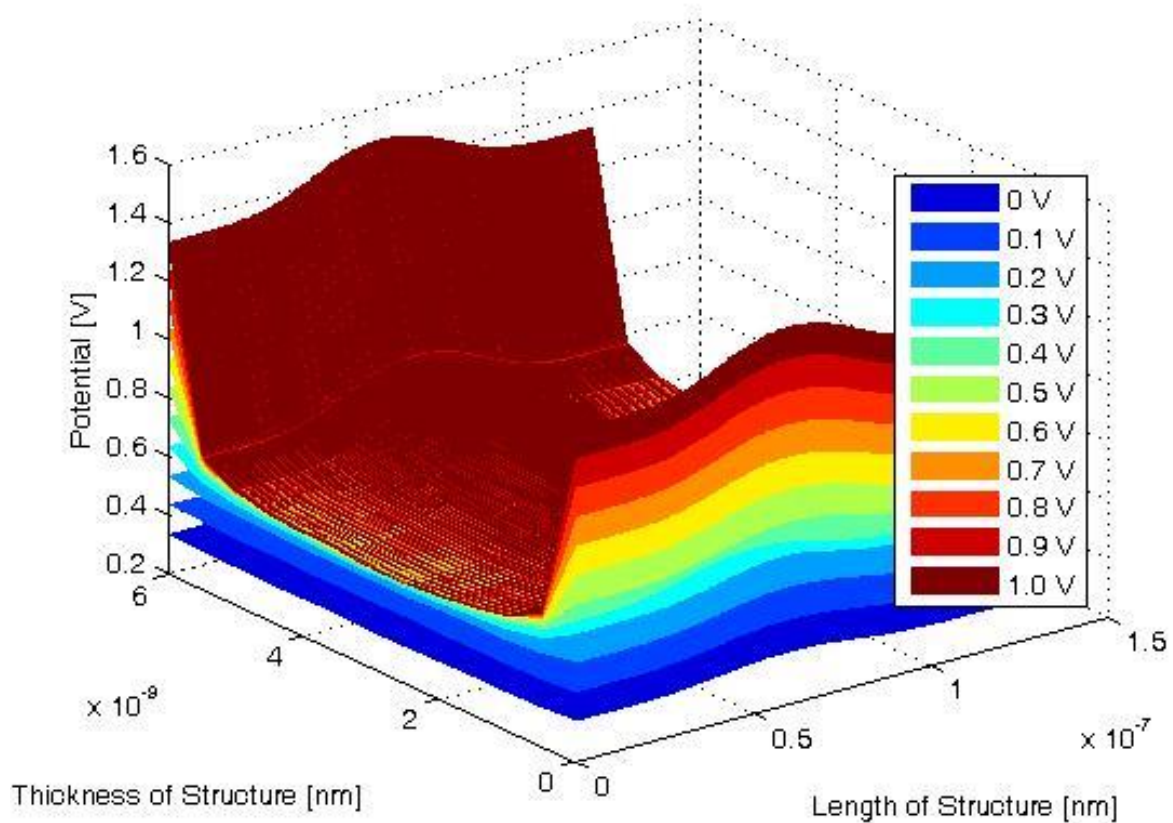
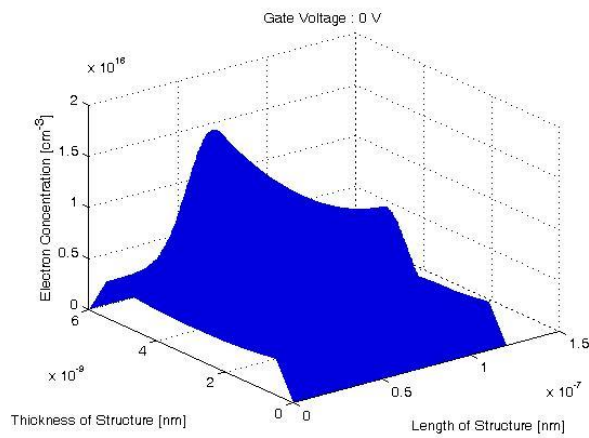


Figure 2. DGMOSFET의 Electrostatic potential 3D 그래프

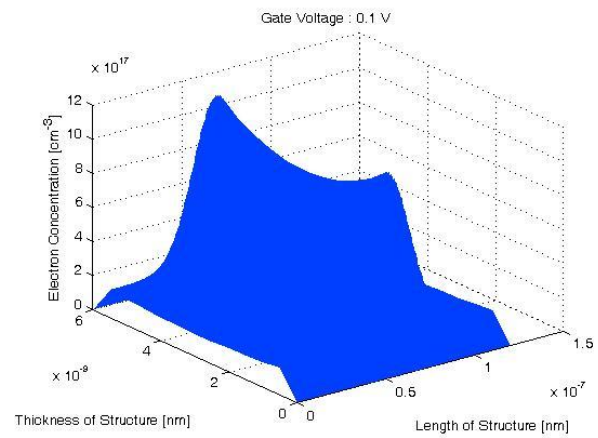
3-1.2. Electron concentration 그래프

3-1-1 에서 구한 Electric potential 을 바탕으로 게이트 전압에 따른 전자 농도를 계산했다. 게이트 전압에 따라 전자 농도가 크게 변하므로 하나의 그래프로 나타낼 수 없어 각각의 그래프를 나누어 그렸다. 산화막 영역에서는 전자가 없으므로 전자 농도가 0 이며, 게이트 중앙과 가장 가까운 실리콘 영역에서 가장 높은 전자 농도 값을 가진다. 이는 Fig 2 를 참고하면 당연한 결과라고 받아들여진다.

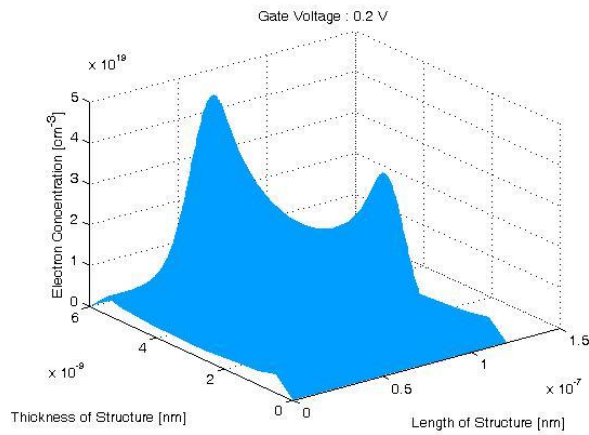
$V_G = 0 \text{ V}$



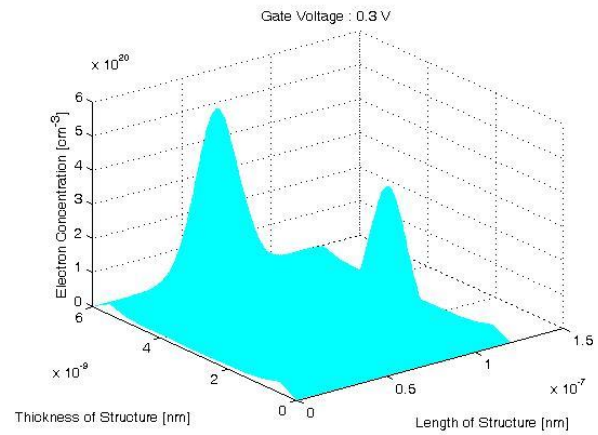
$V_G = 0.1 \text{ V}$



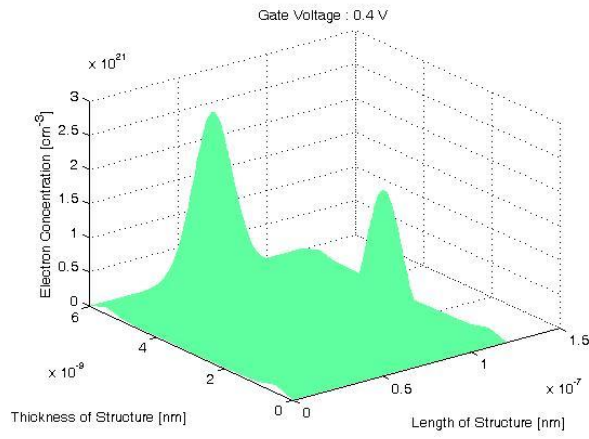
$V_G = 0.2 \text{ V}$



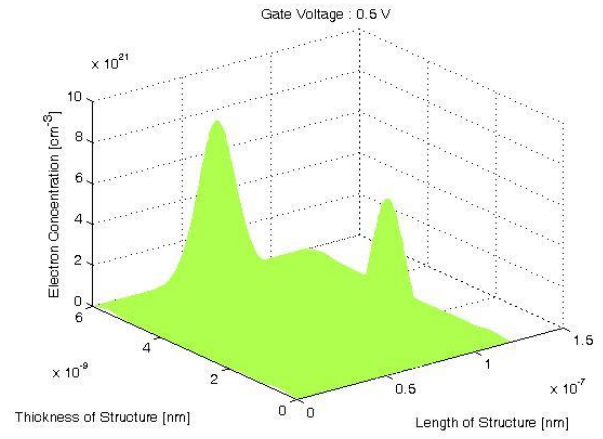
$V_G = 0.3 \text{ V}$



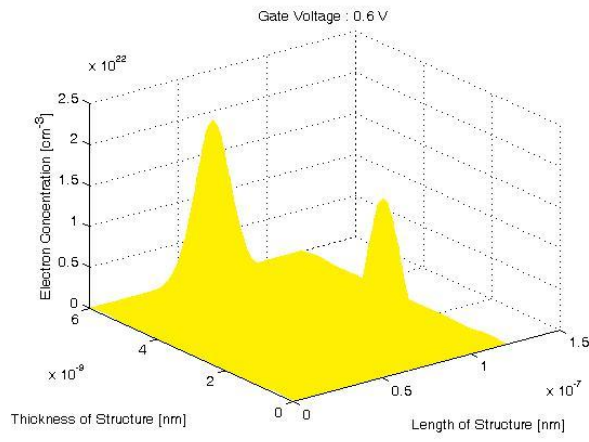
$V_G = 0.4 \text{ V}$



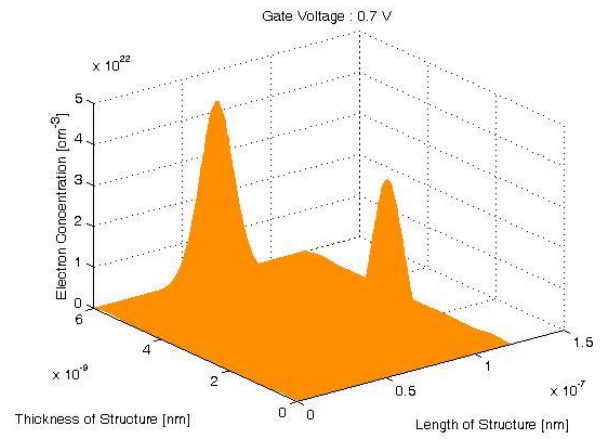
$V_G = 0.5 \text{ V}$



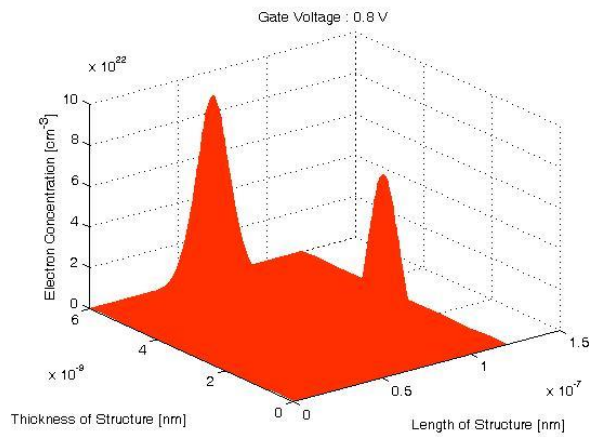
$V_G = 0.6 \text{ V}$



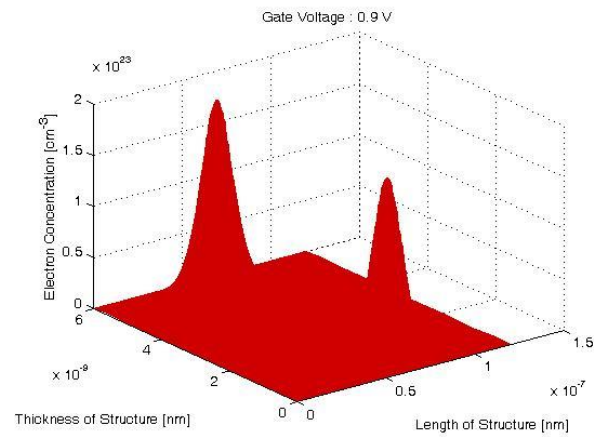
$V_G = 0.7 \text{ V}$



$V_G = 0.8 \text{ V}$



$V_G = 0.9 \text{ V}$



$$V_G = 1.0 \text{ V}$$

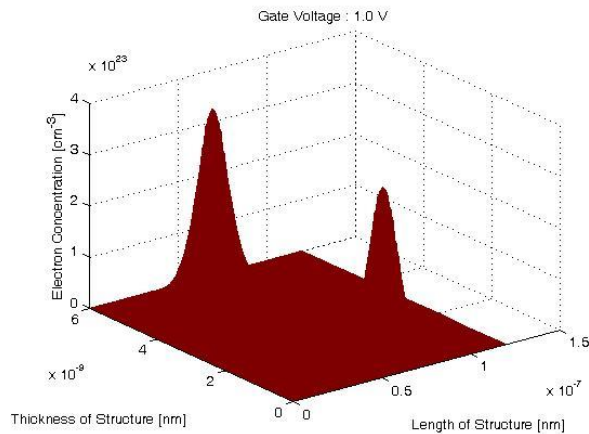


Figure 3. DG MOSFET의 Electron concentration 그래프

3-2. Solve the drift-diffusion equation for the double-gate structure.

조건 1. Self-consistent 방법 사용

조건 2. $V_S = 0$

조건 3. V_G varies from 0 to 1 V (0.1 V step).

조건 4. V_D varies from 0 to 1 V (0.1 V step).

조건 5. The electron mobility is assumed to be $1430 \text{ cm}^2/\text{V sec}$.

3-2-1. Drain current as a function of V_D 그래프

3-1-1 에서 게이트 전압을 증가했을 때 potential 이 수렴함을 보였고, 이를 통해 드레인 전류가 수렴하는 것을 추측할 수 있다. 3-2-1 에서는 Self-consistent 방법을 이용하여 Non-linear equation 만 사용했을 때 오차를 줄일 수 있다. 이는 Schrodinger solver 에 Poisson equation 을 통한 feedback 과정 거치기 때문이다. 그래프로 나타내면서 드레인 전류의 스케일의 오류 가능성을 의심했지만 해결 방법을 찾지 못했다.

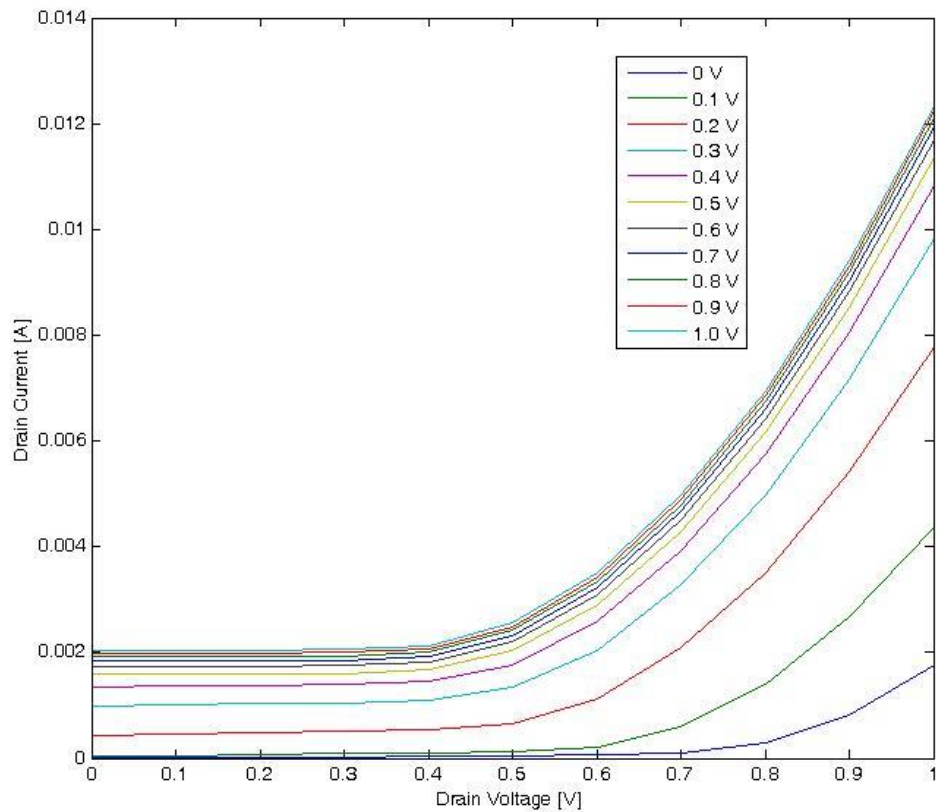


Figure 4. DGMOSFET의 V_G / V_D 전압에 따른 I_D

3-3. Solve the Schrodinger equation.

- 조건 1. Use the electrostatic potential obtained in 3-2.
- 조건 2. $V_s = 0$ V
- 조건 3. Consider V_G of 0.1 V and 0.5 V.
- 조건 4. Consider V_D of 0.1 V and 0.5 V.
- 조건 5. Consider the lowest subband valleys.
- 조건 6. Calculate the lowest subband for each slab.

3-3-1.

3-4. Solve the Boltzmann equation.

조건 1. Only an elastic scattering with $\tau = 0.1$ psec is considered.

조건 2. For each valley, only the lowest subband is considered.

조건 3. Use the electrostatic potential obtained in 3-2.

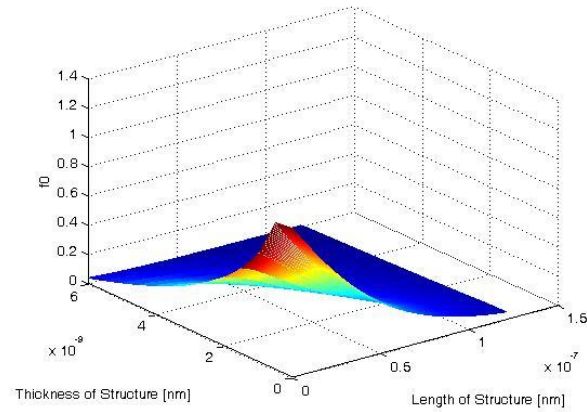
조건 4. $V_s = 0$ V

조건 4. Consider V_G of 0.1 V and 0.5 V.

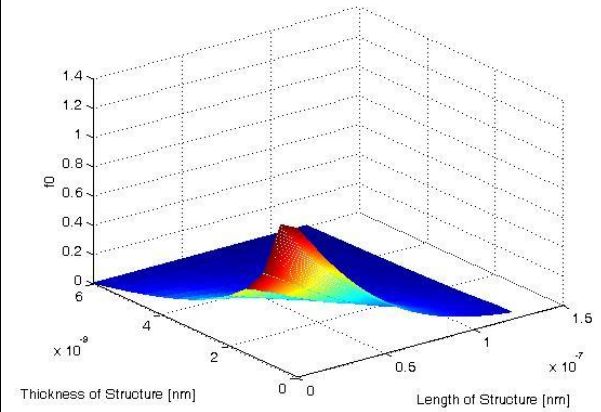
조건 5. Consider V_D of 0.1 V and 0.5 V.

3-4-1. f_0 of each valley

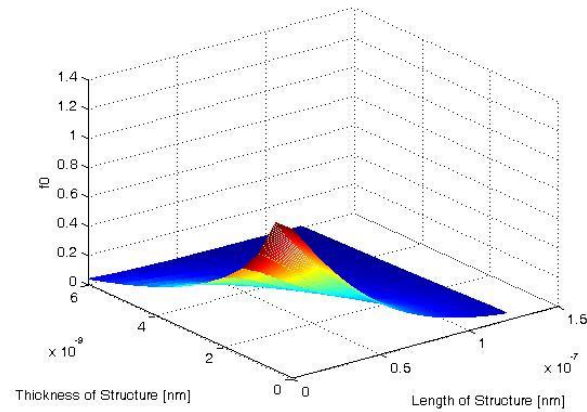
$V_G = 0.1$ V, $V_D = 0.1$ V



$V_G = 0.1$ V, $V_D = 0.5$ V



$V_G = 0.5$ V, $V_D = 0.1$ V



$V_G = 0.5$ V, $V_D = 0.5$ V

