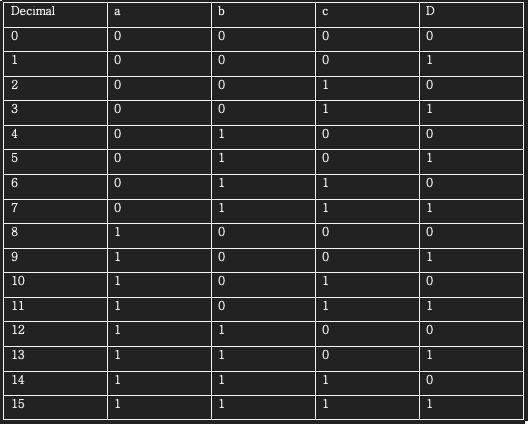
12주차 예비보고서

전공: 심리학과 학년: 3학년 학번: 20190345 이름: 김동현

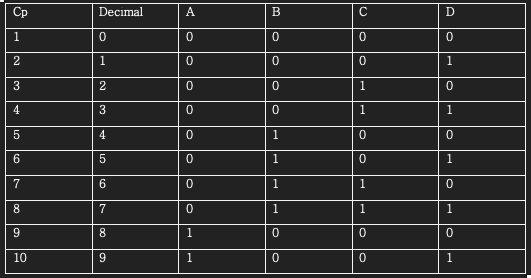
**1.**

Counter는 flip-flop을 사용하여 수를 세는 회로이다. 입력값 클럭의 변화에 따라, 즉 클럭이 0에서 1로 바뀌는 횟수에 따라서 n비트의 이진수 혹은 bcd code 등으로 출력값을 나타낸다. 클럭 입력이 주어질 때 마다 숫자가 증가하거나 감소하거나 숫자를 카운트하여 출력한다. N개의 flip-flop으로 개의 숫자를 카운트 할 수 있다. 예를 들어 0부터 15까지의 숫자를 카운트하기 위해서는 다음과 같은 과정을 수행한다. 우선 숫자를 2진법으로 출력하고자 한다면, 0000~1111까지 4개의 출력값을 가진다. 클럭 입력의 변화에 따라 카운터는 다음과 같이 변화할 것이다. 0111이 출력된 상황에서 클럭 입력이 주어진다면 1000이 출력될 것이다.



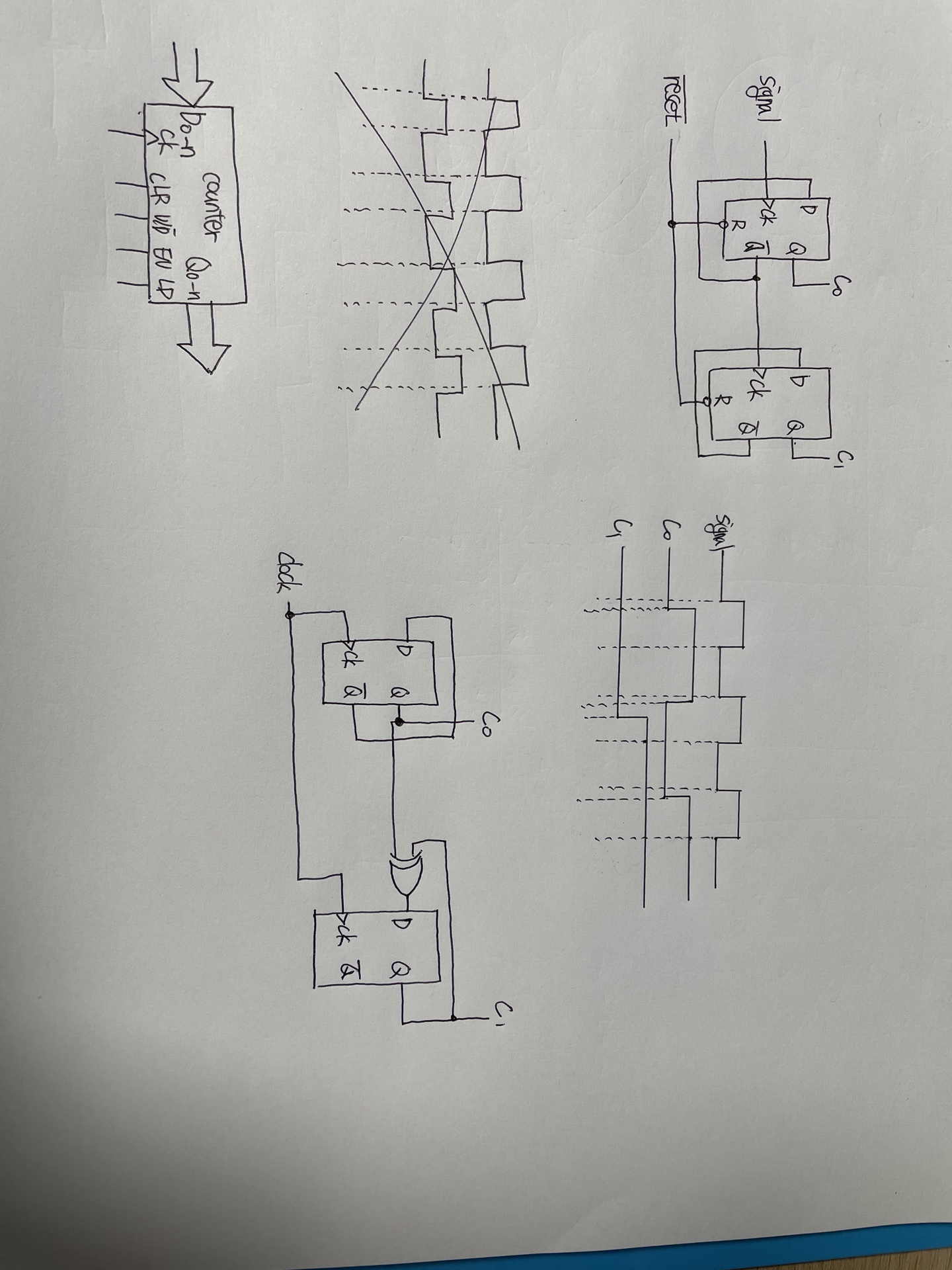
2.

Decade 카운터는 10진수 카운터로 0부터 9까지 카운팅을 반복한다. 이를 구현하기 위해 4개의 Flip-flop을 사용해야 하며, 16개 중 10개의 상태를 사용한다. 또한 오름차순 카운팅을 한다면 9다음 0으로 돌아가며, 반대로 내림차순 카운팅을 한다면 0다음 9로 돌아간다. 아래 표는 decade counter의 진리표이다.

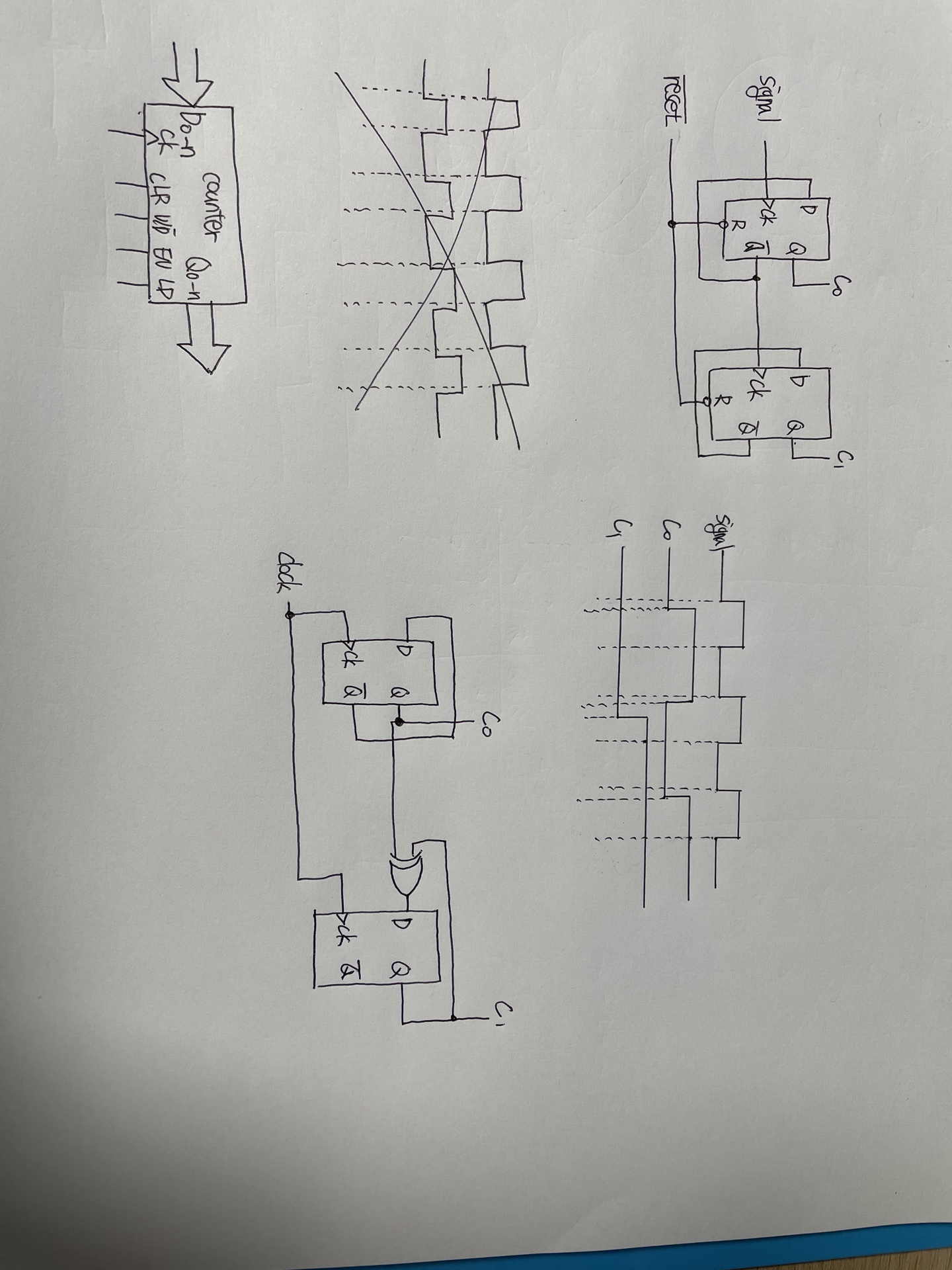


3.

비동기식 카운터는 각 비트의 상태가 이전 비트의 상태 변화에 영향을 받아 결정되어 delay를 가지고 상태가 변하는 카운터이다. 아래의 그림은 2비트 비동기식 카운터의 diagram이다.

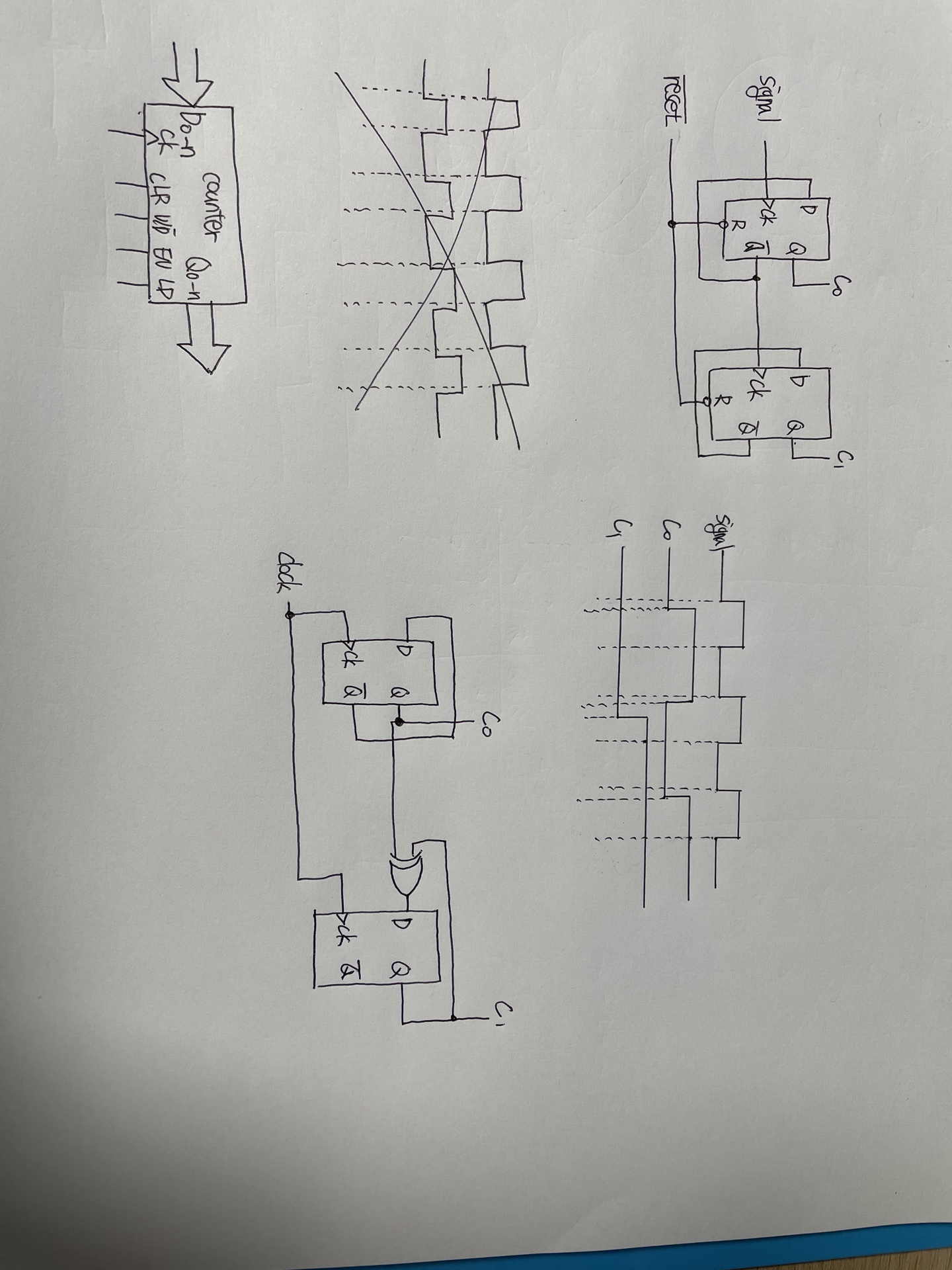


C1값을 얻기 위해서는 c0의 상태 변화가 우선해야 한다. 이러한 비동기식 카운터의 타이밍 diagram을 표현하면 아래와 같다.



전파 지연으로 인해 signal값과 c0값의 출력에는 delay가 존재한다. 뿐만 아니라 같은 이유로 c1값과 c0값의 출력 역시 delay가 존재한다. 이러한 뒤의 비트의 결과를 구하는 시간이 앞 비트의 결과를 구하는 시간보다 오래 걸리면서 나타나는 delay는 올바른 결과를 출력하지 못할 수 있다. 이는 비트의 수가 커질수록 delay 시간이 커진다. 뿐만 아니라 전파 지연으로 인해 어느 시점에서 결과를 살펴보는 것이 정확한 결과를 나타내는지 확인하기 어려운 모호성도 존재한다.

이러한 문제를 해결하기 위한 방법이 동기식 카운터이다. 동기식 카운터는 비동기식 카운터와 달리 상태 변경이 동시에 일어난다. 이를 가능하게 하기 위해 clock(signal)을 병렬적으로 모든 Flip-flop에 연결한다. 아래는 2비트 동기식 카운터를 나타낸 diagram이다.



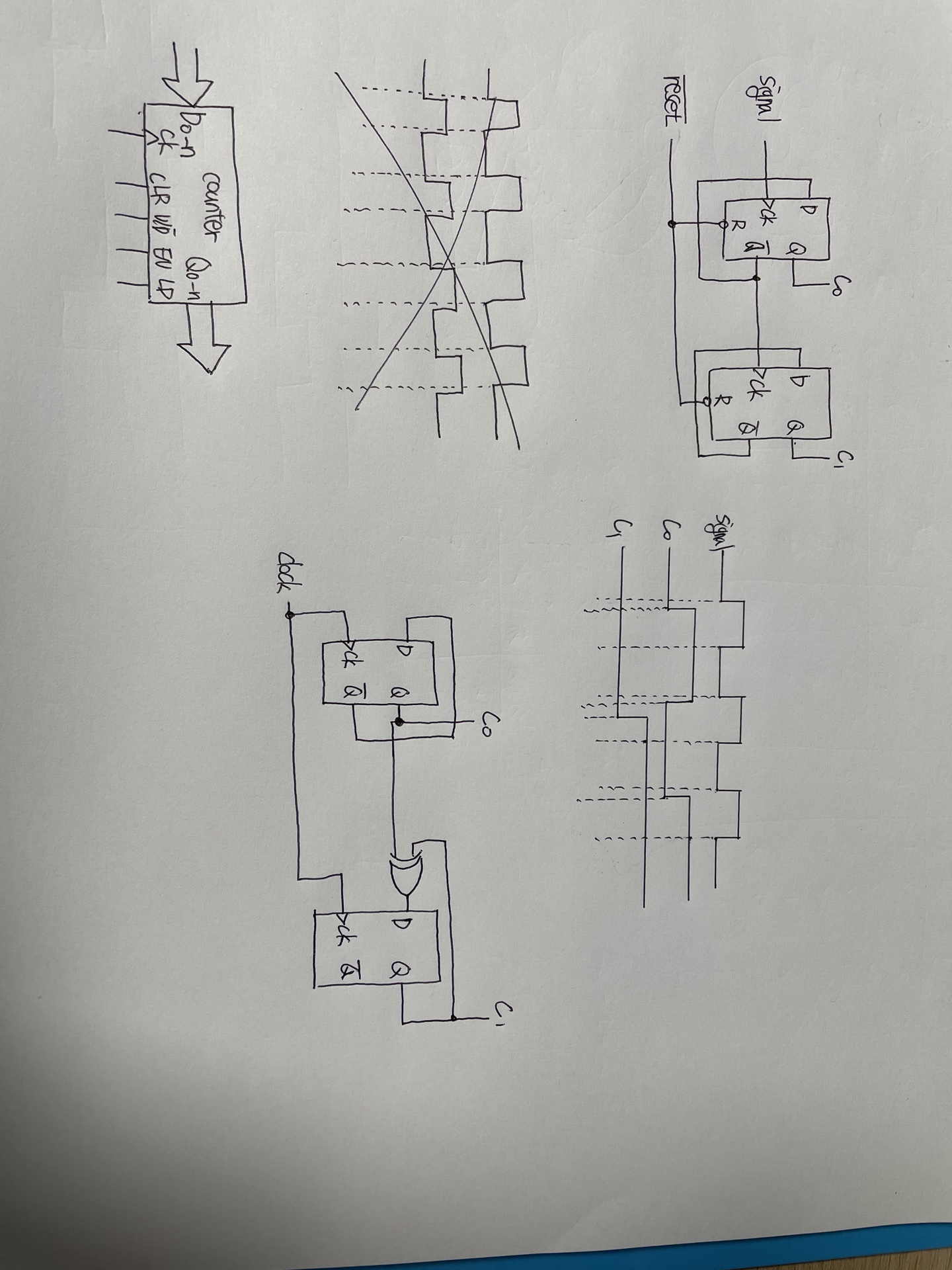
Clock(signal)이 모든 flip-flop에 연결되어 있음을 알 수 있다. 비록 clock과 flip-flop과의 전파지연은 발생하지만 flip-flop 간의 전파지연은 해결되어 어느 시점에 결과를 확인해야 하는지 보다 명확해졌다.

4.

FSM은 Finite state machine으로 컴퓨터 프로그램과 전자 논리 회로를 설계하는 데 활용되는 수학 모델이다. FSM은 임의의 시간에 하나의 상태를 가지게 되며, 특정 입력에 따라 다른 상태로 전이한다. 이러한 전이는 특정 조건을 만족시키는 경우 발생한다. FSM은 입력에 따라 하나의 상태로만 전이할 수 있는 Deterministic finite automata와 입력에 따라 하나 이상의 상태로 전이할 수 있는 nondeterministic finite automata으로 나뉜다. FSM의 예시로는 Moore model과 mealy model이 있다. Moore model은 출력이 현재 상태에 의해서만 결정되는 모델이다. 반면 mealy model은 출력이 현재 상태와 입력값에 의해서 결정되는 모델이다. Moore model은 현재의 상태만 의해 출력을 결정하기에 행위를 단순하게 표현할 수 있지만, mealy model은 현재상태와 입력에 의해 출력을 결정하기에 전체 상태의 수를 적은 수로 표현할 수 있다.

5.

카운터를 나타내는 schematic이 존재한다. 그 schematic은 아래 그림과 같다.



CLR은 카운터를 0인 상태로 되돌리는 입력이다.

EN은 카운터를 활성화하는 입력으로 1(참)이 입력되면 카운터의 기능을 수행하고, 0(거짓)이 입력되면 clock과 입력값에 관계없이 카운터의 기능을 수행하지 않는다.

U/D는 카운터의 카운팅 방향을 나타내는 입력으로, 1인 경우 오름차순으로 수를 세고, 0인 경우 내림차순으로 수를 센다.

LD는 데이터의 입력과 카운터를 지정한 값으로 설정하기 위한 입력이다.

은 입력 데이터를 의미한다.

은 카운터 출력값을 의미한다.

CK는 clock값으로 clock값의 변화에 따라 카운터의 상태가 변화한다.

6. 참고문헌

Alan B. Marcvitz, Introduction to Logic Design, McGraw-Hill(2010)

Jonathan E. Steinhart, “한 권으로 읽는 컴퓨터 구조와 프로그래밍”