This is a mini project for UVM verification which will take you up to three days and it is suitable for inexperienced verification engineers.

You will understand the basic composition and operating mechanism of the UVM verification environment through this project.

为了学习UVM验证相关知识，需要动手尝试实际的项目。作为一个初学者，难以接触到实际的项目，于是我从夏宇闻老师的《Verilog数字系统设计教程》一书中，挑选出一个简单的小设计作为我的验证对象，并围绕它编写了UVM验证环境，以此迈出独立进行验证的第一步。

此DUT内包含两个子模块M1、M2，M1将master输入的四位并行数据转换为串行数据，并通过scl和sda两个信号，将数据传送给M2。而M2作一个简单的译码。需注意的是，当M1发送数据4’d0给M2时，M2输出16位应为16’h8000，而非16’h0000。

另，本工程中已编写好UVM验证环境，读者可在我的环境中自己编写测试序列，也可以自己搭建验证环境。

串并转换协议时序：

1、ack信号在sclk下降沿拉高，此时进行采样

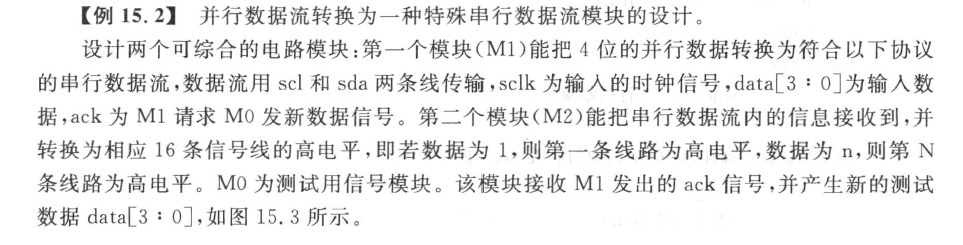
2、ack拉高后的下一个sclk下降沿，SDA拉高

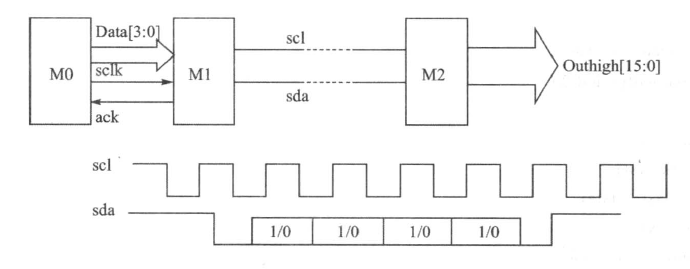
3、SDA拉高后下一个sclk下降沿，如果scl=1，则sda拉低，此时标志着传输开始，同时 M2中的start flag拉高，待end flag拉高后的下一个sclk下降沿，start flag拉低。

4、sda拉低的下一个sclk下降沿，如果scl=0，则输出data[0]，依次输出4位data

5、输出完4位data后，下一个sclk下降沿，如果scl=1，则sda拉高，表示传输结束，此时 M2的输出更新，且end flag拉高。待下一次sda拉高，end flag再拉低。

原文描述如下：





仿真结果如下：

