

ΣΧΕΔΙΑΣΜΟΣ ΣΥΣΤΗΜΑΤΩΝ VLSI ΚΑΙ ASIC (HPY511)

Αναφορά Άσκησης 4:

*Μελέτη καθυστέρησης σήματος σε γραμμή πολυπυριτίου και παρεμβολή
αντιστροφών για μείωση της καθυστέρησης.*

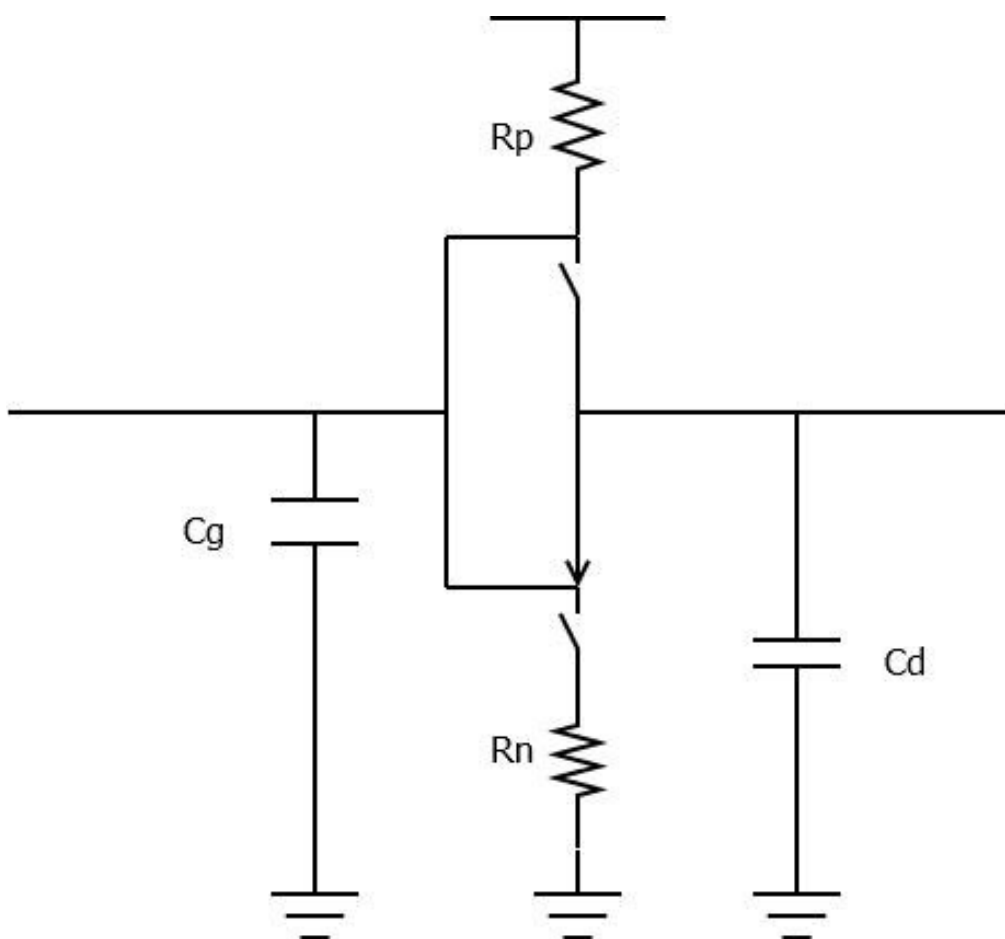
Καβαλλάρης Χρήστος
Α.Μ. : 2014030135

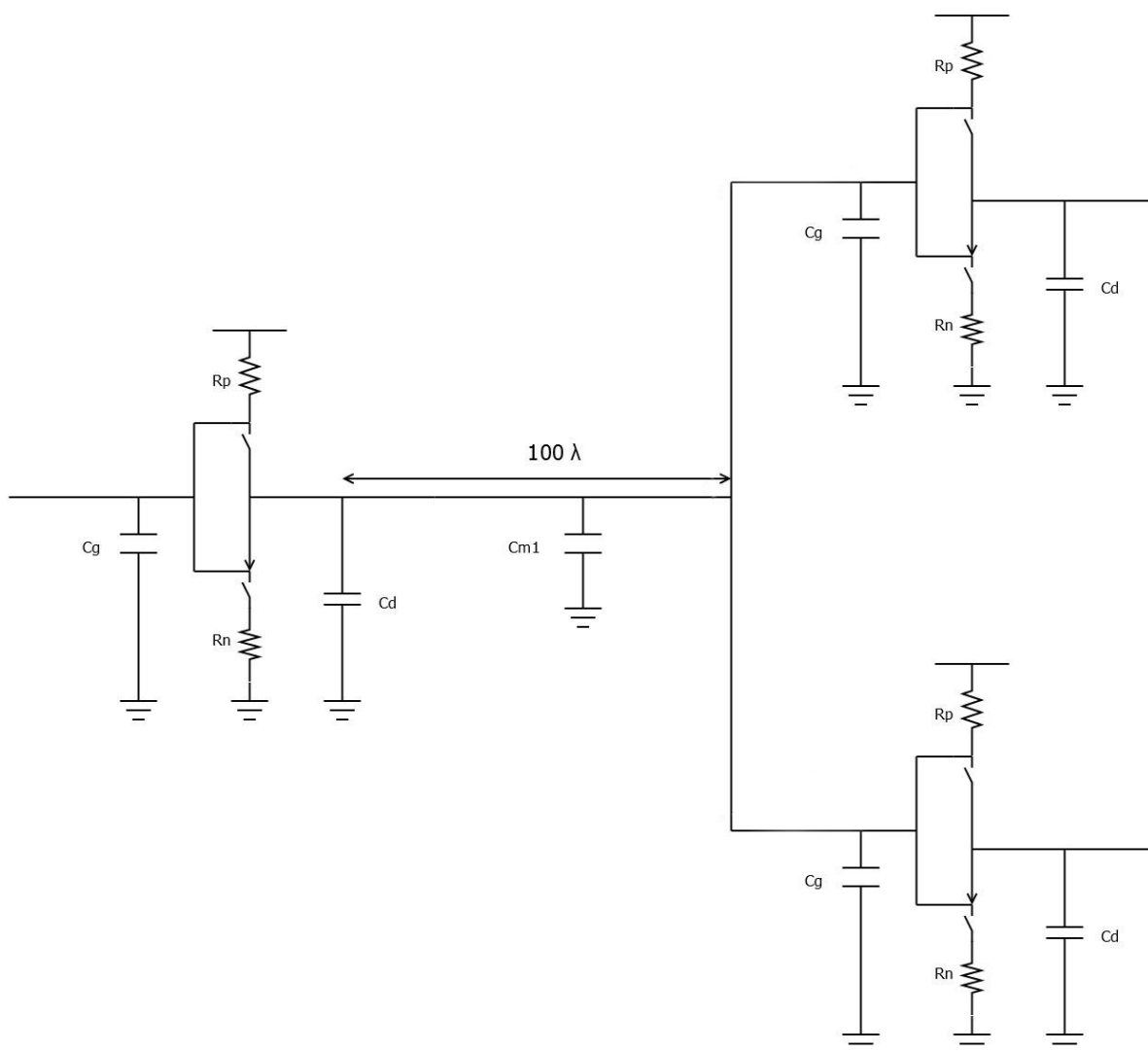
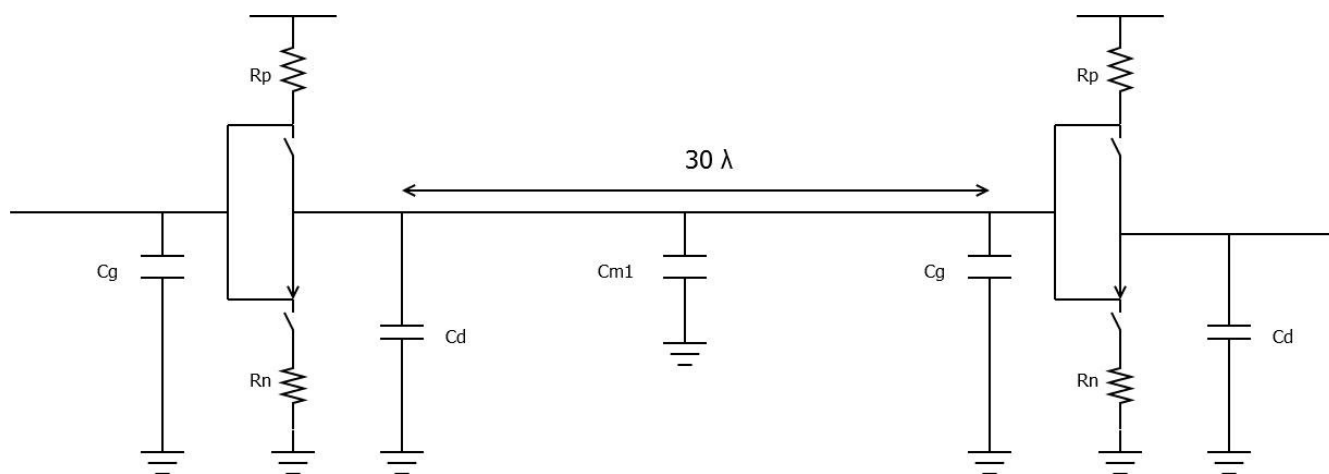
Μάνεσης Αθανάσιος
Α.Μ. : 2014030061

Στην τέταρτη εργαστηριακή άσκηση μας ζητήθηκε να μελετήσουμε την καθυστέρηση του σήματος σε γραμμή πολυπυριτίου και στη συνέχεια να παρεμβάλουμε inverters για την μείωση της καθυστέρησης. Αρχικά υπολογίσαμε τα απαραίτητα μεγέθη για να καταλήξουμε στον υπολογισμό της θεωρητική καθυστέρησης.

Αφού υλοποιήσαμε τα κυκλώματα για διάφορους αριθμούς buffers, πραγματοποιήσαμε τις απαραίτητες προσομοιώσεις στο NgSpice, ώστε να συγκρίνουμε πειραματικές και θεωρητικές καθυστερήσεις και να καταλήξουμε στην βέλτιστη υλοποίηση.

Αρχικά μοντελοποιήσαμε το κάθε τρανζίστορ με το ισοδύναμο RC μοντέλο διακόπτη. Όπως φαίνεται στα παρακάτω σχήματα, πρέπει να υπολογίσουμε πρώτα τις τιμές των R_p , R_n , C_g και C_d .





Τα 3 παραπάνω κυκλώματα παρουσιάζονται με το RC ισοδύναμο και θα μας βοηθήσουν να βρούμε τις ζητούμενες τιμές. Σχεδιάζοντας τα κυκλώματα αυτά στο Magic και εκτελώντας την προσομοίωση τους στο NgSpice, βρίσκουμε τους χρόνους καθυστέρησης ανόδου και καθόδου που φαίνονται παρακάτω.

- Κύκλωμα 1:

```
tdelayrise    = 5.01954e-010 |targ= 1.06520e-008 trig=
1.01500e-008
tdelayfall    = 4.12984e-010 targ= 5.46298e-009 trig=
5.05000e-009
```

- Κύκλωμα 2:

```
tdelay        = 1.34632e-009 targ= 6.39632e-009 trig=
5.05000e-009
```

- Κύκλωμα 3:

```
tdelay1       = 1.86160e-009 targ= 6.91160e-009 trig=
5.05000e-009
tdelay2       = -5.04929e-009 targ= 7.13407e-013 trig=
5.05000e-009
```

Για κάθε κύκλωμα επίσης μπορούμε να υπολογίσουμε την καθυστέρηση Elmore που προκύπτει. Στα κυκλώματα 2,3 υπολογίζεται μόνο ο χρόνος ανόδου, γιατί ο χρόνος καθόδου δεν μας χρειάζεται στους υπολογισμούς.

- Κύκλωμα 1:

$$t_{rd} = R_p * C_d$$

$$t_{fd} = R_n * C_d$$

- Κύκλωμα 2:

$$t_{rd} = R_p * (C_d + C_{m1} + C_g) + R_p * C_d$$

- Κύκλωμα 3:

$$t_{rd} = R_p * (C_d + C_{m1} + C_g) + R_p * C_d$$

Εξισώνοντας τους χρόνους που υπολογίστηκαν, με τις εξισώσεις Elmore μπορούμε να υπολίσουμε τις ζητούμενες τιμές. Αρχικά προκύπτει ένα σύστημα 3 εξισώσεων με 3 αγνώστους, από τις εξισώσεις ανόδου, από το οποίο προκύπτουν τα R_p , C_g και C_d και αφού βρεθούν προκύπτει το R_n από την εξίσωση καθόδου του κυκλώματος 1.

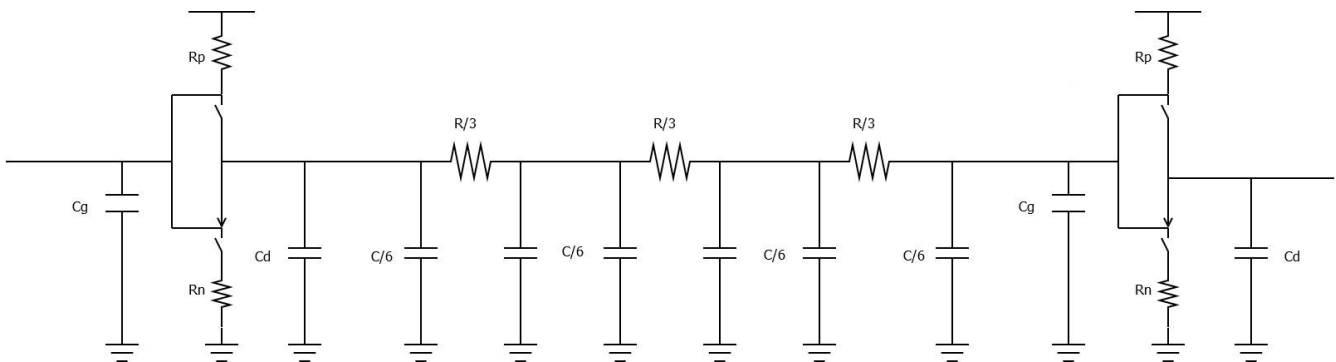
```

Rp =
  9.4374e+05
Cg =
  1.2883e-16
Cd =
  5.3188e-16
Rn =
  7.7646e+05

```

Επομένως έχουμε όλες τις ζητούμενες τιμές για να χρησιμοποιήσουμε το ισοδύναμο RC μοντέλο.

Αφού ολοκληρώσαμε τον υπολογισμό των απαραίτητων παραμέτρων για τους inverters, αντίστοιχα θα πρέπει να υπολογίσουμε και τις τιμές R , C του 3^{ου} τμημάτων Π-μοντέλου της γραμμής πολυπυριτίου. Στο παρακάτω σχήμα φαίνεται το ολοκληρωμένο κύκλωμα με 2 inverters στα άκρα που επικοινωνούν μέσω μίας γραμμής πολυπυριτίου μήκους 43500λ, το οποίο έχει αναλυθεί στα ισοδύναμα κυκλώματα που μας ζητούνται.



Προκύπτει ότι:

$$\begin{aligned}C &= 1.0962\text{e-}12 \\ R &= 2.2838\text{e+}04\end{aligned}$$

Αντίστοιχα με πριν προκύπτουν οι καθυστερήσεις για τους inverters με την γραμμή πολυπυριτιού μήκους 43500λ.

Καθυστέρηση Ανόδου:

$$t_{rd} = R_p \cdot (C_d + (C/6)) + ((R_p + (R/3)) \cdot (C/3)) + ((R_p + ((2 \cdot R)/3)) \cdot (C/3)) + ((R_p + ((3 \cdot R)/3)) \cdot ((C/6) + C_g) + R_p \cdot C_d$$

Αντικαθιστώντας το R_p με R_n προκύπτει η καθυστέρηση καθόδου:

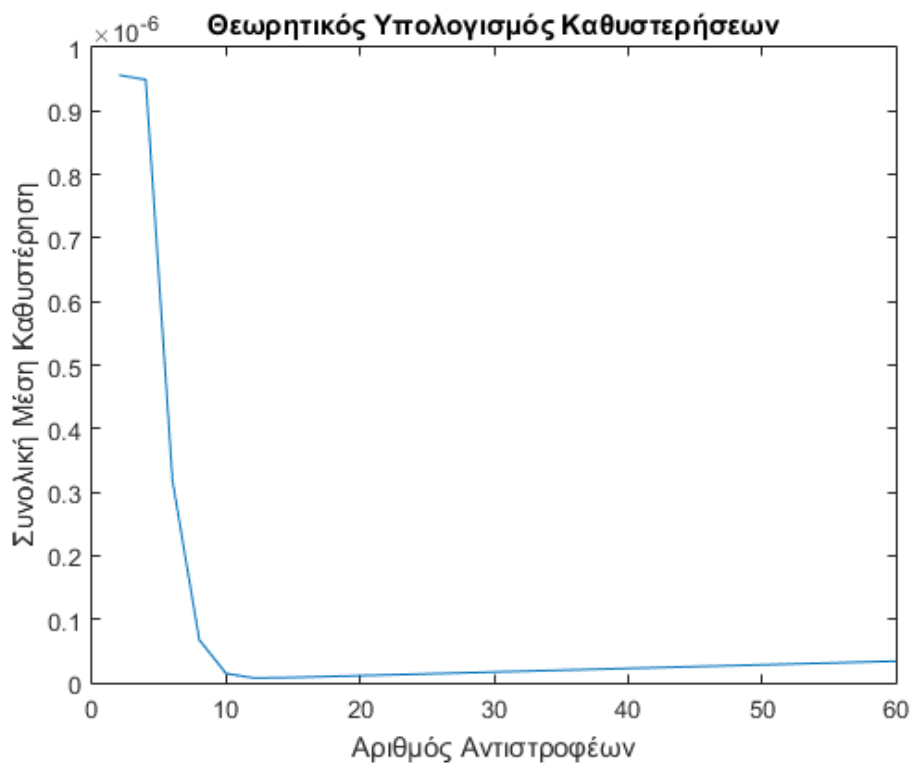
$$t_{fd} = R_n \cdot (C_d + (C/6)) + ((R_n + (R/3)) \cdot (C/3)) + ((R_n + ((2 \cdot R)/3)) \cdot (C/3)) + ((R_n + ((3 \cdot R)/3)) \cdot ((C/6) + C_g) + R_n \cdot C_d$$

Η συνολική μας καθυστέρηση προκύπτει από το άθροισμα των 2 καθυστερήσεων δια 2. Μελετώντας τους παραπάνω τύπους μπορούμε να δούμε ότι αν αυξηθεί ο αριθμός των αντιστροφέων (έστω n) τότε:

$$t_{rd} = (n-1) \cdot ((R_p \cdot (C_d + (C/6)) + ((R_p + (R/3)) \cdot (C/3)) + ((R_p + ((2 \cdot R)/3)) \cdot (C/3)) + ((R_p + ((3 \cdot R)/3)) \cdot ((C/6) + C_g))) + R_p \cdot C_d$$

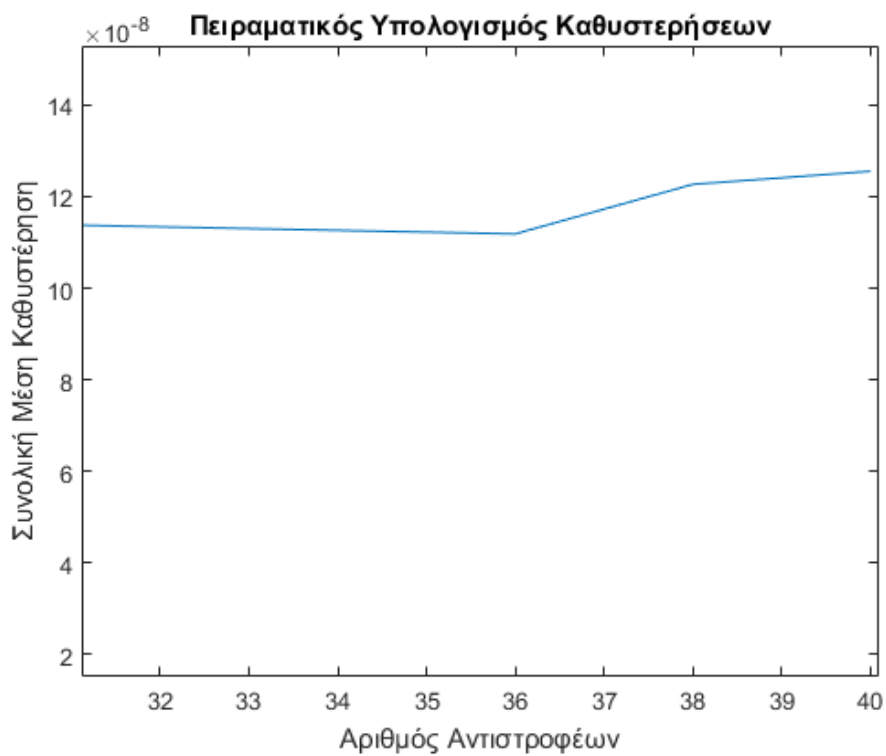
$$t_{fd} = (n-1) \cdot ((R_n \cdot (C_d + (C/6)) + ((R_n + (R/3)) \cdot (C/3)) + ((R_n + ((2 \cdot R)/3)) \cdot (C/3)) + ((R_n + ((3 \cdot R)/3)) \cdot ((C/6) + C_g))) + R_n \cdot C_d$$

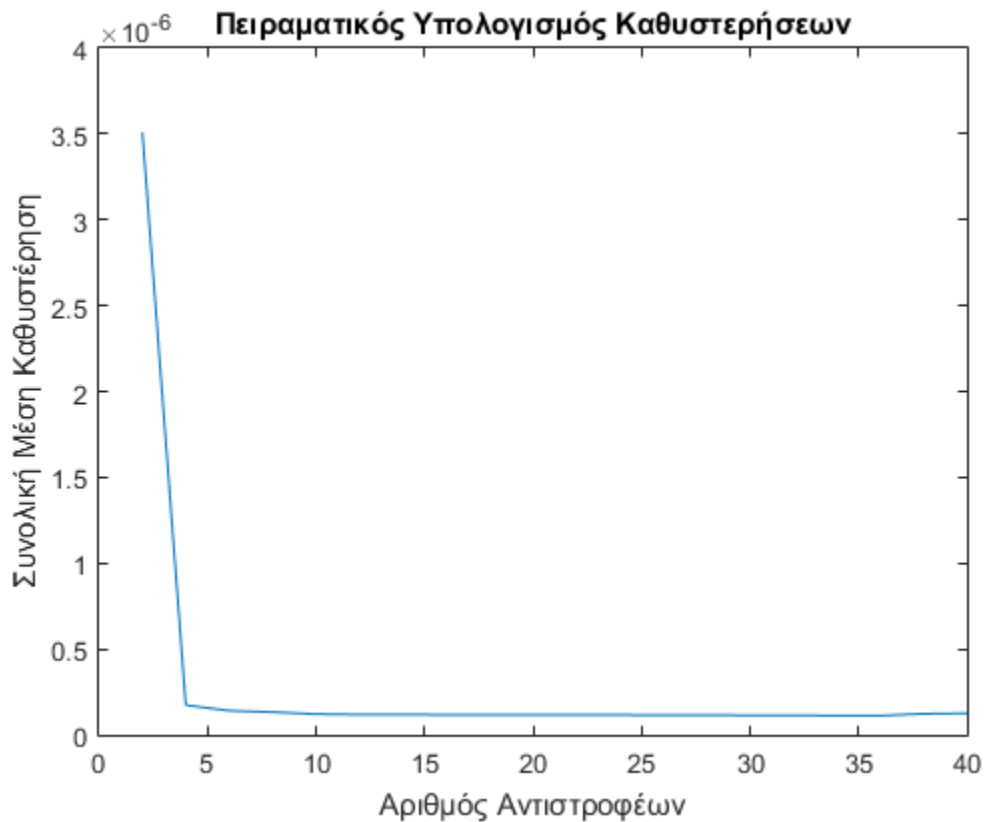
Αφού βρήκαμε τους τύπους για την συνολική καθυστέρηση, υπολογίσαμε την μικρότερη θεωρητική συνολική καθυστέρηση, που φαίνεται στις παρακάτω καμπύλες.



Η μικρότερη καθυστέρηση επιτυγχάνεται στους 12 αντιστροφείς. Όλοι οι παραπάνω θεωρητική υπολογισμοί έγιναν μέσω Matlab. Ο κώδικας επισυνάπτεται στο αρχείο zip.

Για τον πειραματικό υπολογισμό της μικρότερης συνολικής καθυστέρησης με τη βοήθεια του Magic υλοποιήσαμε πολλά κυκλώματα με διαφορετικό αριθμό αντιστροφένων για το καθένα. Παρατηρούμε ότι ο μικρότερη συνολική καθυστέρηση επιτυγχάνεται στους 36 αντιστροφείς.





Προσομοίωση Spice για το κύκλωμα με τους 36 inverters:

* Code to calculate the rise and the fall delay time(50% Input - 50% Output)

.MEAS TRAN tdelayrise TRIG V(Input) VAL=1.4v FALL=1

+TARG V(Output) VAL=1.4v RISE=2

.MEAS TRAN tdelayfall TRIG V(Input) VAL=1.4v RISE=1

+TARG V(Output) VAL=1.4v FALL=1

```

      Transient Analysis
tdelayrise      =  1.11176e-007 targ=  1.16226e-007 trig=
5.05000e-009
tdelayfall      =  1.12536e-007 targ=  5.11769e-006 trig=
5.00515e-006
ngspice 2 ->

```

