

ΣΧΕΔΙΑΣΜΟΣ ΣΥΣΤΗΜΑΤΩΝ VLSI ΚΑΙ ASIC

Αναφορά Άσκησης 3

Καβαλλάρης Χρήστος - 2014030135

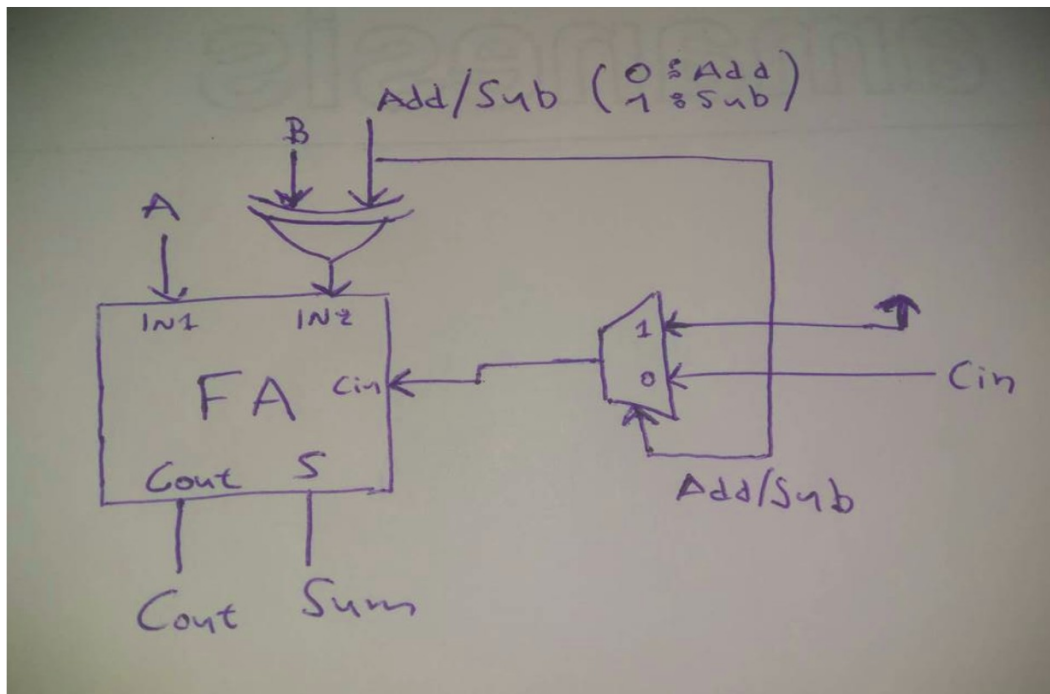
Μάνεσης Αθανάσιος - 2014030061

Σχεδίαση, λειτουργική προσομοίωση και προσομοίωση σε κυκλωματικό επίπεδο κυκλώματος πρόσθεσης/αφαίρεσης τελεστών 1-bit με Cin και καταχωρητή ολίσθησης 8-bit.

1. Κύκλωμα Adder/Subtractor 1-bit

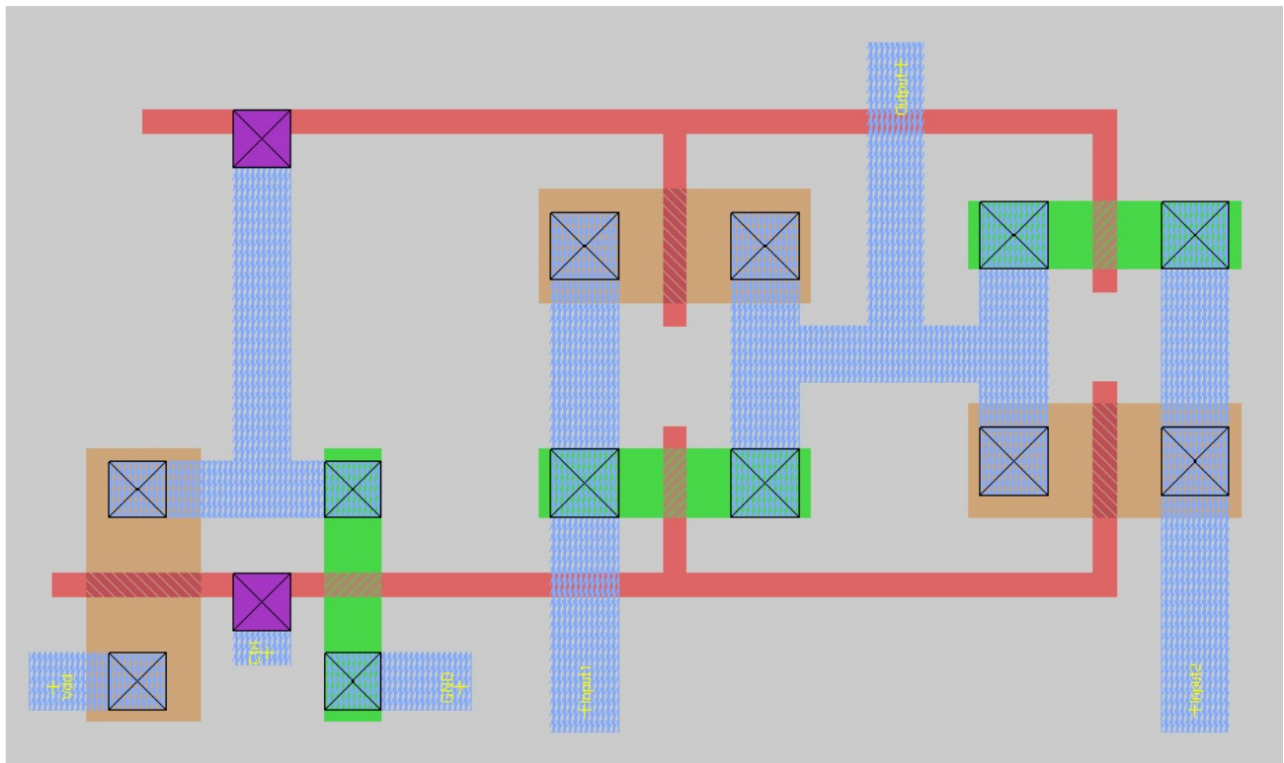
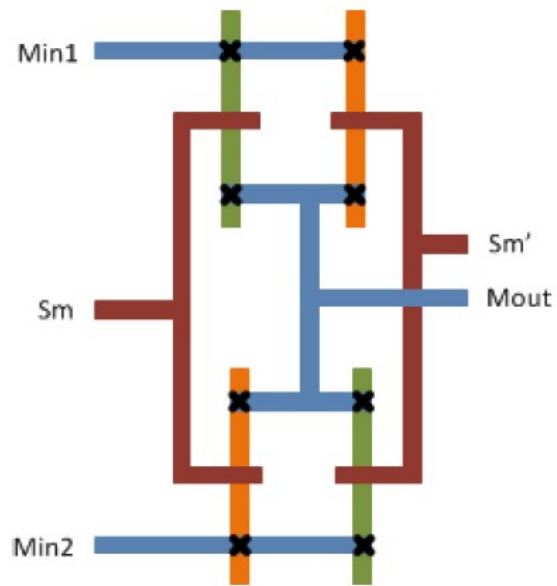
Υλοποιήσαμε το κύκλωμα του Adder/Subtractor χρησιμοποιώντας τον FA της Άσκησης 1. Για την αναγνώριση πράξης χρησιμοποιήσαμε ένα σήμα AbS (Add:0, Sub 1). Για την πράξη της αφαίρεσης, μέσω μίας XOR παίρνουμε το 2's complement του αφαιρέτη και χρησιμοποιούμε $Cin = 1$ για να γίνει σωστά η πράξη. Στην περίπτωση που έχουμε Add, μπορούμε να έχουμε $Cin = 1$ ή 0. Το control του Cin υλοποιείται από έναν 2x1 Multiplexer.

Κυκλωματικό Διάγραμμα:

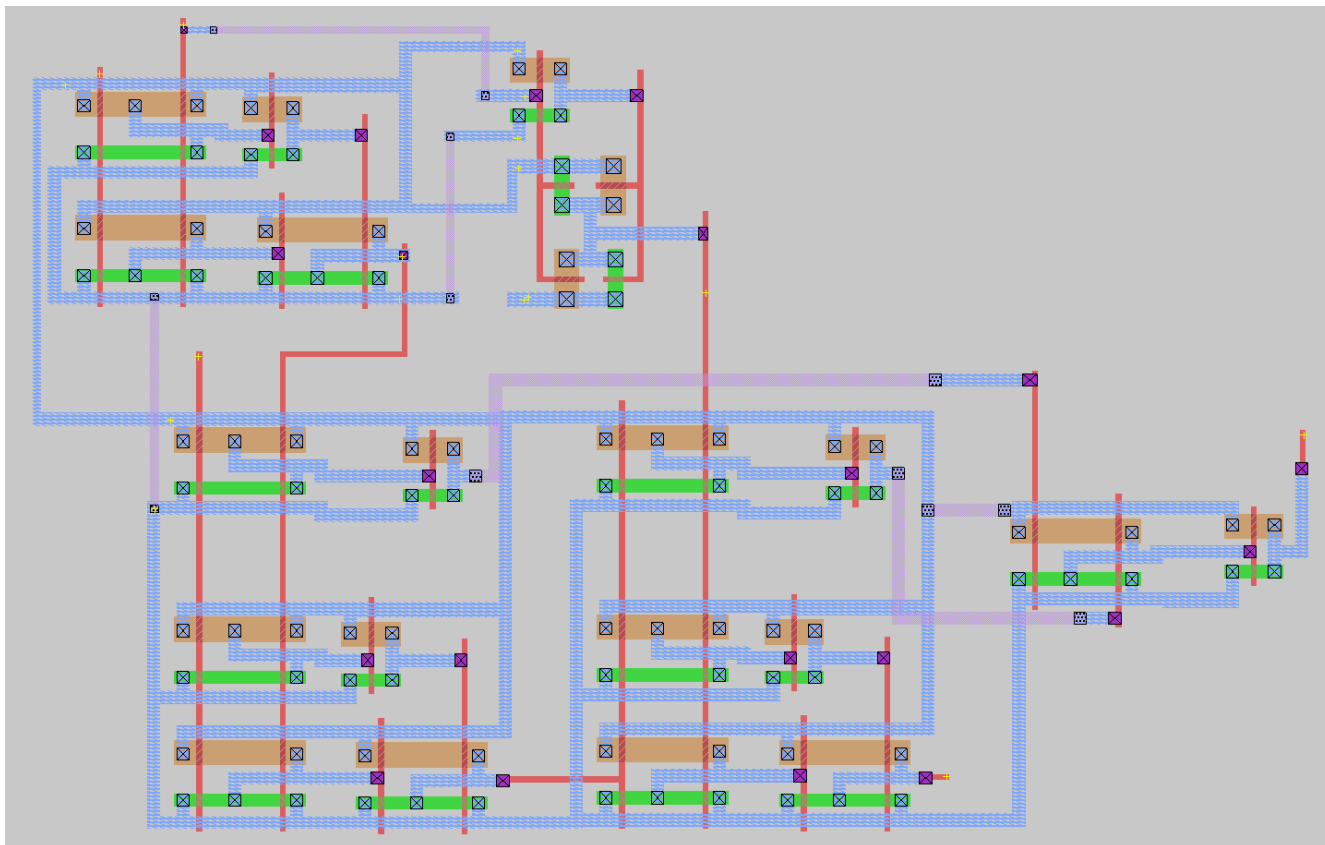


Stick Diagrams και Layouts:

Mux 2x1



Adder/Subtractor 1-bit Layout



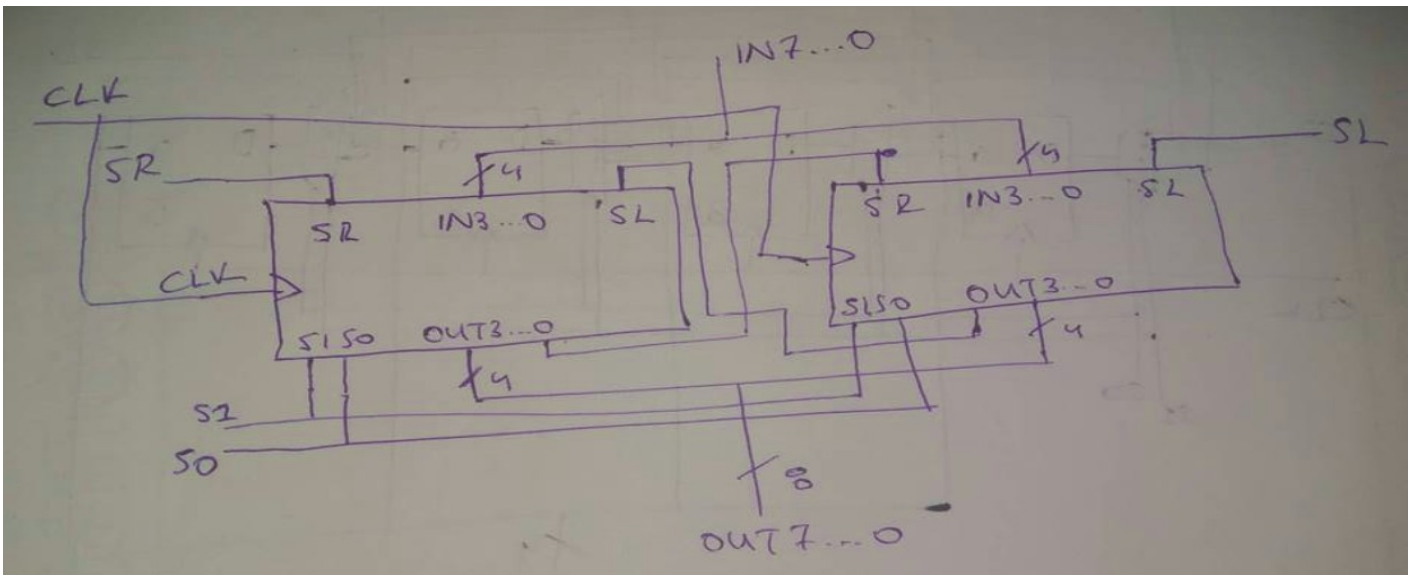
Τα stick diagrams και τα layouts του FA και της XOR είναι τα ίδια που παρουσιάστηκαν στην αναφορά της Άσκησης 1.

2. Καταχωρητής Ολίσθησης 8-bit

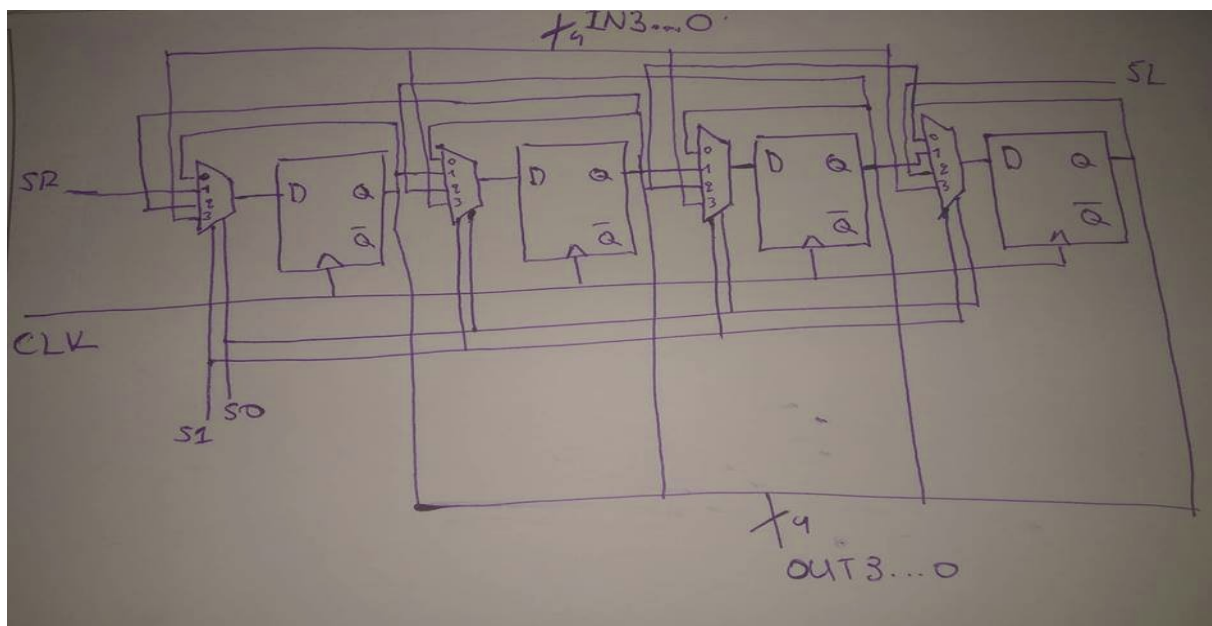
Η υλοποίηση των καταχωρητών ολίσθησης 8-bit πραγματοποιήθηκε χρησιμοποιώντας τις υλοποιήσεις των flip-flops της Άσκησης 2. Η λειτουργία του καταχωρητή ελέγχεται από δύο control σήματα, τα $S1, S0$, όπου για 00: DO_NOTH, 01: SHIFT_RIGHT, 10: SHIFT_LEFT, 11: PARALLEL LOAD.

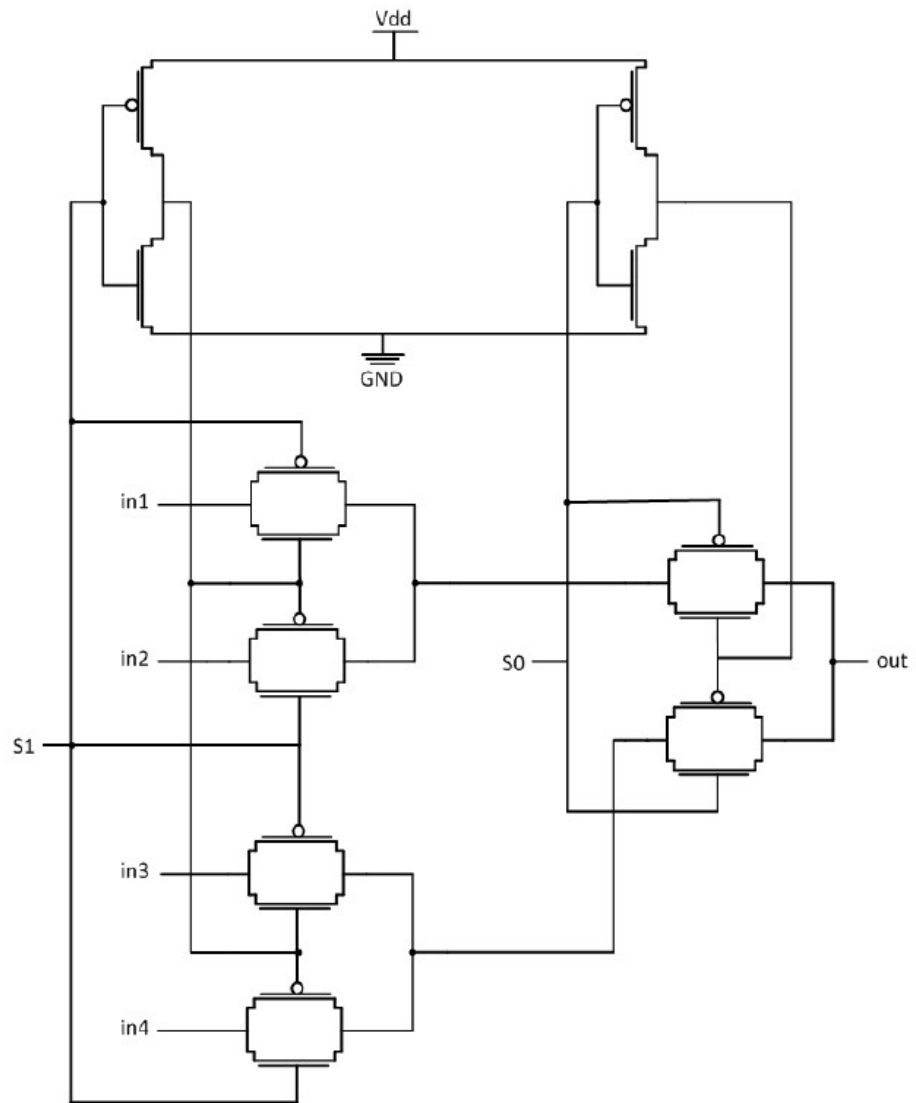
Κυκλωματικό Διάγραμμα:

Αρχικά σχεδιάσαμε ένα καταχωρητή 4-bit και στην συνέχεια τους διασυνδέσαμε για την υλοποίηση του καταχωρητή 8-bit.



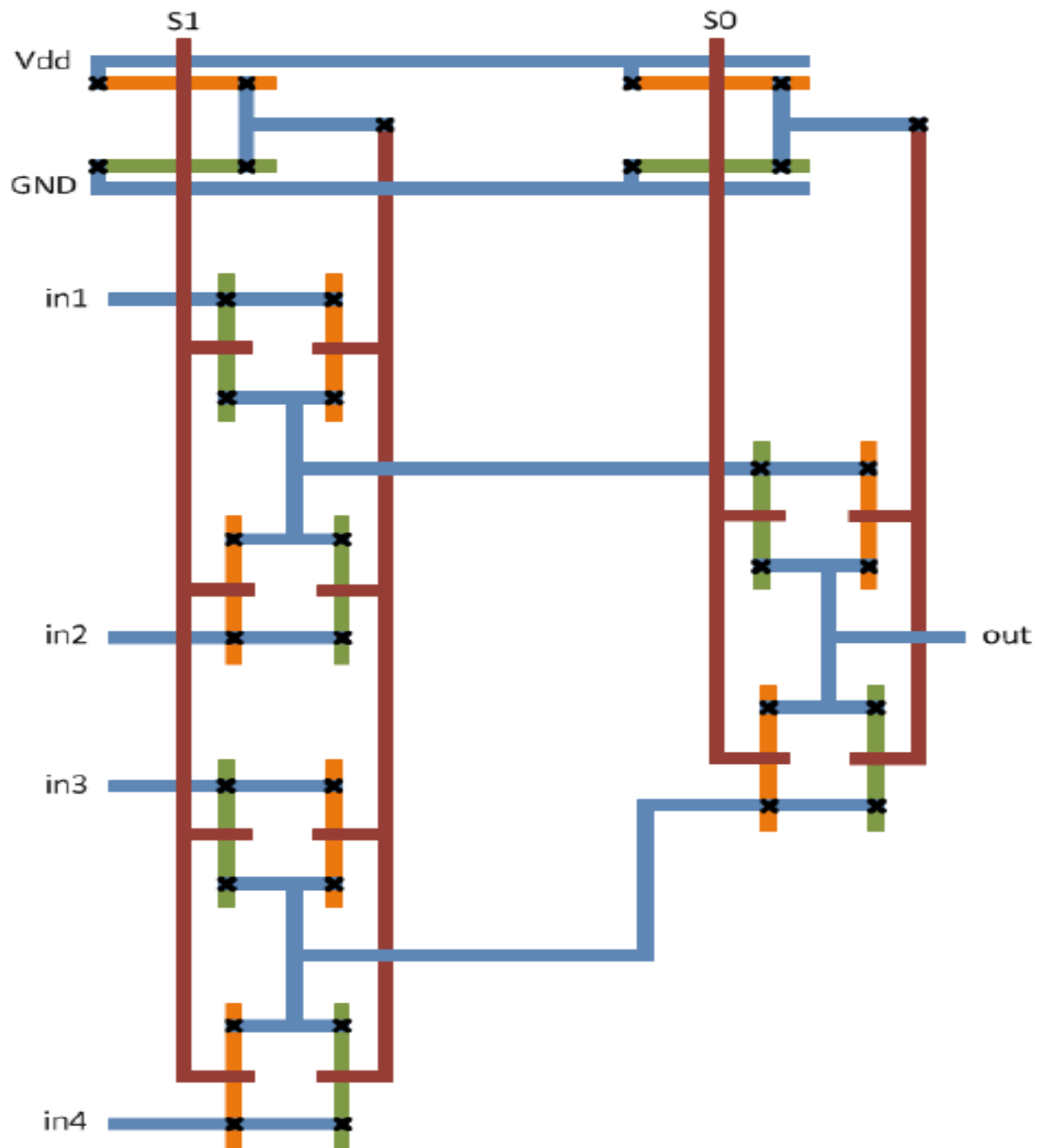
Mux 4x1

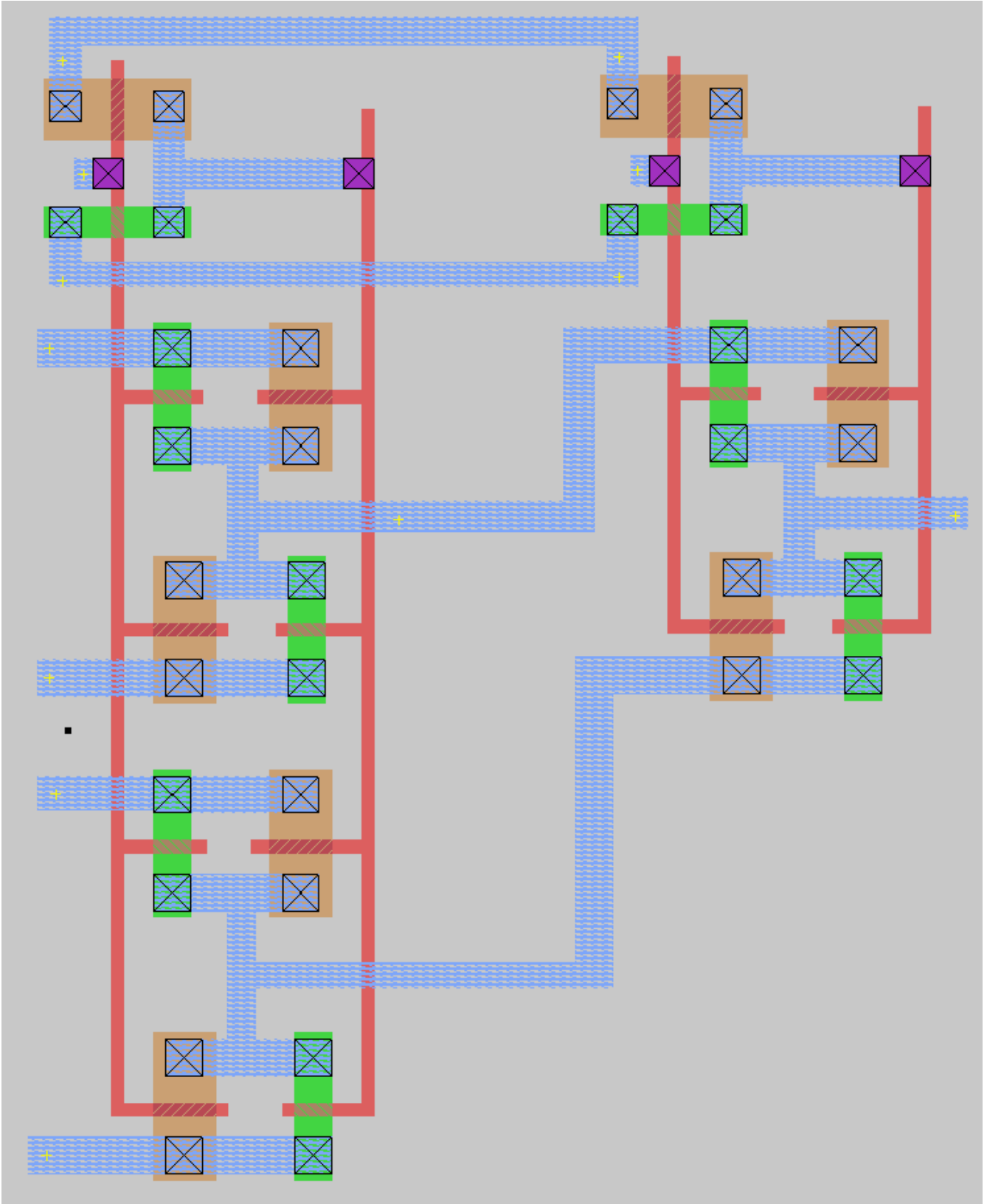




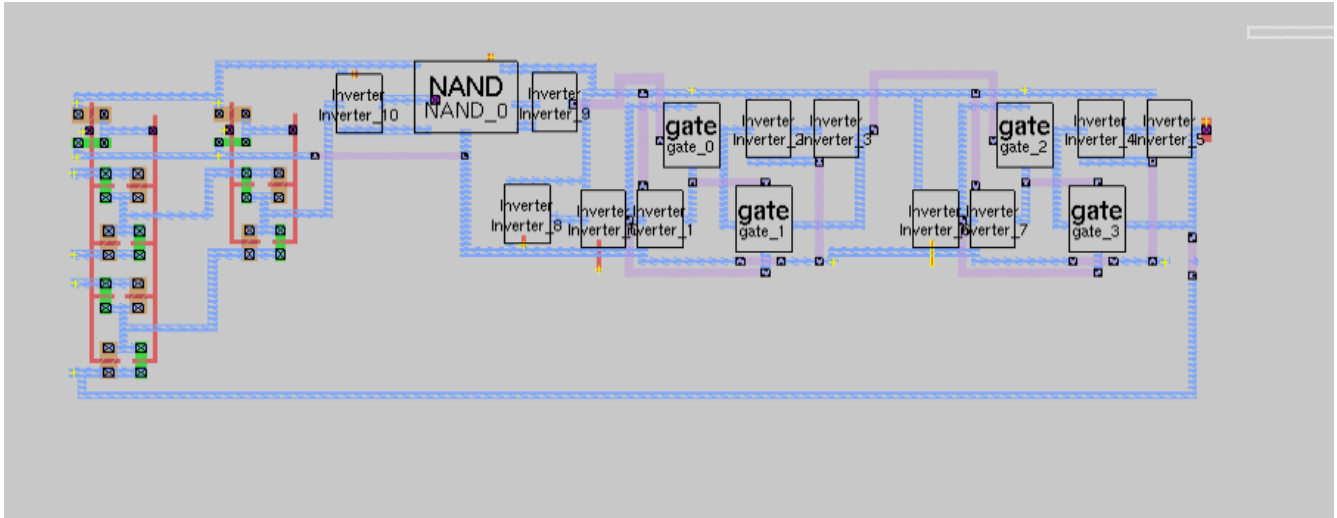
Stick Diagrams και Layouts:

Mux 4x1

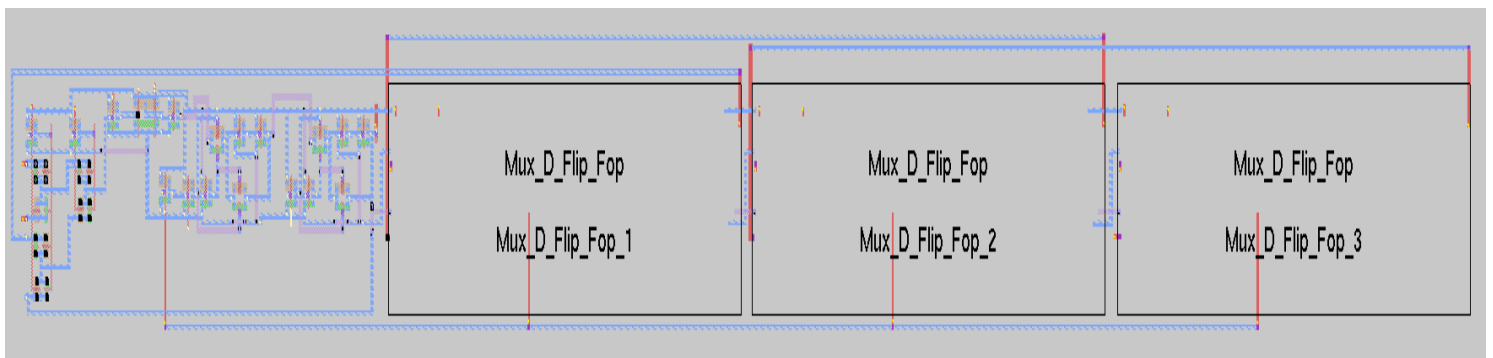




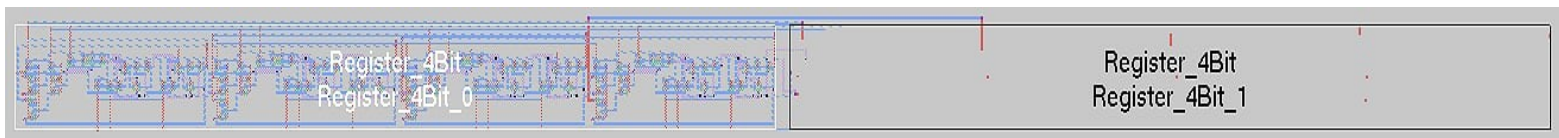
DFF with Mux 4x1



Register 4-bit

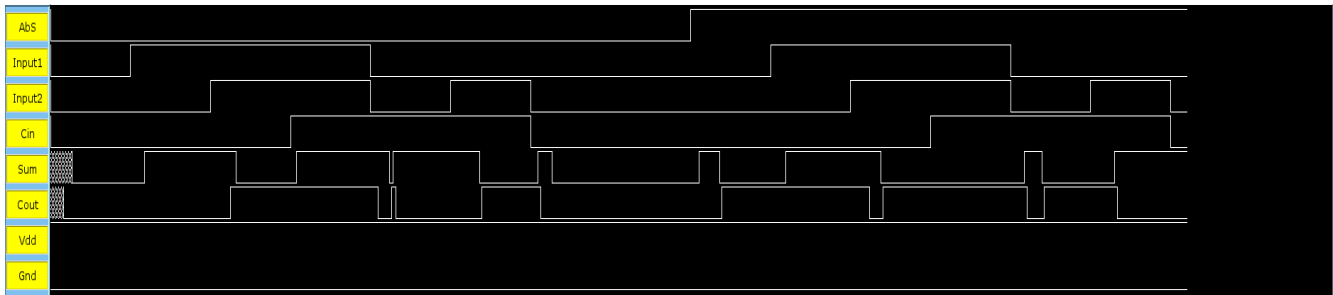


Register 8-bit



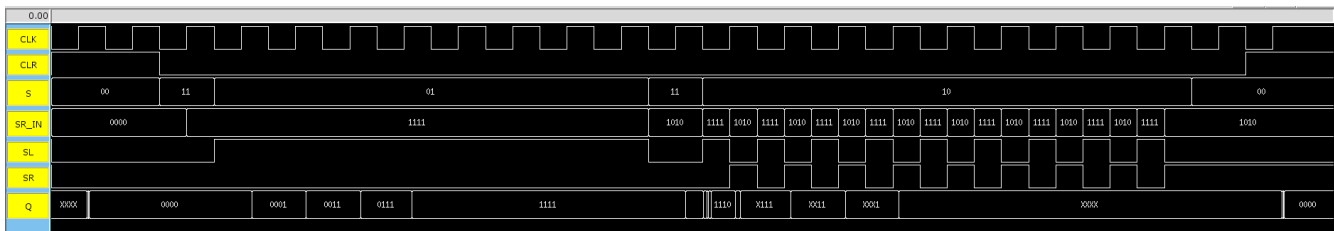
3. Λογική Προσομοίωση στο IRSIM

- Προσομοίωση του Adder/Subtractor

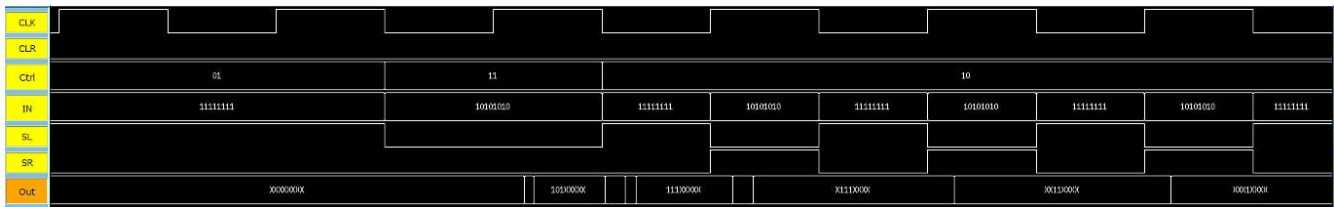


- Προσομοίωση του Καταχωρητή Ολίσθησης 4-bit και 8-bit

4-bit Register:



8-bit Register:

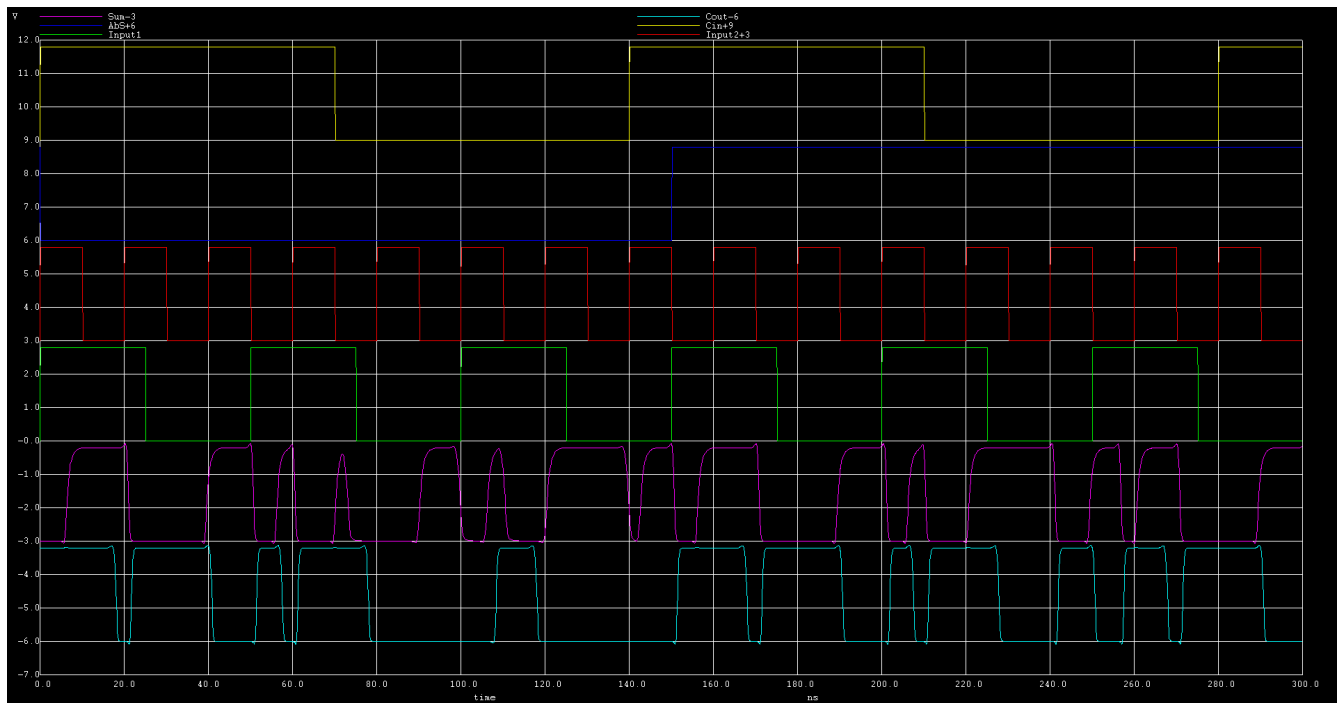


Τα testbenches βρίσκονται στα αρχεία Register_4Bit και Register_8Bit2 αντίστοιχα.

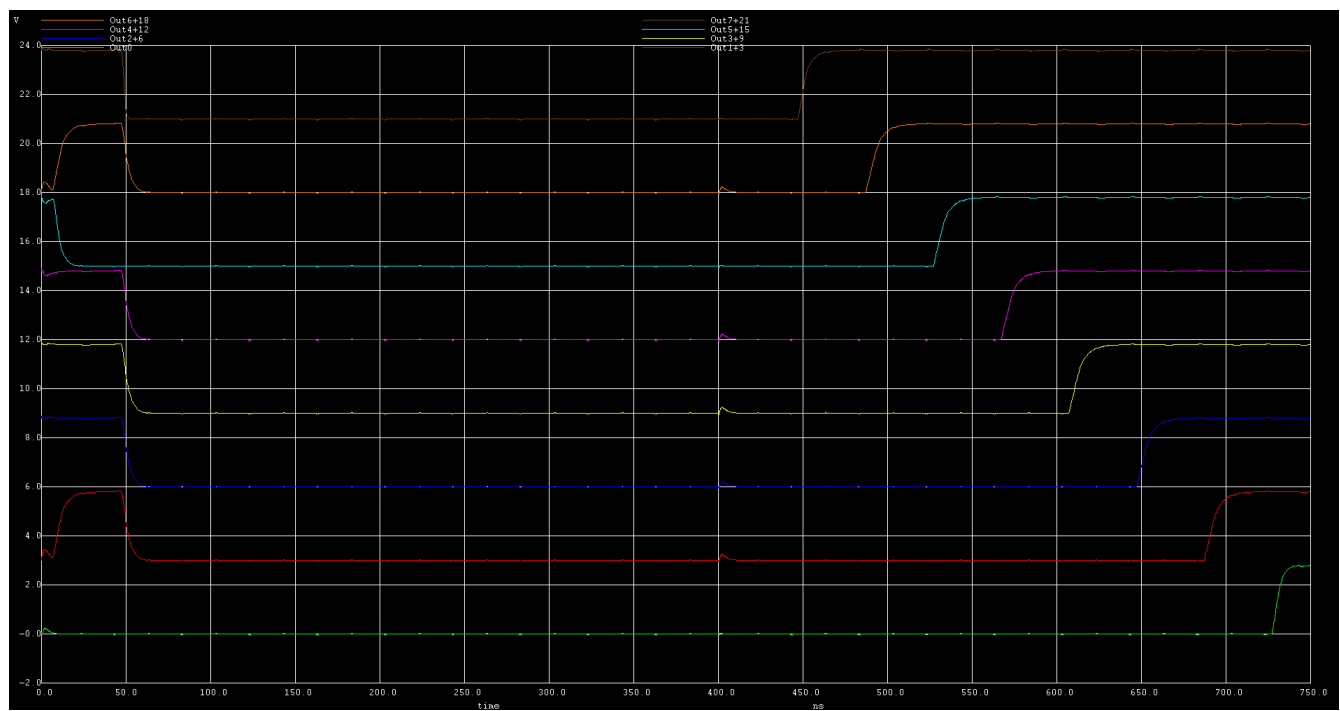
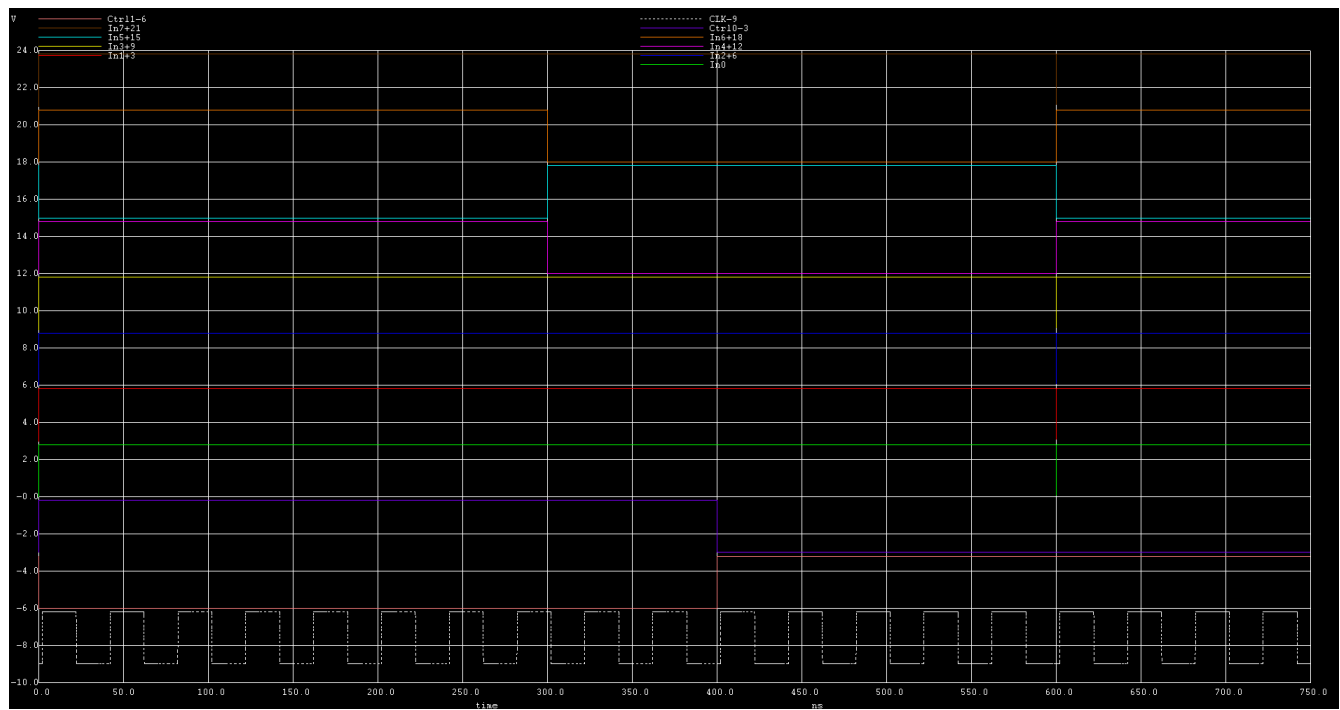
4. Προσομοίωση σε κυκλωματικό επίπεδο στο Spice

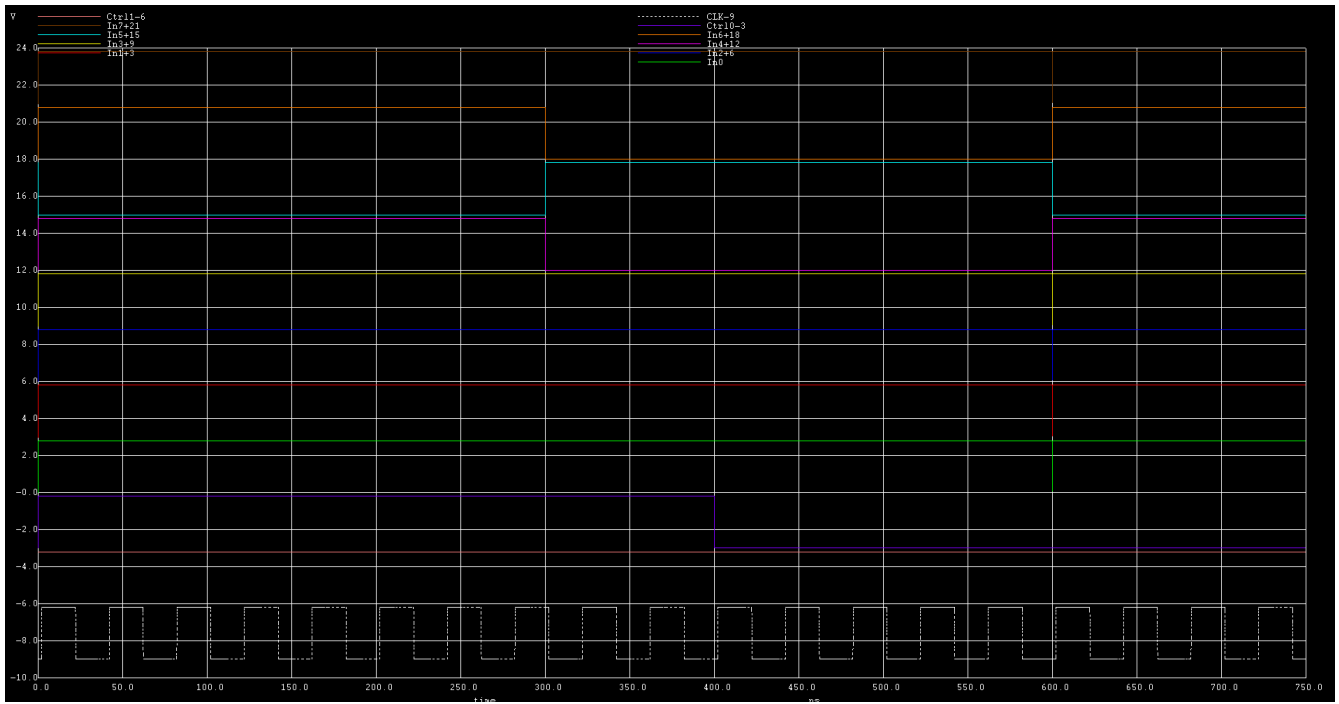
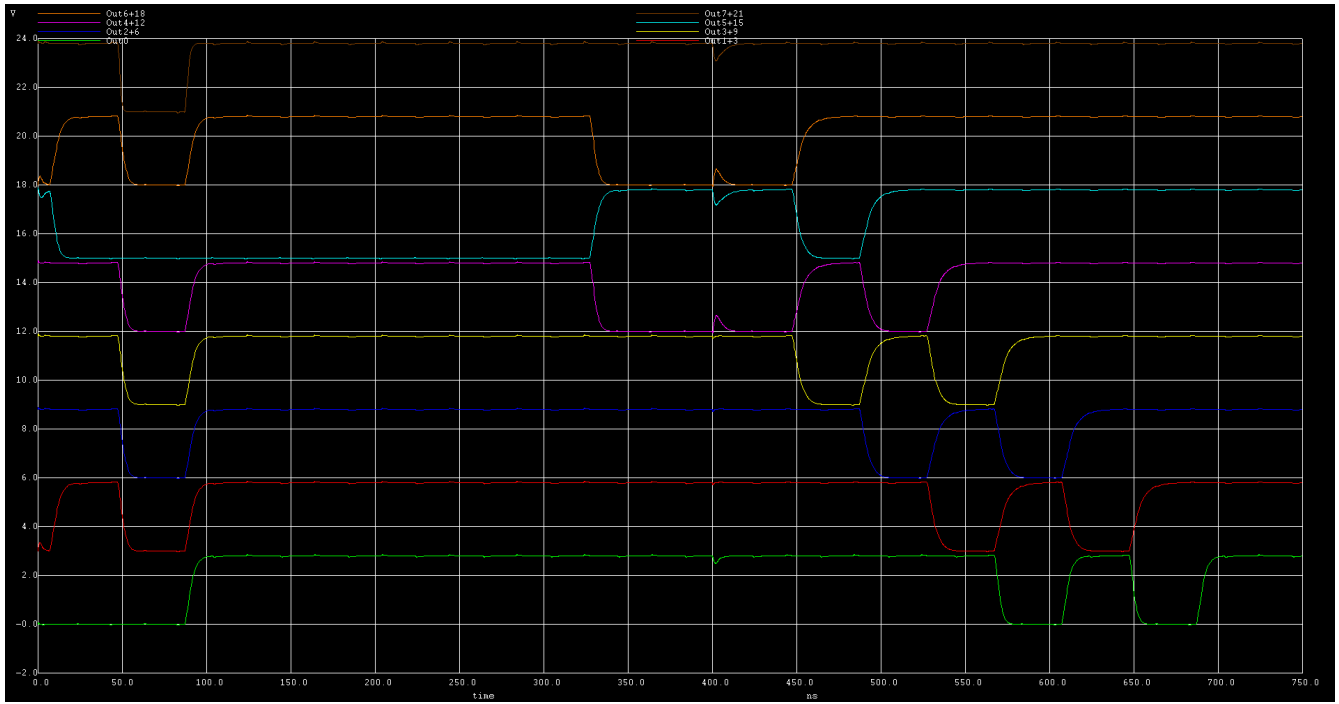
Ο κώδικας για την κυκλωματική προσομοίωση του Adder/Subtractor και του Register 8-bit δεν προστέθηκαν στην αναφορά λόγω μεγέθους. Βρίσκονται στα αντίστοιχα spice αρχεία.

- Προσομοίωση του Adder/Subtractor



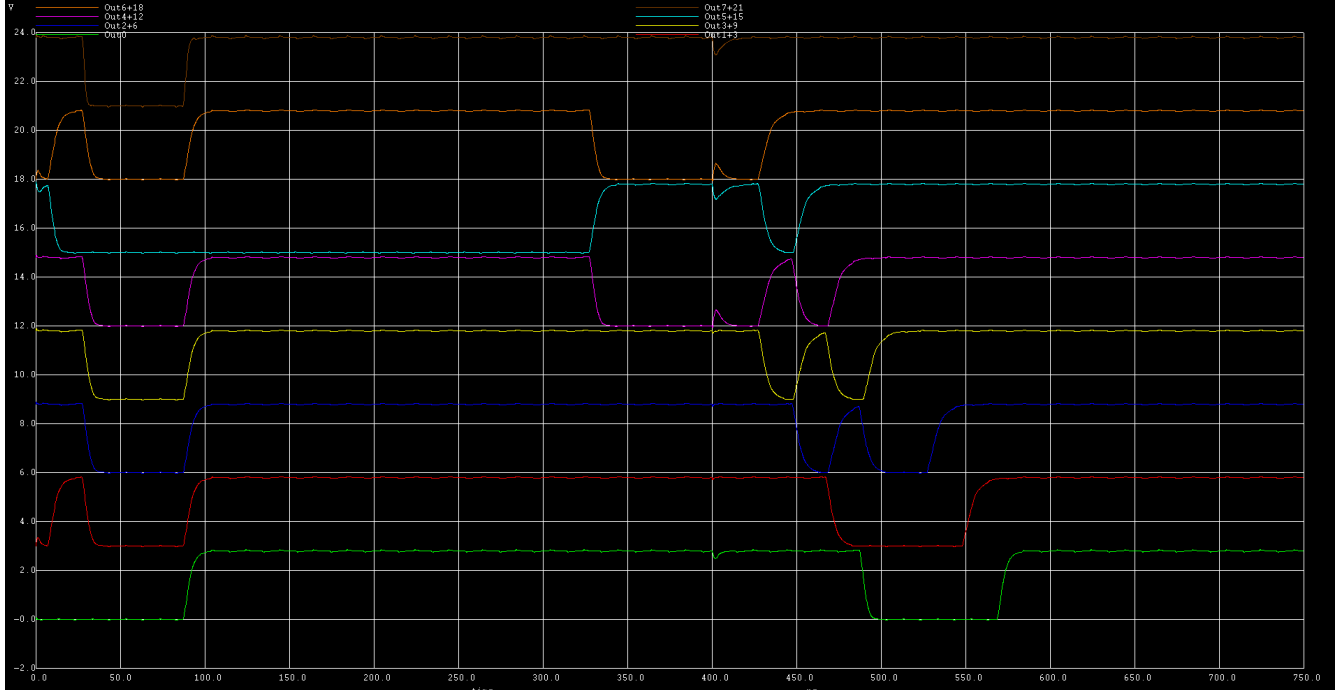
- Προσομοίωση του Καταχωρητή Ολίσθησης



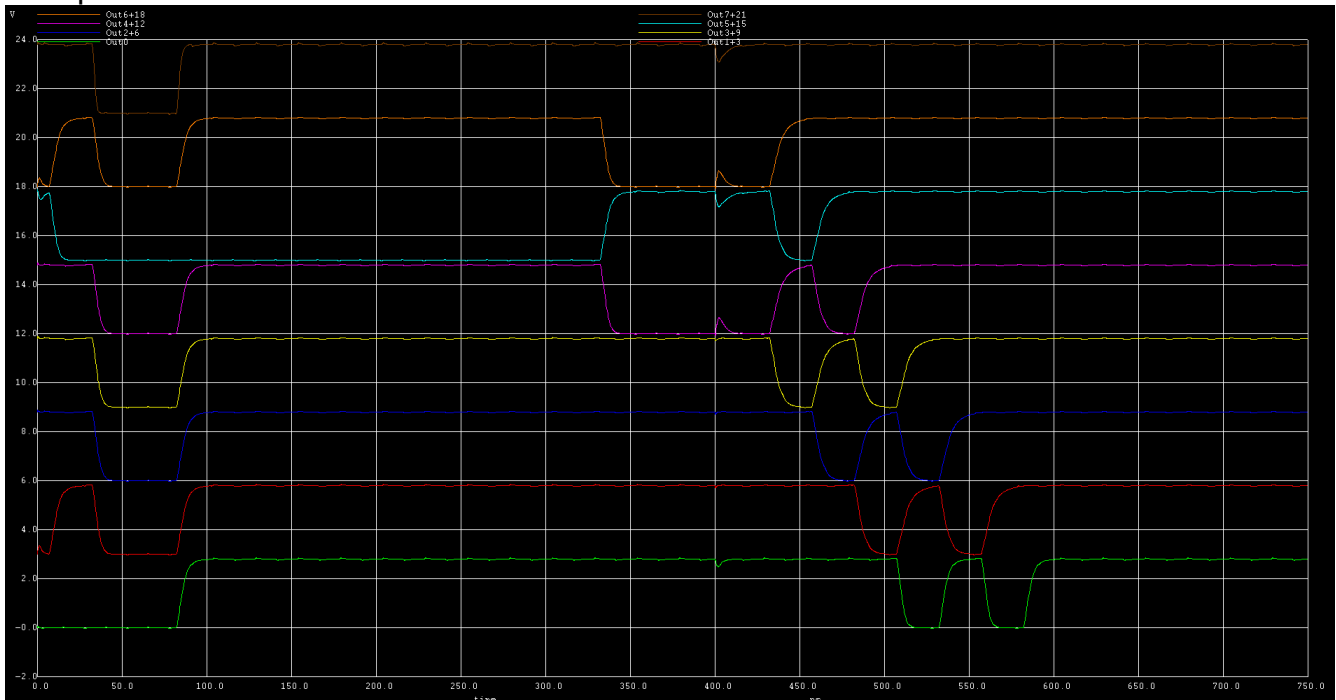


5. Μέγιστη συχνότητα λειτουργίας

CLK period = 20 ns:



CLK period = 25ns:



Η ελάχιστη δυνατή περίοδος ρολογιού είναι περίπου στα 25ns , δηλαδή η μέγιστη συχνότητα ρολογιού είναι στα 40MHz.