Σχεδιασμός Συστημάτων VLSI και ASIC

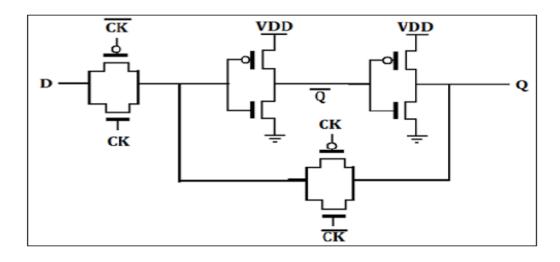
Σχεδίαση, λειτουργική προσομοίωση και προσομοίωση σε κυκλωματικό επίπεδο D-Δισταθούς Πολυδονητή (D- Flip/Flop)

Χρήστος Καβαλλάρης 2014030135 Αθανάσιος Μάνεσης 2014030061

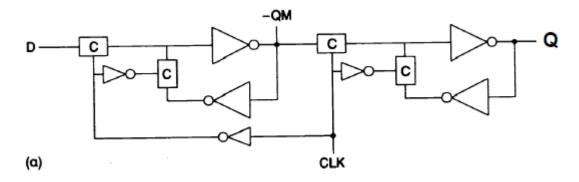
Στην δεύτερη άσκηση μας ζητήθηκε η σχεδίαση και κυκλωματική/λογική προσομοίωση ενός D-Flip Flop, με δύο διαφορετικούς τρόπους για την διανομή του ρολογιού, με χρήση απομονωτή και χωρίς. Στην πρώτη περίπτωση, επιβεβαιώθηκε η σωστή λειτουργία της σχεδίαση. Για την περίπτωση της σχεδίασης χωρίς απομονωτή, δεν καταφέραμε να βρούμε το λάθος μας στην υλοποίηση, αφού στις λογικές προσομοιώσεις δεν έχουμε έξοδο.

1. Circuit Diagrams

D-Latch Circuit Diagram

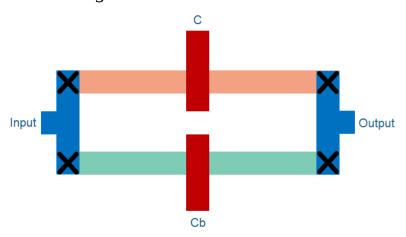


D-Flip Flop Circuit Diagram

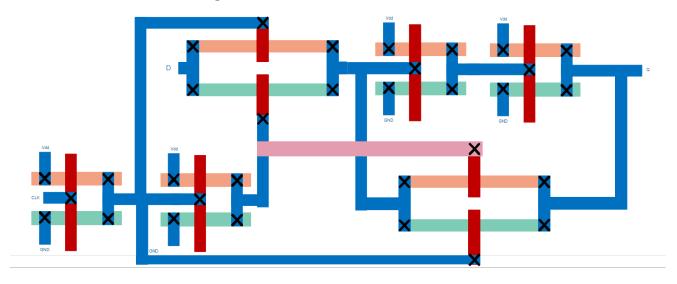


2. Stick Diagrams

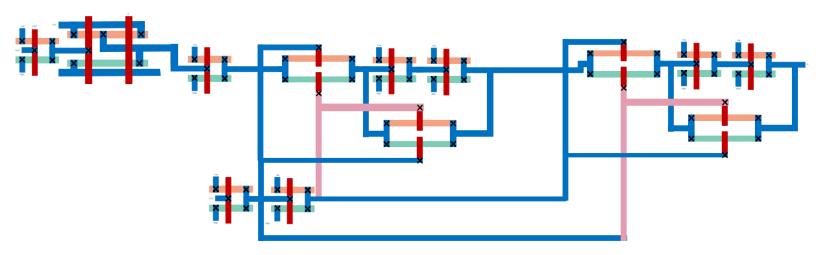
MOS Switch Stick Diagram



D-Latch Stick Diagram

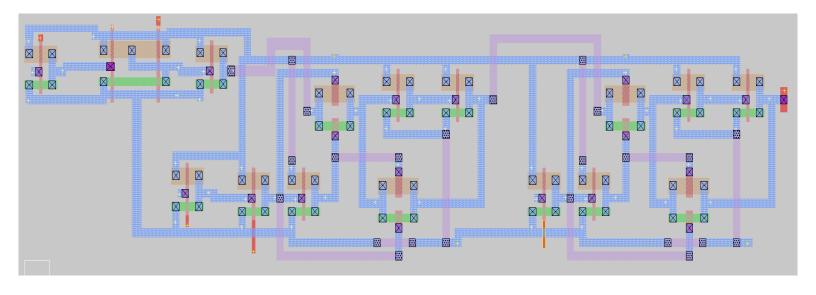


D-Flip Flop Stick Diagram



3. Layouts

D-Flip Flop with synchronous CLR layout

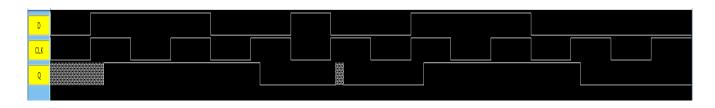


4. Αναφορά σε τεχνικες, πύλες/μονάδες που χρησιμοποιήσαμε.

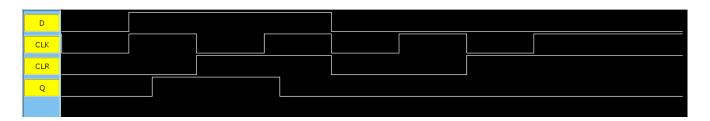
Οι πύλες που χρησιμοποιήθηκαν είχαν ήδη υλοποιηθεί απο το προηγούμενο εργαστήριο, με εξαίρεση των MOS διακόπτη, ο οποίος και υλοποιήθηκε με βάση την θεωρία των διαλέξεων. Στην συγκεκρημένη υλοποίηση έγινε επίσης αρκετή χρήση του metal2, ώστε να αποφύγουμε επικαλύψεις και βραχυκυκλώματα.

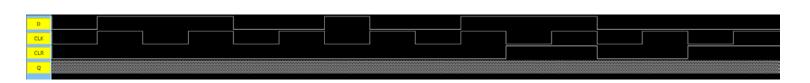
5. IRSIM Simulations

D-Flip Flop Logical Simulation



D-Flip Flop with CLR





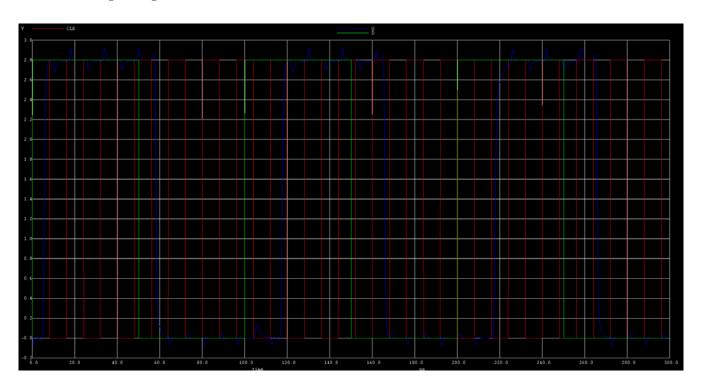
Η παραπάνω λογική προσομοίωση είναι για την περίπτωση χωρίς απομονωτή, που όπως προαναφέραμε δεν έχουμε έξοδο.

Κώδικας Προσωμοίωσης:

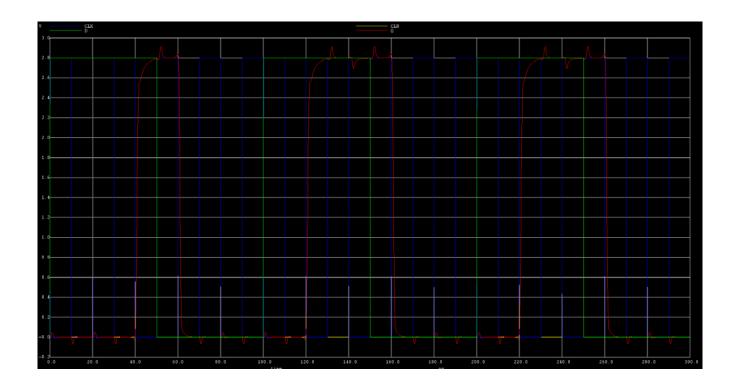
h <u>V</u> dd	\Box_{lD}
	h CLK
I GND	1 ĈĹŔ
ana D CLK CLR Q	s~~~
1 D	lD
1 CLK	1 CLK
1 <u>CLR</u>	1 CLR
s	S
h D	h D
	h CLK
h CLK	I CLR
I CLR	s h D
S	I CLK
h D	h CLR
1 CLK	s
1 CLR	hD
S	h CLK
h D	h CLR
h CLK	S
	I D
I CLR	ICLK
S	l <u>ČLŘ</u> s
1 D	ID
1 CLK	h CLK
1 CLR	I ĈĹŔ
s	s
I D	lD
h CLK	1 CLK
	h CLR
ICLR	S
S	I D
h D	h CLK
1 CLK	h CLR s
1 CLR	S
s	stepsize 2
	s
	•

6. Spice Simulations

D-Flip Flop Simulation



D-Flip Flop with CLR Simulation



Κώδικας Προσομοίωσης:

.include usc-spice.usc-spice

Vgnd1 GND 0 DC 0V Vgnd2 gnd! 0 DC 0V VVdd Vdd 0 DC 2.8V

Vin1 CLK 0 pulse(2.8 0 0ns 0.1ns 0.1ns 10ns 20ns) Vin2 D 0 pulse(0 2.8 0ns 0.1ns 0.1ns 50ns 100ns) Vin3 CLR 0 pulse(0 2.8 0ns 0.1ns 0.1ns 20ns 300ns) .tran 5ns 300ns .probe .end

7. Μέγιστη συχνότητα ρολογιού και σύγκριση των δύο περιπτώσεων

Η μέγιστη συχνότητα λειτουργία είναι τα 50MHz (T = 20ns) για το DFF με απομονωτή. Για το DFF χωρίς απομονωτή δεν καταφέραμε να την βρούμε. Σίγουρα όμως το DFF με απομονωτή θα έχει μεγαλύτερη μέγιστη συχνότητα λειτουργίας λόγω καλύτερου συγχρονισμού των επιμέρους στοιχείων του κυκλώματος.

Κυμματομορφές για 20ns και 15ns αντίστοιχα

