

# Σχεδιασμός Συστημάτων VLSI και ASIC

*Σχεδίαση, λειτουργική προσομοίωση και προσομοίωση σε κυκλωματικό επίπεδο πλήρους αθροιστή ενός bit.*

Χρήστος Καβαλλάρης 2014030135

Αθανάσιος Μάνεσης 2014030061

## Κυκλωματικά Διαγράμματα

Η σχεδίαση του πλήρους αθροιστή 1 Bit υλοποιήθηκε με bottom-up μεθοδολογία. Αρχικά σχεδιάσαμε όλα τα επιμέρους τμήματα χρησιμοποιώντας απλές λογικές πύλες.

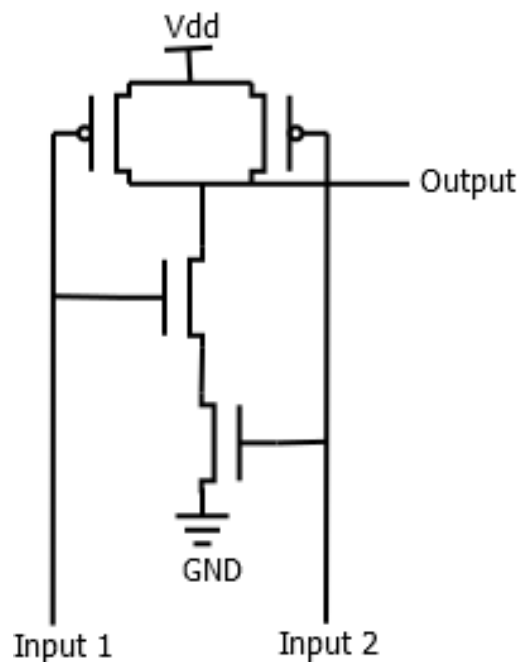
1) Για την πύλη XOR, εφαρμόσαμε τον κανόνα του De Morgan, ώστε να μην υλοποιηθεί μόνο από NAND πύλες. Πιο συγκεκριμένα, η συνάρτηση της απλοποιήθηκε με τον εξής τρόπο:

$$\begin{aligned}a'b + b'a &= \\a'a + a'b + b'a + bb' &= \\a'(a + b) + b'(a + b) &= \\(a' + b')(a + b) &= \\(ab)'(a + b) &= \\(ab(a'b'))' &= \\(ab + (a + b))' &= \end{aligned}$$

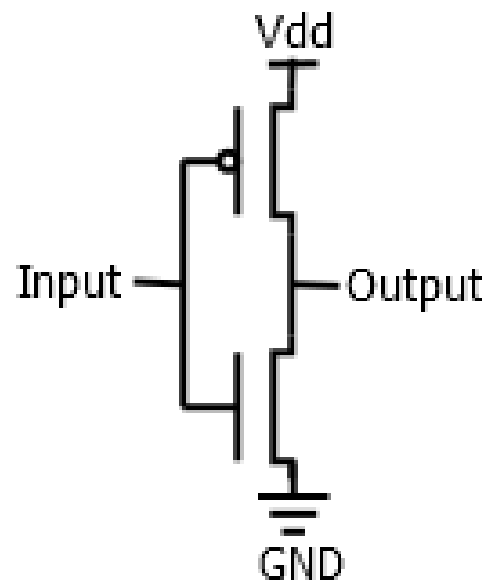
Συνεπώς η υλοποίηση της έγινε με 2 πύλες NOR και μία AND, η οποία και σχεδιάστηκε χρησιμοποιώντας 1 NAND και 1 Inverter.

2) Όταν ένα μεγάλος αριθμός τρανζίστορ συνδέεται σε σειρά, τότε η αντίσταση που παρουσιάζει το σύνολο των τρανζίστορ είναι πολλαπλάσια από την  $R_{ON}$  του ενός. Συνεπώς, το ρεύμα για την φόρτιση-εκφόρτιση των χωρητικότητων του κυκλώματος ρέει δυσκολότερα, αυξάνοντας την καθυστέρηση διάδοσης του κυκλώματος.

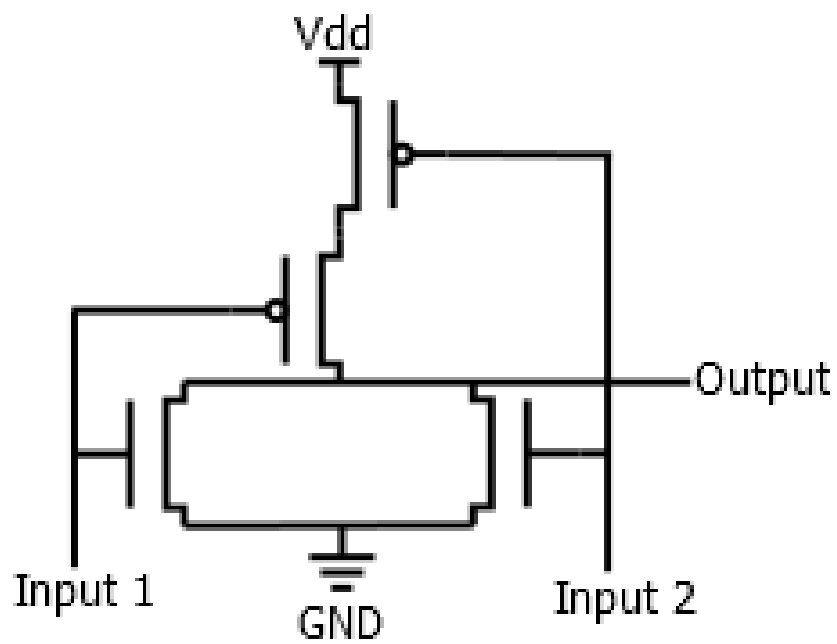
Πύλη NAND 2 εισόδων  
Inverter



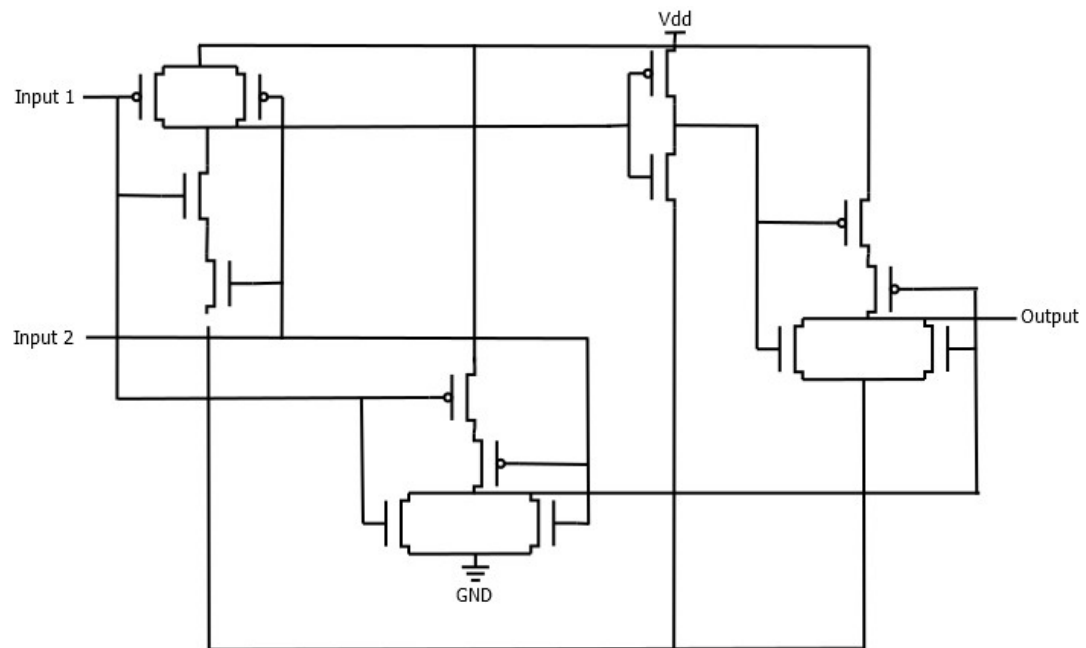
Πύλη



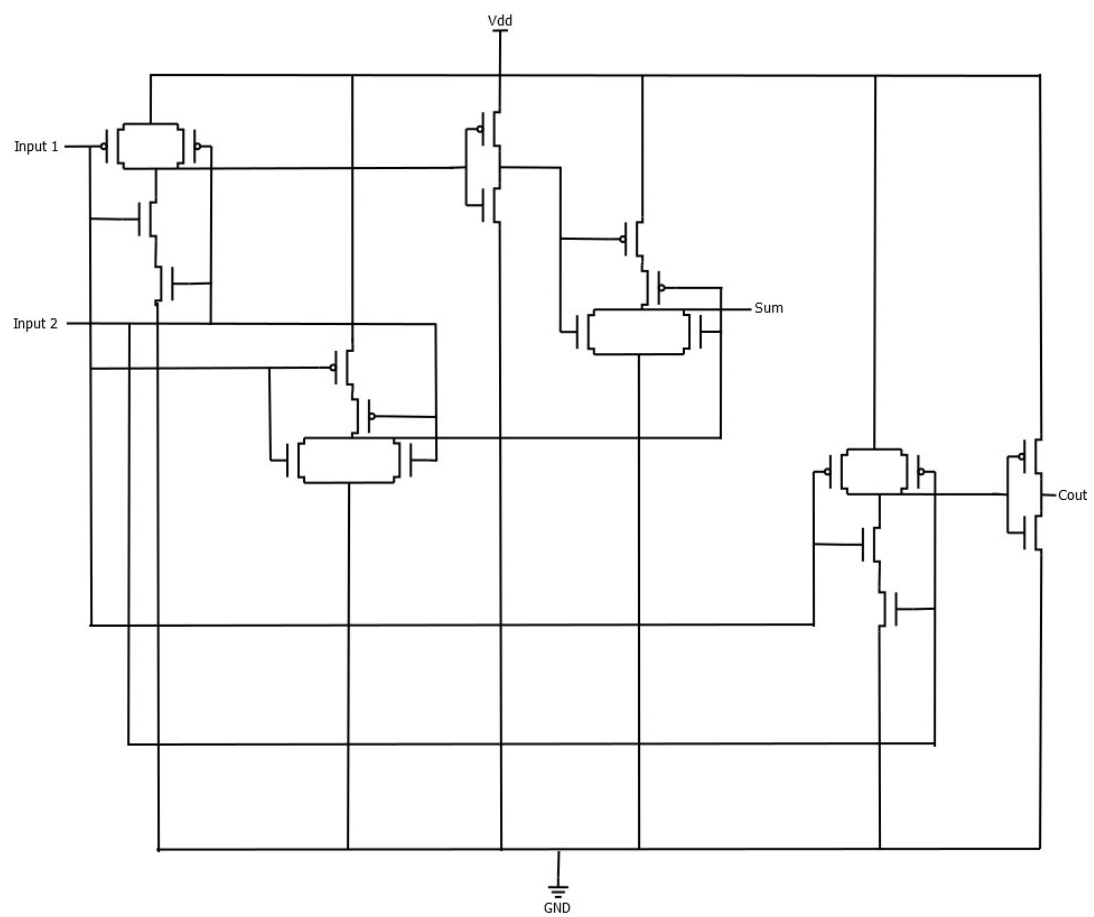
Πύλη NOR 2 εισόδων



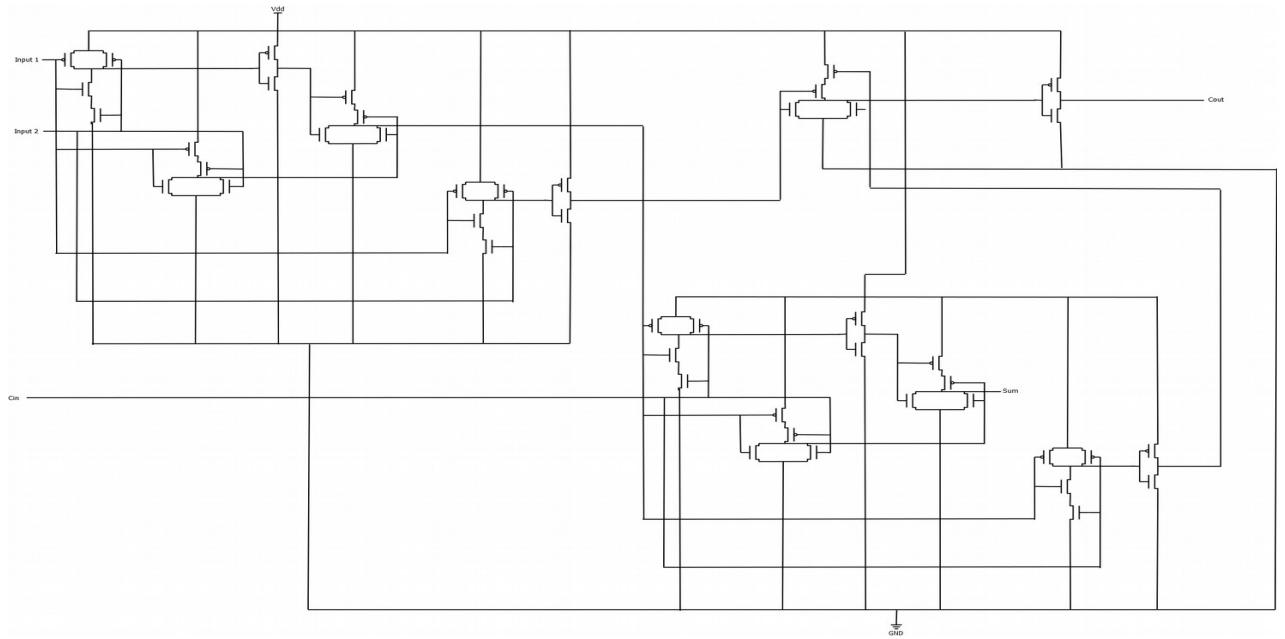
Πύλη XOR 2 εισόδων



Half-Adder 2 εισόδων



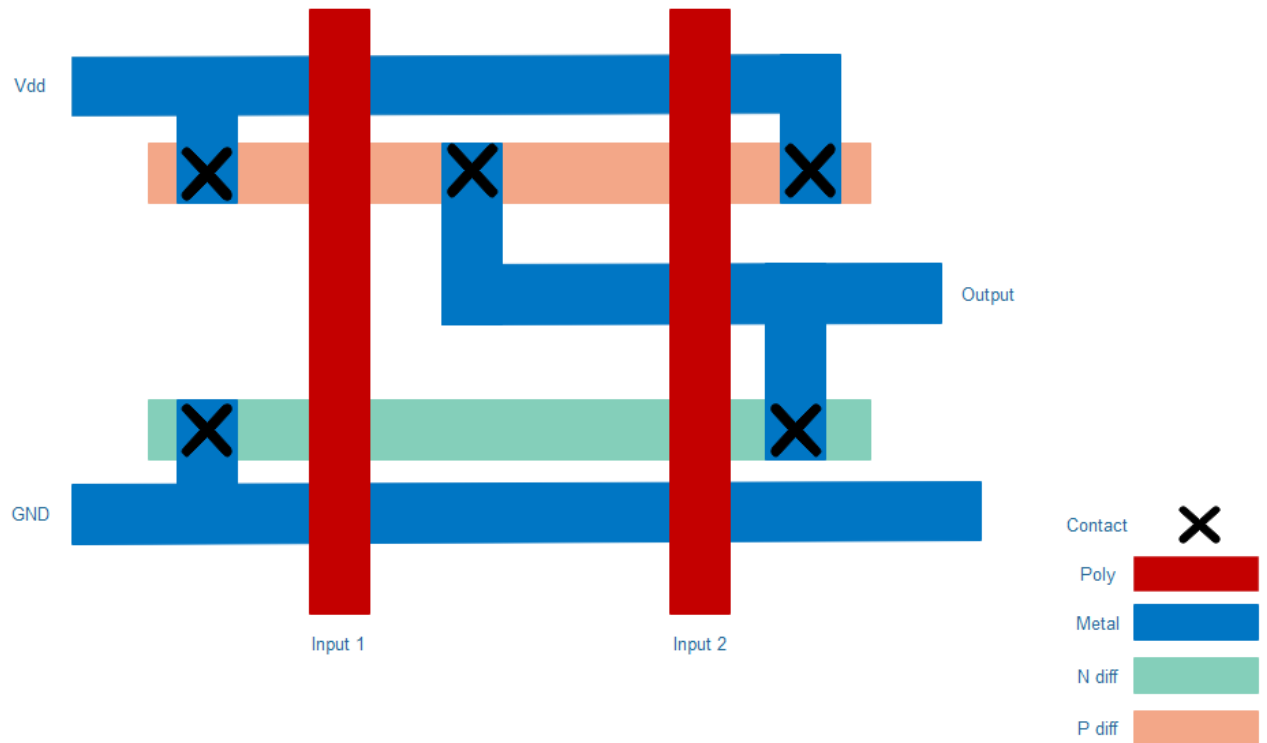
## Full-Adder 2 εισόδων



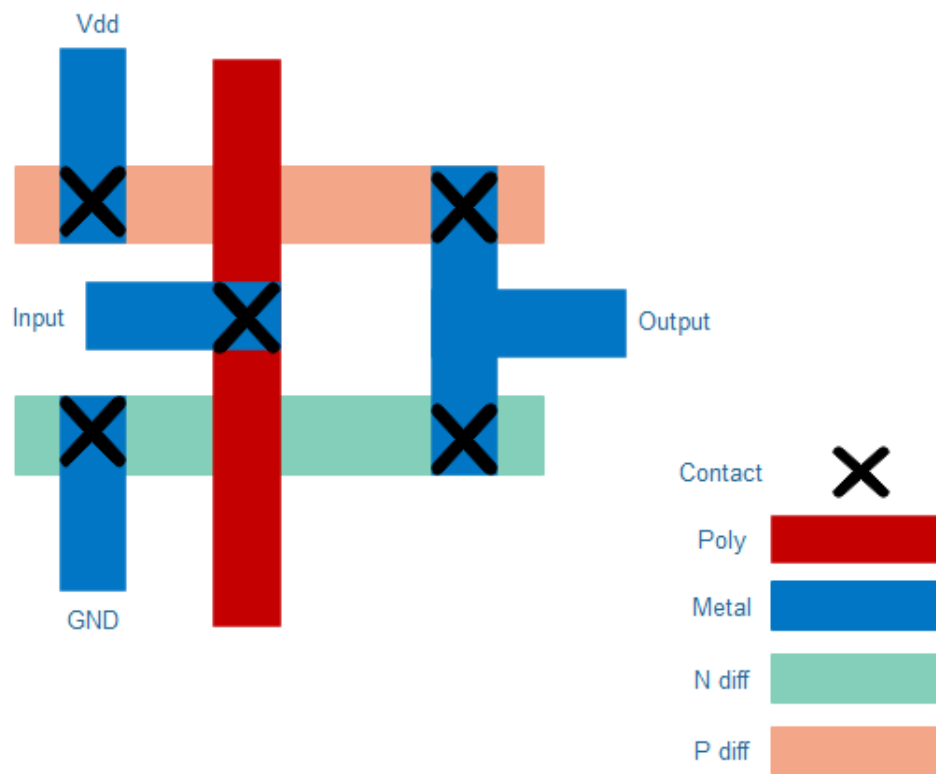
## Ραβδοδιαγράμματα

Με βάση τα παραπάνω κυκλωματικά διαγράμματα, συνεχίσαμε στην σχεδίαση των ραβδοδιαγραμμάτων των επιμέρους τμημάτων, με προσοχή στα υλικά και στην θέση των pMOS και nMOS.

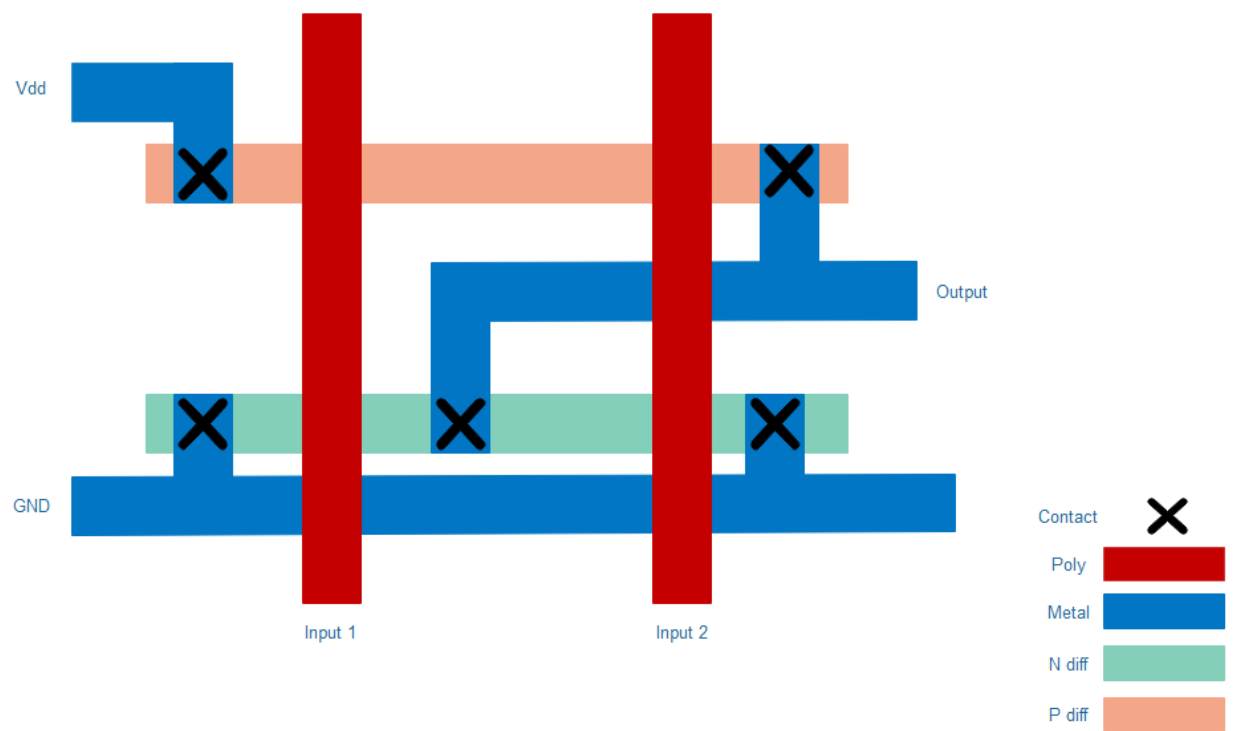
### Πύλη NAND 2 εισόδων



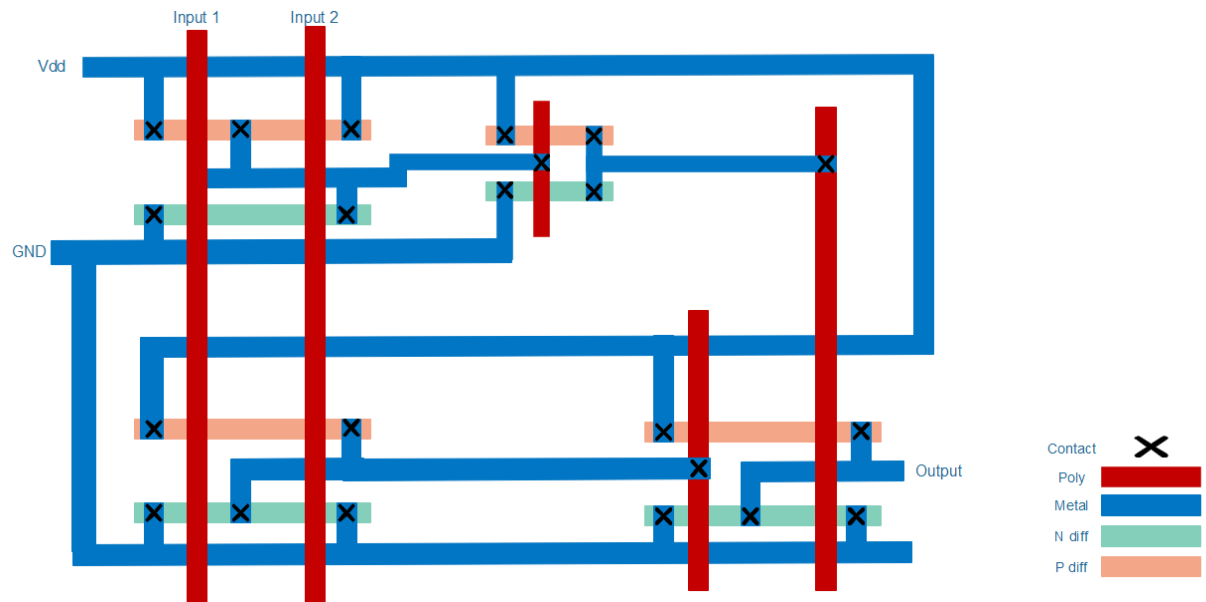
### Πύλη Inverter



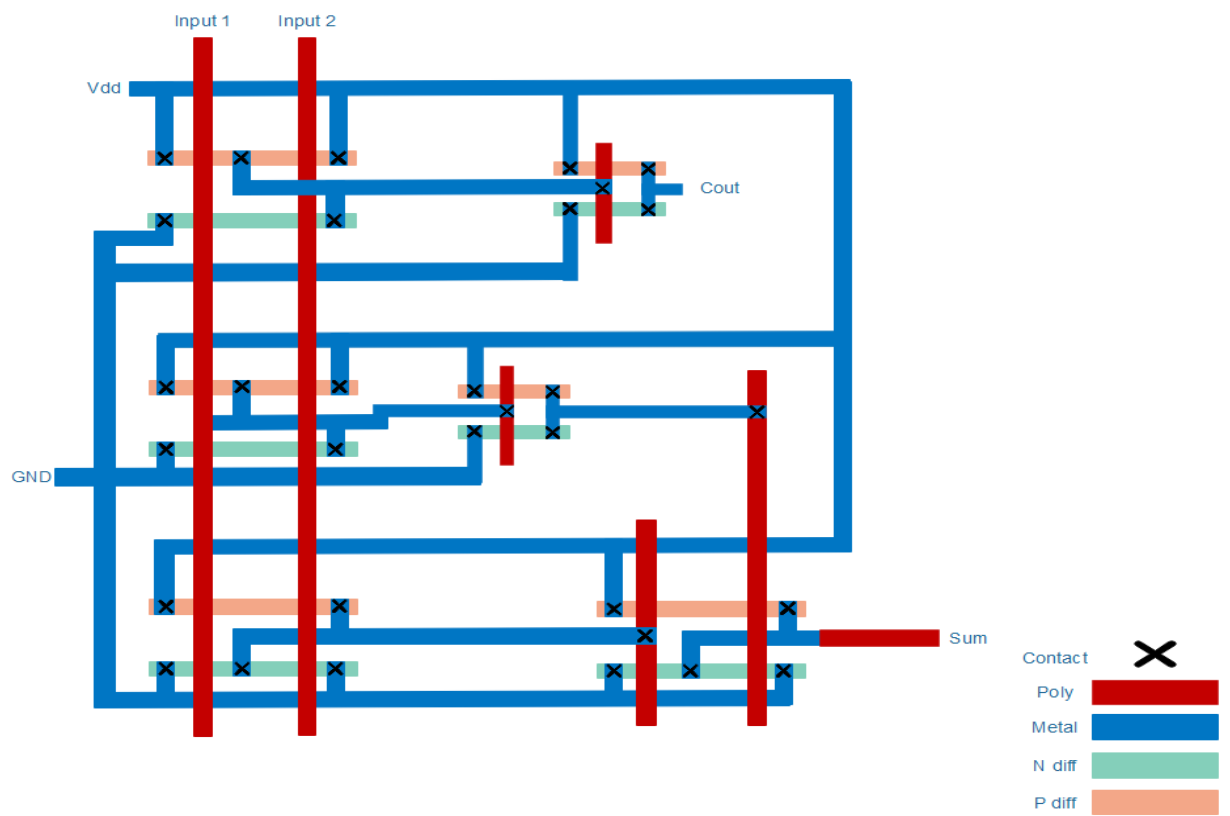
### Πύλη NOR 2 εισόδων



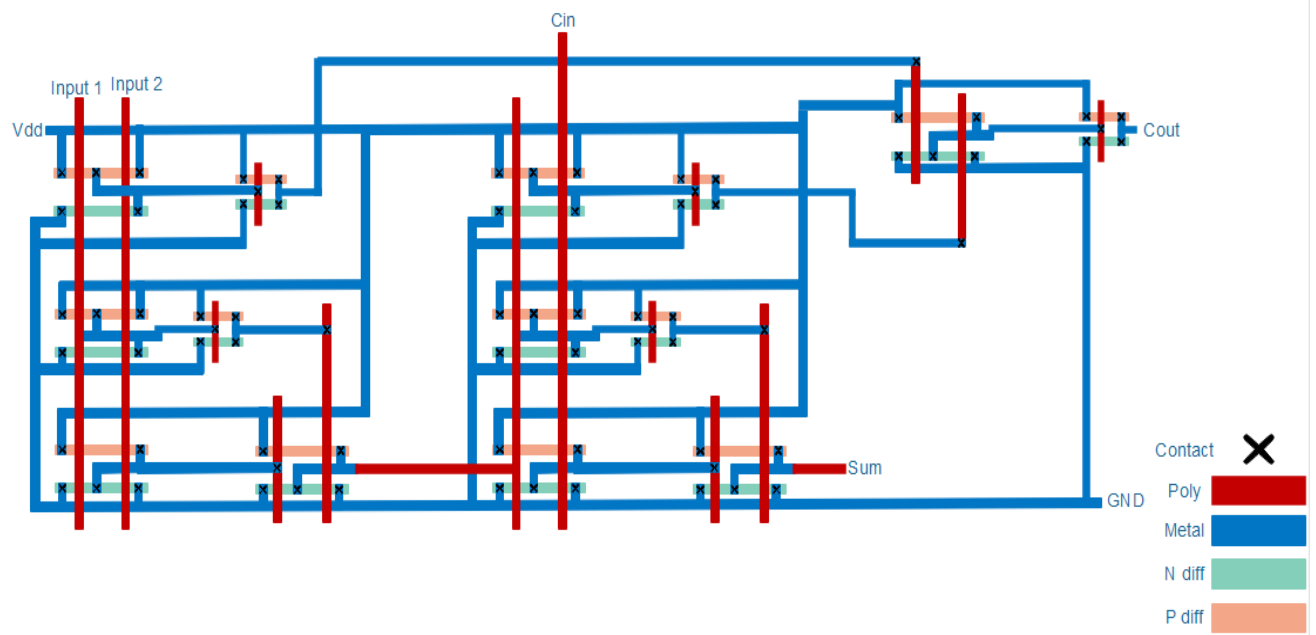
## Πύλη XOR 2 εισόδων



## Half-Adder 2 εισόδων



## Full-Adder 2 εισόδων

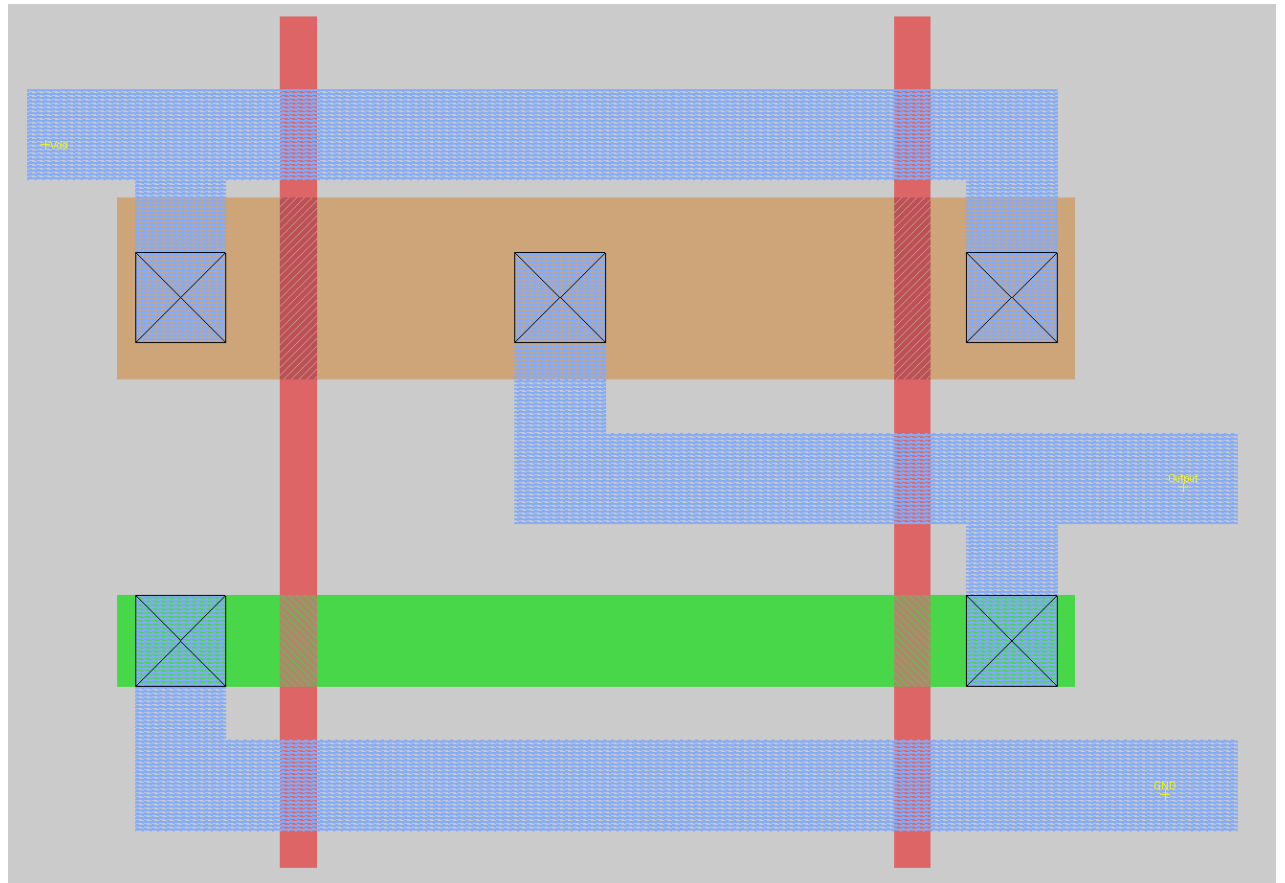




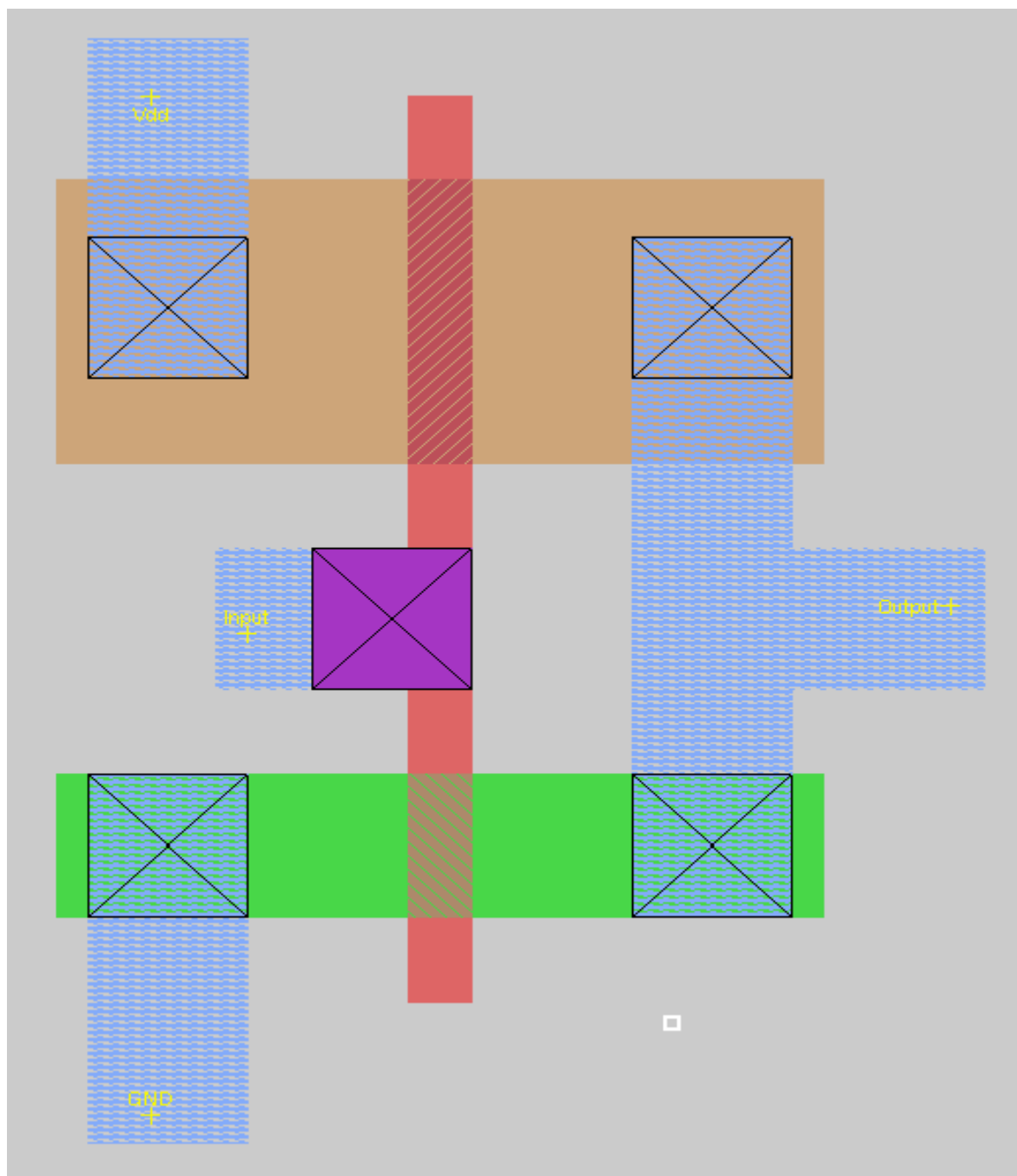
## Φυσική Σχεδίαση

Στην συνέχεια με την βοήθεια των παραπάνω ραβδοδιαγραμμάτων και ακολουθώντας πολύ προσεχτικά τους κανόνες σχεδίασης της εκφώνησης, σχεδιάσαμε όλα τα επιμέρους τμήματα του πλήρους αθροιστή στο περιβάλλον του Magic.

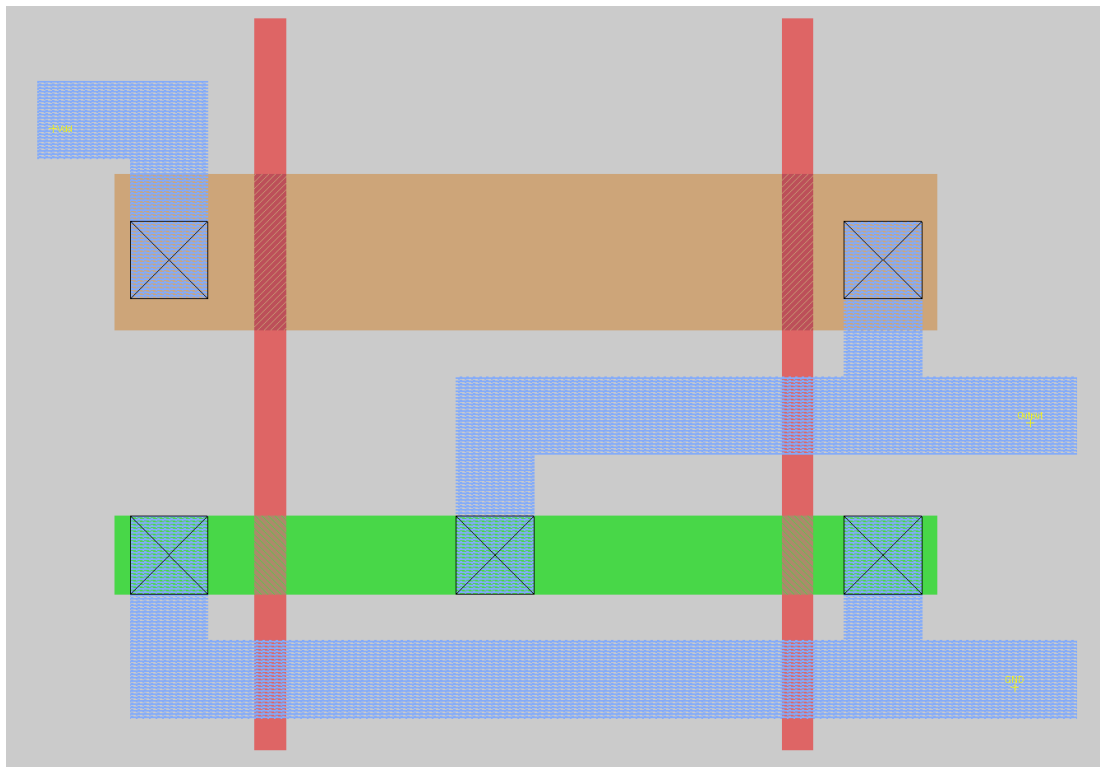
### Πύλη NAND 2 εισόδων



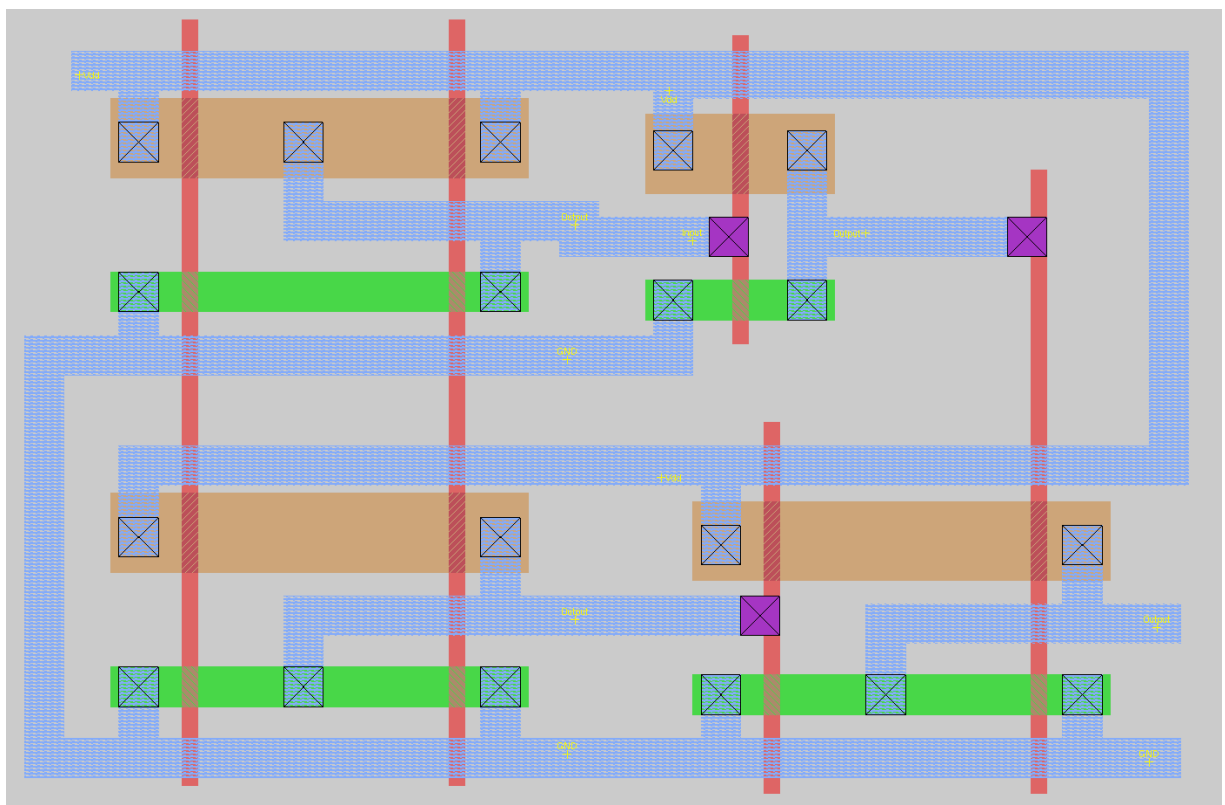
## Πύλη Inverter



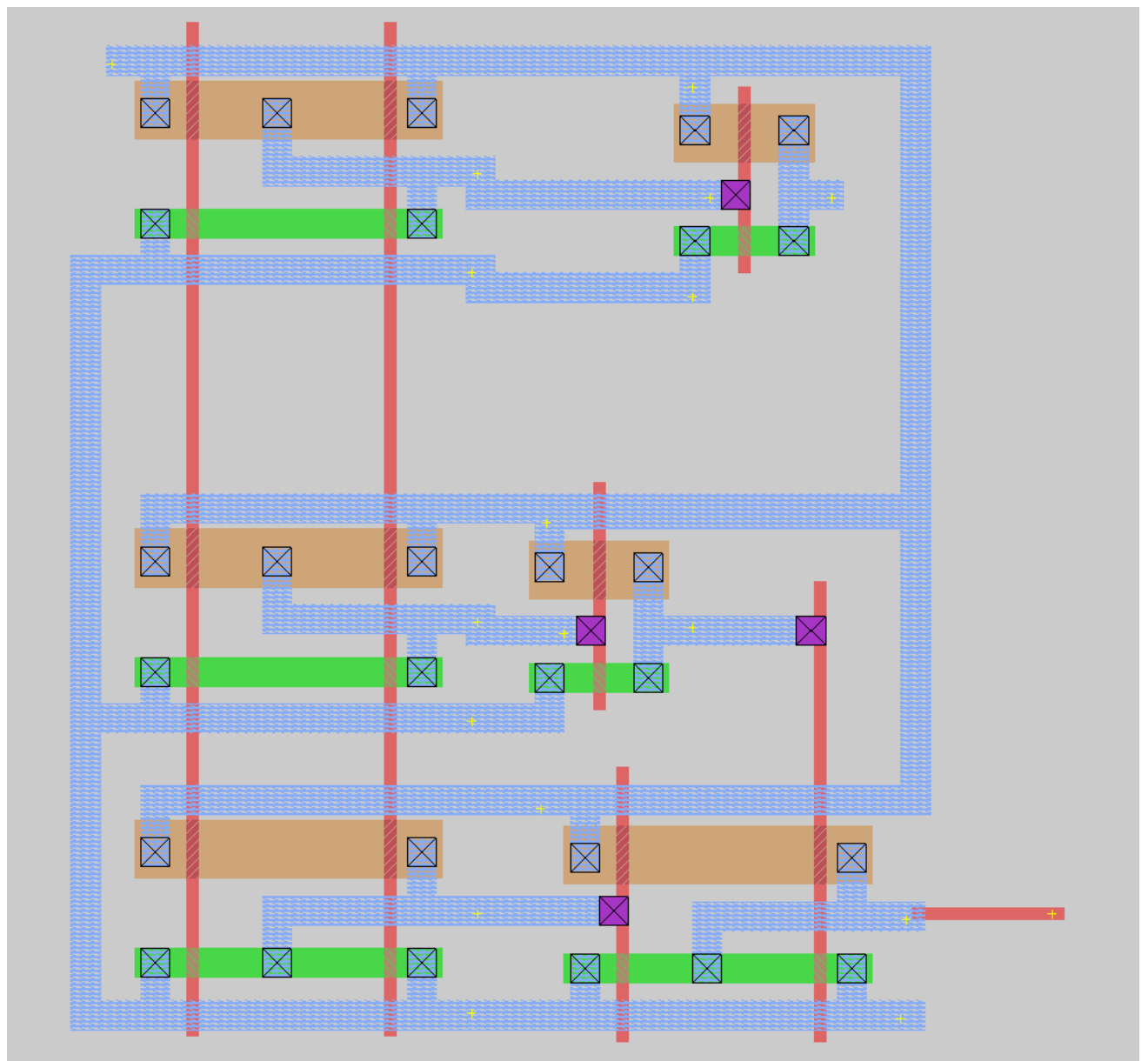
Πύλη NOR 2 εισόδων



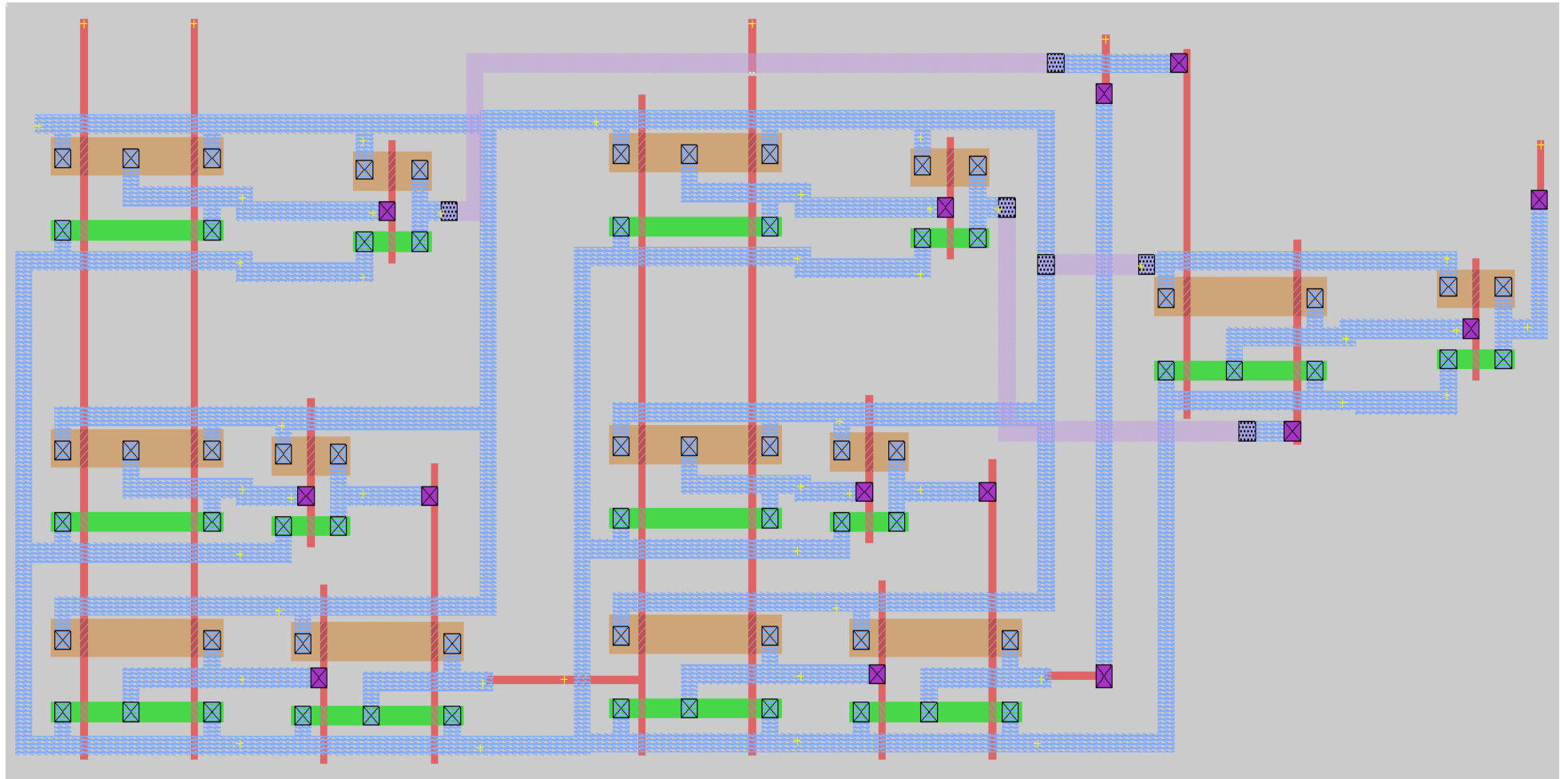
Πύλη XOR 2 εισόδων



Half-Adder 2 εισόδων



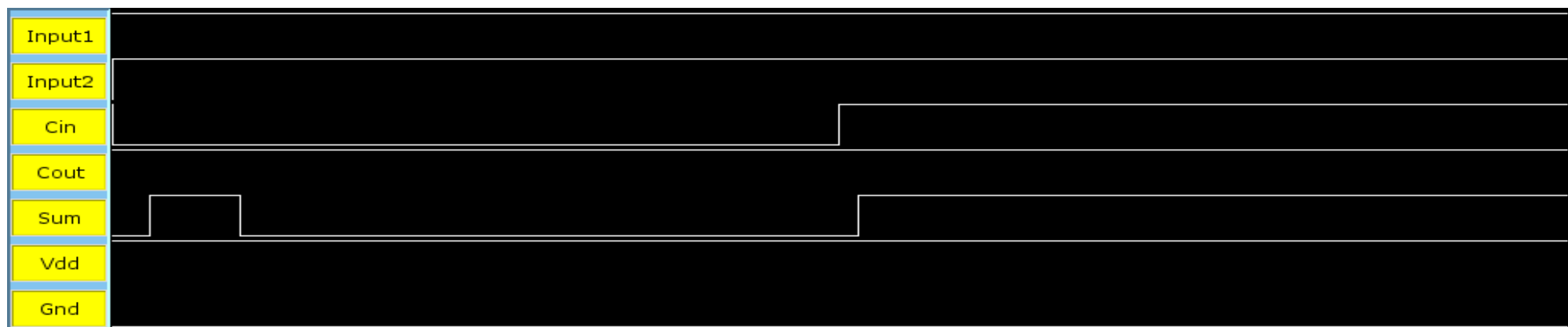
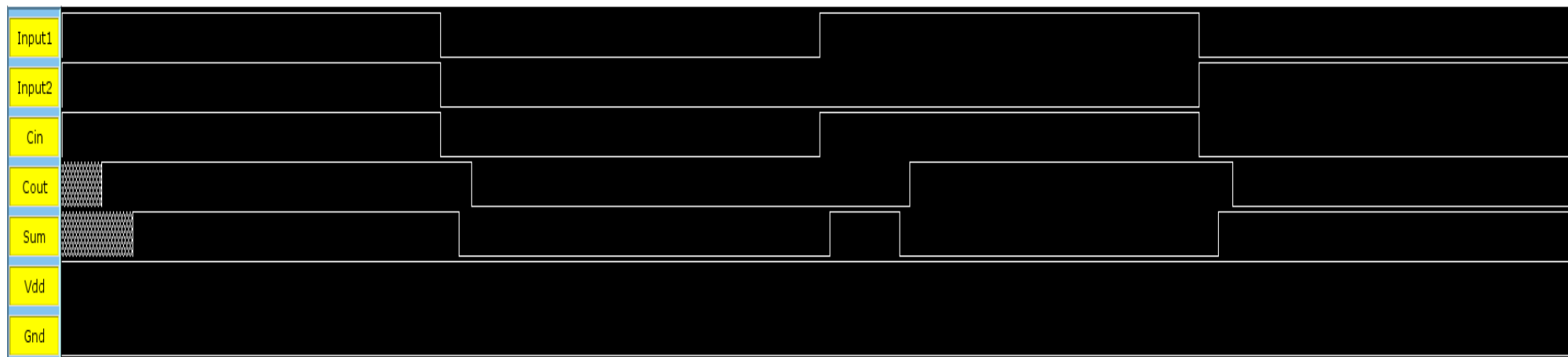
Full-Adder 2 εισόδων



## Λειτουργική Προσομοίωση (IRSIM)

Έχοντας κάνει την φυσική σχεδίαση, συνεχίσαμε στο να την προσομοιώσουμε, ώστε να επιβεβαιωθεί η σωστή λειτουργία της.

Έγινε προσομοίωση για κάθε ένα επιμέρους τμήμα του Full Adder, αλλά εδώ θα δειχθεί μόνο η τελική.



## Προσομοίωση σε Κυκλωματικό Επίπεδο (NGSPICE)

Παρόμοια με την λειτουργική προσομοίωση, προσομοιώσαμε και εδώ κάθε επιμέρους κομμάτι ξεχωριστά για την επιβεβαίωση της ορθής λειτουργίας του. Στην προσομοίωση αυτή, παρατηρήθηκαν μικρές καθυστερήσεις στις αποκρίσεις του συστήματος, το οποίο και ήταν αναμενόμενο, λόγω της μη-ιδανικότητας των στοιχείων που αποτελούν ένα ολοκληρωμένο κύκλωμα.

