# YAMAHA LSI's:

# YM3016

# Two-channel Serial & Binary input floating Digital to Analog Converter

The YM3016 is a Floating D/A converter (referred to as DAC hereafter) with 2-channel serial and I6-bit binary input, or 2's complement input. It can produce analog output (I6-bit dynamic range) which has 10-bit mantissa and 7-step exponent characteristic for the input digital signal.

16-bit input format - binary Two's complement selectable (through internal floating point conversion logic)

External Amplification - you can easily amplify your signals by adding an external Buffered Op-Amp circuit.

● 16ビット入力形式はバイナリー义は2の補数を選べます(フローティング変換ロジック Wide Dynamic Range - 16-bit's conversion allows for a wide range. を内蔵)

PCM - Supports tunable Pulse Code Modulation of up to 2 channels:

16ヒットの広いダイナミックレンジ

Sample & Hold - equipped with a bail if analog's 标记 PS Ya 新版 数字old.

● サンプルホールド川アナログSW内脳

Good Characteristics - Low noise a characteristics.

Good Characteristics - Low noise 黑体的等。操作的過程的影響中提供的影響中的影響的影響。

● 高精度薄膜抵抗と CMOS のモノリシックプロセス。

●パッケジタイプ: 16PN プラスチック SOP: YM 3016 F

DIP: YM 3016 D<del>(华篇中)</del>

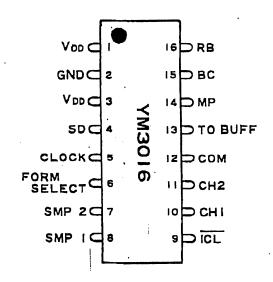
The YM3016 is a Digital to Analog Converter (DAC) with the following features:

High-speed drawing and animation functions,

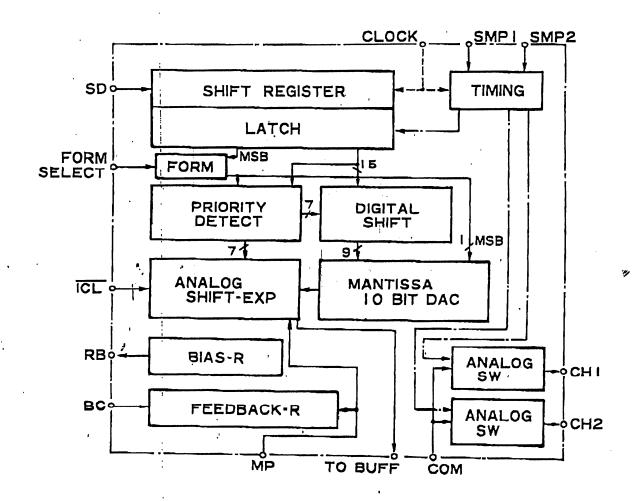
multiple screen modes (for games, AV, and OA purposes),

multi-type monitor support - CRT-TV-sets, PC CRT-monitors, and LCD panels.

#### ■端子配置図



## ■ブロックダイアグラム



# YM3016

# YAMAHA

## ■端子機能説明

記号名	機 常
V <sub>DD</sub>	高電位側基準電源
Vss	低電位側電源(GND)
VDD	高電位側基準電源
SD	被変換デジタル信号のシリアル入力
CLOCK	シフトレジスタ、タイミングジェネレータを動かすクロック (φ4)
FORM SELECT	「1」でバイナリー入力、「0」で2の補数入力の形式に対応。
SMP 2	「1」の区間がCH2用のサンプリング期間となります。
SMP1	「1」の区間が CH1用のサンプリング期間となります。
	SMP1、SMP2の立下りを使い、シリアルデータをラッチする内部信号を作ってい
	ます。
ICL	「1」―通常動作、「0」― SDの信号に係らず、―36dBの指数部出力となります。
V <sub>OUT</sub> CH 1	CH1用のサンプルホールドアナログスウィッチ出力
Vout CH 2	CH2川のサンプルホールドアナログスウィッチ出力
СОМ	CH1及びCH2川のアナログスウィッチの兆通入力
To BUFF	DACのアナログ出力、バッファオペアンプに入力
MP .	MP に与える電位を基準に、指数関数的なアナログシフトが行なわれます。
·	普通は 👤 VDD にパイアスします。
ВС	この端子と14ピン間には、バッファオペアンプの入力パイアス並派による誤差を打消
	す抵抗が入っています。位相補償用の容量Ccを外付することが推められます。
	基本回路例の様に、非接続又は、14ピンに接続しても、使えます。
RB	この端子には、内部で作られた髙精度の $rac{1}{2}$ $V_{DD}$ の電圧が出ています。パッファオペ
	アンプを介して、14ピンに加えます。
	VDD VSS VDD SD CLOCK FORM SELECT SMP 2 SMP 1  TCL VOUT CH 1 VOUT CH 2 COM To BUFF MP BC





## YAMAHA

# YM3016

### ■機能説明

#### 1. 動作

シリアルのデジタル入力データは、クロックの立下りに同期して、SD端子よりシフトレジスタにとり込まれます。SMP1、SMP2の立下りを利用して、タイミング回路でラッチ信号がつくられます。このラッチ信号により、 $I_{15}\sim I_0$ のシリアルデータがラッチされます。

16ビットのパイナリー又は2の制数入力データ、I<sub>15</sub>~I<sub>0</sub>は、ラッチ後、優先検出回路、デシタルシフト回路により、フローティングDAC用のデータにロジック変換され、10ビットの仮数部DACのデータ、7段の指数部DAC(アナログシフト)のデータになり、DA変換出力値を決定します。

データ変換の真理値表を以下に示します。

	アナログシフト										
N	0				4		В				
ر11	So	Sı	S,	Ss	SA	Si	S.				
I ja	Ī 15	I 16	I 15	I 18	I 15	I 15	I 18				
I ja	1	Ī 15	I 16	J 15	I 15	I 15	Ī 13				
I	1	1	Ī 15	I 15	I 15	I 18	I 15				
I iı	_	-	_	Ĭ 15	I 18	I 15	I 15				
I 10	_	_	-	_	Y 15	I 16	I 15				
Ι¢	-	_	_	1	_	I	I 16				

但し、	2の補数入力の場合
!	を示す。
	バイナリー入力ではIssの
	正負を反対にする。

7			アナログシフト								
$ \bot $	ر1 ً	S.	51	S,	S	S	Ss	S <sub>6</sub>			
	D,	Ī <sub>15</sub>	115	Ī16	Ī <sub>15</sub>	$\overline{I_{18}}$	Ī <sub>15</sub>	Ī15			
	D.	114	Im	Iıs	III	I10	I.	I <sub>4</sub>			
*	D,	I13	I12	I,,	I10	I,	Ì,	I,			
ットデー	D.	I12	I11	I10	Ĩ,	I	I,	I.			
7 %	D₅	In	I10	I,	I	I,	I.	Ιs			
-10F	D.	I10	I,	I.	I,	I <sub>6</sub>	Is	I.			
仮数部	D <sub>a</sub>	I,	I.	I,	Is	Is	I.	Iz			
依	D <sub>2</sub>	I.	I,	I	I5	L	I3	I2			
	Dı	I,	lc	I5	I.	Ia	I2	I <sub>1</sub>			
	D <sub>o</sub>	I.	Is	I.	I,	I <sub>2</sub>	Iı	I.			

DA変換されたアナログ出力電圧は、例えば、基本回路例の場合には、次の様になります。  $V_{\text{OUT}} = \frac{1}{2} V_{\text{DD}} + \frac{1}{4} V_{\text{DD}} (-1 + D_s + D_s 2^{-1} + \cdots + D_s 2^{-s} + 2^{-10})$   $2^{-N}$  すなわち、 $\frac{1}{2} V_{\text{DD}}$ の電位を中心に、  $\frac{1}{2} V_{\text{DD}}$ の最大振幅、

をもっています。

## YM3016

YAMAHA

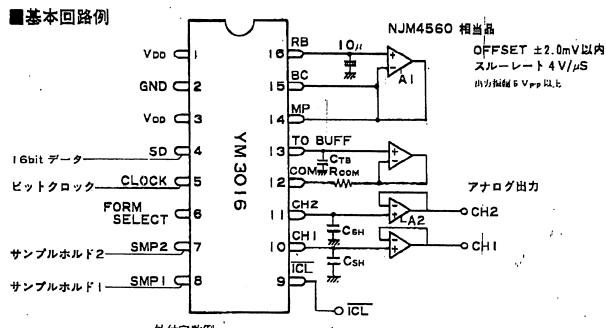
そのアナログ出力は、To BUFFという端子に出ています。これを通当なパッファオペアンプと抵抗を介して、COMという端子に入力しますと、このアナログ出力は、SMP1、SMP2の「1」の期間に各々、CH1、CH2という端子に出力し、「0」の期間には、適当な節途容量(Csn)に、チャンネル値のアナログ出力が保持されます。

#### 2. 動作の要点

- タイミング図、図3に示します様に、SMP1、SMP2の立下り部はMSB(I<sub>15</sub>) 信号の 後端のタイミングと…致する様にして下さい。
- SMP1、SMP2 のサンプリング周間は、図3に示した8ビットタイム以外にも設定できます。
- チャンネル1のみを使用する場合は、例えば、SMP2を Vissにして、MSB(I15) 信号の後端と、SMP1の立下り部のタイミングを一致させる様にして下さい。
- 契換サイクルを異なるビットタイムで行う場合には、無効ビット数部の増減で対応できます。

#### 3、イニシャルクリヤ機能

ICTを「0」にすると、デジタル入力データの値に関らず、仮部数は変らずに、指数部が 2-6 に減少した出力が両チャンネル出力にでます。



外付定数例

サンプルホールド各批

CsH 2700PF

コモン抵抗

RCOM 330 指契

Vpp 電源は、出力インピーダンス及び安定度非、市販の三端子レギュレータ相当程度のものが好しい。

\* CTB68PF ~ 33PF

# YM3Q16

### ■電気的特性・

### 1. 絶対最大定格

ः ग्राः ॥	定格 値	事 依
電源電圧	-0.3~+15.0	v
高レベル人力進圧	V DD +0.3	v
低レベル人力電圧	Vss-0.3	v
動作周囲温度	0 ~10	٣
保存温度	-50~+125	.c

#### 2 推奨動作条件

項目	起り	从小	標準	拉 大	川位
证 源 电 胚	Voo	4.75 ×	5.0	5,25	V
	Ves	0	0	0	v
人力信号电压	CLOCK				
	SD (	0	_	Vpp	V
	SMP1, 2				
•	ICL				
動作問囲温度	Ta	0		70	7

#### 3. 直流特性

項	Ħ	RC	号	测定条件	报 小	模準	最 大	単位
高レベル	入力電阻	Viii	•		0.66V <sub>DD</sub>	-	-	v
低レベル	入力低压	VIL			-	-	0.30V DD	v
スカ	电 流	IIN		V DD= 5.0 V	-	-	10-3	μА
アナログ	出力電圧	Vour			_	0.50Vpb		Vp-p
電 源	电 流	Inn		V pp= 5.0 V	_	-	6	mΑ

### 4. 交流特性

項 目	5.8	写 第	<u>د (۱):</u>	最 小	標準	报 大	単 位
●クロック							
图 波	数 fc	1		0.65	3.2	6.0	MHz
高レベル時	III TH			100	}	} .	ns
文上り時	間 Tr					30	ng .
上 な 下 り 時	間 Tf			1		30	ns
●データ		sı	)	1			
セットアップ叫	FIHI To	s SM	1P 1	50			ns
立上り時	間 · Tr	SM	1P 2)			30	ns
立下り時	間 Tf	}!				30	ne

### 5.容量

म् ।	記号	条件	最 小	標 準	最 大	<b>郑位</b>
<b>入力容</b>	Cin			_	5	PF

### 6、DAC 特性

:推奨定数、中点オペアンプNJM4560(オフセット電圧±2.0mV以内)使用時 出力振幅 5 V pp以上

項目	岩 母.	条 件	恭 小	棋 华	最 大	14 位
最大出力振幅	V out			2.5		Vpp
分解能.				16		ヒット
セトリングタイム	Ts			1.5	3.∕5	μвес
全高調波歪率	THD 1	$V_{DD} = + 5 V$ , 1 KH	2.			
		レベル OdB		0.09	0.18	%
		- 20dB - 40dB		0.07	0.20 0.65	% % %
S/N It	1	1 KHZ、0dB 入力は	:   '	86	5,55	dΒ
クロストーク	}	1 KH2, 0 dB		72		₫B
温 度 特 性		出 力 竜 圧				
		金高調波歪率		5		ppm/℃

#### 7、タイミング図

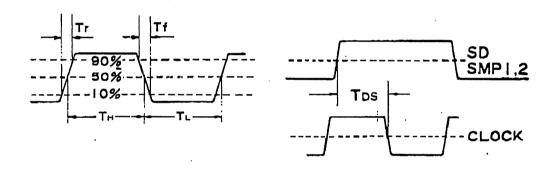
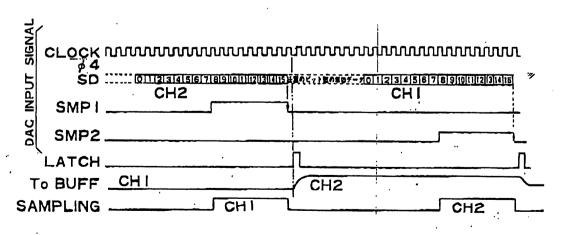


図1 データ タイミング

図2 人力データークロックタイミング



划3 TIMING