

AD7705 | AD7706

3V/5V, 1mW, 2/3通道16位 - 模数转换器

一、概述

1.1 一般说明

AD7705/7706是应用于低频测量的2/3通道的模拟前端。该器件可以接受直接来自传感器的低电平的输入信号，然后产生串行的数字输出。利用 $\Sigma\Delta$ 转换技术实现了16位无丢失代码性能。选定的输入信号被送到一个基于模拟调制器的增益可编程专用前端。片内数字滤波器处理调制器的输出信号。通过片内控制寄存器可调节滤波器的截止点和输出更新速率，从而对数字滤波器的第一个陷波进行编程。

AD7705/7706只需2.7~3.3V或4.75~5.25V单电源。AD7705是双通道全差分模拟输入，而AD7706是3通道伪差分模拟输入，二者都有一个差分基准输入。当电源电压为5V、基准电压为2.5V时，这二种器件都可将输入信号范围从0~+20mV到0~+2.5V的信号进行处理。还可处理 $\pm 20\text{mV} \sim \pm 2.5\text{V}$ 的双极性输入信号，对于AD7705是以AIN(-)输入端为参考点，而AD7706是COMMON输入端。当电源电压为3V、基准电压为1.225V时，可处理0~+10mV到0~+1.225V的单极性输入信号，它的双极性输入信号范围是 $\pm 10\text{mV}$ 到 $\pm 1.225\text{V}$ 。因此，AD7705/7706可以实现2/3通道系统所有信号的调理和转换。

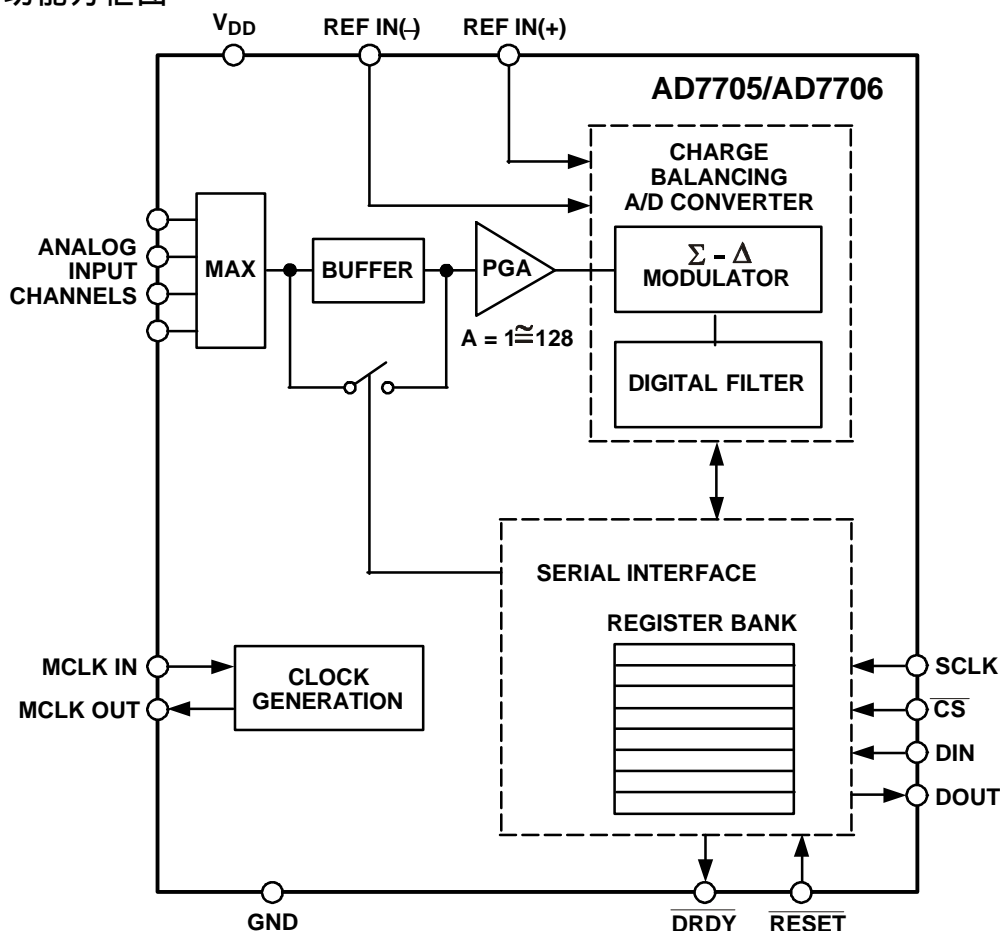
AD7705/7706是用于智能系统、微控制器系统和基于DSP系统的理想产品。其串行接口可配置为三线接口。增益值、信号极性以及更新速率的选择可用串行输入口由软件来配置。该器件还包括自校准和系统校准选项，以消除器件本身或系统的增益和偏移误差。

CMOS结构确保器件具有极低功耗，掉电模式减少等待时的功耗至 $20\mu\text{W}$ （典型值）。AD7705/7706采用16脚0.3英寸宽，塑料双列直插（DIP）和16脚宽体（0.3英寸）SOIC封装和16脚TSSOP封装。

1.2 特点

- AD7705：2个全差分输入通道的ADC
- AD7706：3个伪差分输入通道的ADC
- 16位无丢失代码
- 0.003%非线性
- 可编程增益前端
- 增益：1~128
- 三线串行接口
- SPITM、QSPITM、MICROWIRETM和DSP兼容
- 有对模拟输入缓冲的能力
- 2.7~3.3V或4.75~5.25V工作电压
- 3V电压时，最大功耗为1mW
- 等待电流的最大值为 $8\mu\text{A}$
- 16脚DIP、SOIC和TSSOP封装

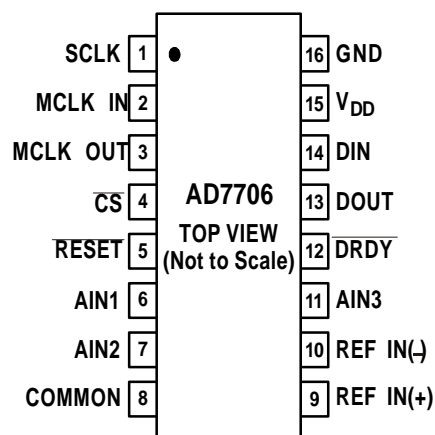
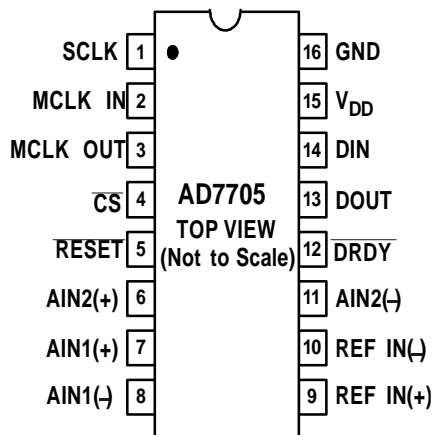
1.3 功能方框图



1.4 引脚排列与功能

1.4.1 AD7705和AD7706的引脚排列

引脚排列如下图



1.4.2 引脚功能

引脚功能表

编号	名 称	功 能
1	SCLK	串行时钟，施密特逻辑输入。将一个外部的串行时钟加于这一输入端口，以访问AD7705/AD7706的串行数据。该串行时钟可以是连续时钟以连续的脉冲串传送所有数据。反之，它也可以是非连续时钟，将信息以小批型数据发送给ADD7705/7706
2	MCLK IN	为转换器提供主时钟信号。能以晶体/谐振器或外部时钟的形式提供。晶体/谐振器可以接在MCLK IN和MCLK OUT二引脚之间。此外，MCLK IN也可用CMOS兼容的时钟驱动，而MCLK OUT不连接。时钟频率的范围为500kHz~5MHz
3	MCLK OUT	当主时钟为晶体/谐振器时，晶体/谐振器被接在MCLK IN和MCLK OUT之间。如果在MCLK IN引脚处接上一个外部时钟，MCLK OUT将提供一个反相时钟信号。这个时钟可以用来为外部电路提供时钟源，且可以驱动一个CMOS负载。如果用户不需要，MCLK OUT可以通过时钟寄存器中的CLK DIS 位关掉。这样，器件不会在MCLK OUT脚上驱动电容负载而消耗不必要的功率
4	$\overline{\text{CS}}$	片选，低电平有效的逻辑输入，选择AD7705/AD7706。将该引脚接为低电平，AD7705/AD7706能以三线接口模式运行（以SCLK、DIN和DOUT 与器件接口）。在串行总线上带有多个器件的系统中，可由 $\overline{\text{CS}}$ 对这些器件作出选择，或在与AD7705/AD7706通信时， $\overline{\text{CS}}$ 可用作帧同步信号
5	$\overline{\text{RESET}}$	复位输入。低电平有效的输入，将器件的控制逻辑、接口逻辑、校准系数、数字滤波器和模拟调制器复位至上电状态
6	AIN2(+)[AIN1]	对于AD7705，差分模拟输入通道2的正输入端。对于AD7706，模拟输入通道1的输入端
7	AIN1(+)[AIN2]	对于AD7705，差分模拟输入通道1的正输入端；对于AD7706，模拟输入通道2的输入端
8	AIN1(-)[COMMON]	对于AD7705，差分模拟输入通道1的负输入端；对于AD7706，COMMON输入端，模拟通道1、2、3的输入以此输入端为基准
9	REF IN (+)	基准输入端。AD7705/AD7706差分基准输入的正输入端。基准输入是差分的，并规定REFIN (+) 必须大于REF IN (-)。REF IN (+) 可以取 V_{DD} 和GND之间的任何值
10	REF IN (-)	基准输入端。AD7705/AD7706差分基准输入的负输入端。REF IN (-) 可以取 V_{DD} 和GND之间的任何值，且满足REF IN (+) 大于REF IN (-)
11	AIN2 (-) [AIN3]	对于AD7705，差分模拟输入通道2的负输入端。对于AD7706，模拟输入通道3输入端
12	$\overline{\text{DRDY}}$	逻辑输出。这个输出端上的逻辑低电平表示可从AD7705和AD7706的数据寄存器获取新的输出字。完成对一个完全的输出字的读操作后， $\overline{\text{DRDY}}$ 引脚立即回到高电平。如果在两次输出更新之间，不发生数据读出， $\overline{\text{DRDY}}$ 将在下一次输出更新前 $500 \times t_{\text{CLK IN}}$ 时间返回高电平。当 $\overline{\text{DRDY}}$ 处于高电平时，不能进行读操作，以免数据寄存器中的数据正在被更新时进行读操作。当数据被更新后， $\overline{\text{DRDY}}$ 又将返回低电平。 $\overline{\text{DRDY}}$ 也用来指示何时AD7705/ AD7706已经完成片内的校准序列
13	DOUT	串行数据输出端。从片内的输出移位寄存器读出的串行数据由此端输出。根据通讯寄存器中的寄存器选择位，移位寄存器可容纳来自通讯寄存器、时钟寄存器或数据寄存器的信息
14	DIN	串行数据输入端。向片内的输入移位寄存器写入的串行数据由此输入。根据通讯寄存器中的寄存器选择位，输入移位寄存器中的数据被传送到设置寄存器、时钟寄存器或通讯寄存器
15	V_{DD}	电源电压，+2.7V~+5.25V
16	GND	内部电路的地电位基准点

1.5 订购指南

Model	V _{DD} Supply	Temperature Range	Package Description	Package Options
AD7705BN AD7705BR AD7705BRU EVAL-AD7705EB	2.7 V to 5.25 V 2.7 V to 5.25 V 2.7 V to 5.25 V	-40°C to +85°C -40°C to +85°C -40°C to +85°C EvaluationBoard	PlasticDIP SOIC TSSOP	N-16 R-16 RU-16
AD7706BN AD7706BR AD7706BRU EVAL-AD7706EB	2.7 V to 5.25 V 2.7 V to 5.25 V 2.7 V to 5.25 V	-40°C to +85°C -40°C to +85°C -40°C to +85°C EvaluationBoard	PlasticDIP SOIC TSSOP	N-16 R-16 RU-16

二、特性

2.1 极限参数

(T_A = +25℃, 除非另有说明)

V _{DD} 对GND	-0.3V ~ +7V
模拟输入电压对GND	-0.3V ~ V _{DD} +0.3V
基准输入电压对GND	-0.3V ~ V _{DD} +0.3V
数字输入电压对GND	-0.3V ~ V _{DD} +0.3V
数字输出电压对GND	-0.3V ~ V _{DD} +0.3V
工作温度范围 (商业级, B)	-40 ~ +85
储存温度范围	-65 ~ +150
结温	+150
功耗 (塑料DIP 封装)	450mW
J _{JA} 热阻	105 /W
引脚温度 (焊接, 10 秒)	+260
功耗 (塑料SOIC 封装)	450mW
J _{JA} 热阻	75 /W
引脚温度 (焊接)	
汽相 (60秒)	+215
红外线 (15秒)	+220
功耗 (SSOP 封装)	450mW
J _{JA} 热阻	139 /W
引脚温度 (焊接)	
汽相 (60秒)	+215
红外线 (15秒)	+220
抗ESD	>4000V

注：强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

2.2 电特性

($V_{DD}=+3V$ 或 $+5V$, $REF\ IN(+)=+1.225V$; $REF\ IN(-)=GND$, $MCLK\ IN=2.4576MHz$, $T_A=T_{MIN} \sim T_{MAX}$, 除非另有说明)

Parameter	B Version ¹	Units	Conditions/Comments
STATIC PERFORMANCE			
No Missing Codes	16	Bits min	Guaranteed by Design. Filter Notch < 60 Hz
Output Noise	See Tables I and III		Dependson Filter Cutoffs and Selected Gain
Integral Nonlinearity ²	± 0.003	% of FSR max	Filter Notch < 60 Hz. Typically 0.0003%
Unipolar Offset Error	See Note 3		
Unipolar Offset Drift ⁴	0.5	$\mu V/^\circ C$ typ	
Bipolar Zero Error	See Note 3		
Bipolar Zero Drift ⁴	0.5	$\mu V/^\circ C$ typ	For Gains 1, 2 and 4
	0.1	$\mu V/^\circ C$ typ	For Gains 8, 16, 32, 64 and 128
Positive Full-Scale Error ⁵	See Note 3		
Full-Scale Drift ^{4, 6}	0.5	$\mu V/^\circ C$ typ	
Gain Error ⁷	See Note 3		
Gain Drift ^{4, 8}	0.5	ppm of FSR/ $^\circ C$ typ	
Bipolar Negative Full-Scale Error ²	± 0.003	% of FSR typ	Typically $\pm 0.001\%$
Bipolar Negative Full-Scale Drift ⁴	1	$\mu V/^\circ C$ typ	For Gains of 1 to 4
	0.6	$\mu V/^\circ C$ typ	For Gains of 8 to 128
ANALOG INPUTS/REFERENCE INPUTS			Specifications for AIN and REF IN Unless Noted
Input Common-Mode Rejection(CMR) ²			
$V_{DD} = 5V$			
Gain = 1	96	dB typ	
Gain = 2	105	dB typ	
Gain = 4	110	dB typ	
Gain = 8-128	130	dB typ	
$V_{DD} = 3V$			
Gain = 1	105	dB typ	
Gain = 2	110	dB typ	
Gain = 4	120	dB typ	
Gain = 8-128	130	dB typ	
Normal-Mode 50 Hz Rejection ²	98	dB typ	For Filter Notches of 25 Hz, 50 Hz, $\pm 0.02 \times f_{NOTCH}$
Normal-Mode 60 Hz Rejection ²	98	dB typ	For Filter Notches of 20 Hz, 60 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode 50 Hz Rejection ²	150	dB typ	For Filter Notches of 25 Hz, 50 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode 60 Hz Rejection ²	150	dB typ	For Filter Notches of 20 Hz, 60 Hz, $\pm 0.02 \times f_{NOTCH}$
Absolute/Common-Mode REF IN Voltage ²	GND to V_{DD}	V min to V max	
Absolute/Common-Mode AIN Voltage ^{2, 9}	GND - 30 mV	V min	BUF Bit of Setup Register = 0
	$V_{DD} + 30 mV$	V max	
	GND + 50 mV	V min	BUF Bit of Setup Register = 1
	$V_{DD} - 1.5V$	V max	
AIN DC Input Current ²	1	nA max	
AIN Sampling Capacitance ²	10	pF max	
AIN Differential Voltage Range ¹⁰	0 to $+V_{REF}/GAIN$ ¹¹	nom	Unipolar Input Range (B/U Bit of Setup Register = 1)
	$\pm V_{REF}/GAIN$	nom	Bipolar Input Range (B/U Bit of Setup Register = 0)
AIN Input Sampling Rate, f_s	$GAIN \times f_{CLKIN}/64$		For Gains of 1 to 4
	$f_{CLKIN}/8$		For Gains of 8 to 128
Reference Input Range			
REF IN(+) - REF IN(-) Voltage	1/1.75	V min/max	$V_{DD} = 2.7V$ to $3.3V$. $V_{REF} = 1.225 \pm 1\%$ for Specified Performance
REF IN(+) - REF IN(-) Voltage	1/3.5	V min/max	$V_{DD} = 4.75V$ to $5.25V$. $V_{REF} = 2.5 \pm 1\%$ for Specified Performance
REF IN Input Sampling Rate, f_s	$f_{CLKIN}/64$		
LOGIC INPUTS			
Input Current			
All Inputs Except MCLK IN	± 1	μA max	Typically $\pm 20 nA$
MCLK	± 10	μA max	Typically $\pm 2 \mu A$
All Inputs Except SCLK and MCLK IN			
V_{INL} , Input Low Voltage	0.8	V max	$V_{DD} = 5V$
	0.4	V max	$V_{DD} = 3V$
V_{INH} , Input High Voltage	2.0	V min	$V_{DD} = 3V$ and $5V$
SCLK Only (Schmitt Triggered Input)			$V_{DD} = 5V$ NOMINAL
V_{T+}	1.4/3	V min/V max	
V_{T-}	0.8/1.4	V min/V max	
$V_{T+} - V_{T-}$	0.4/0.8	V min/V max	
SCLK Only (Schmitt Triggered Input)			$V_{DD} = 3V$ NOMINAL
V_{T+}	1/2.5	V min/V max	
V_{T-}	0.4/1.1	V min/V max	
$V_{T+} - V_{T-}$	0.375/0.8	V min/V max	
MCLK IN Only			$V_{DD} = 5V$ NOMINAL
V_{INL} , Input Low Voltage	0.8	V max	
V_{INH} , Input High Voltage	3.5	V min	
MCLK IN Only			$V_{DD} = 3V$ NOMINAL
V_{INL} , Input Low Voltage	0.4	V max	
V_{INH} , Input High Voltage	2.5	V min	

Parameter	B Version ¹	Units	Conditions/Comments
LOGIC OUTPUTS (Including MCLK OUT)			
V _{OL} , Output Low Voltage	0.4	V max	I _{SINK} = 800μA Exceptfor MCLK OUT. ¹² V _{DD} = 5 V.
V _{OL} , Output Low Voltage	0.4	V max	I _{SINK} = 100μA Exceptfor MCLK OUT. ¹² V _{DD} = 3 V.
V _{OH} , Output High Voltage	4	V min	I _{SOURCE} = 200μA Exceptfor MCLK OUT. ¹² V _{DD} = 5 V.
V _{OH} , Output High Voltage	V _{DD} -0.6	V min	I _{SOURCE} = 100μA Exceptfor MCLK OUT. ¹² V _{DD} = 3 V.
Floating State Leakage Current	±10	μA max	
Floating State Output Capacitance ¹³	9	pF typ	
Data Output Coding	Binary Offset Binary		Unipolar Mode Bipolar Mode
SYSTEM CALIBRATION			
Positive Full-Scale Calibration Limit ¹⁴	(1.05 × V _{REF})/GAIN	V max	GAIN Is the Selected PGA Gain (1 to 128)
Negative Full-Scale Calibration Limit ¹⁴	-(1.05 × V _{REF})/GAIN	V max	GAIN Is the Selected PGA Gain (1 to 128)
Offset Calibration Limit ¹⁴	-(1.05 × V _{REF})/GAIN	V max	GAIN Is the Selected PGA Gain (1 to 128)
Input Span ¹⁵	(0.8 × V _{REF})/GAIN	V min	GAIN Is the Selected PGA Gain (1 to 128)
	(2.1 × V _{REF})/GAIN	V max	GAIN Is the Selected PGA Gain (1 to 128)
POWER REQUIREMENTS			
V _{DD} Voltage	+2.7 to +3.3	V min to V max	For Specified Performance
Power Supply Currents ¹⁶			Digital I/Ps = 0 V or V _{DD} . External MCLK IN and CLK DIS = 1
	0.32	mA max	BUF Bit = 0. f _{CLKIN} = 1 MHz. Gains of 1 to 128
	0.6	mA max	BUF Bit = 1. f _{CLKIN} = 1 MHz. Gains of 1 to 128
	0.4	mA max	BUF Bit = 0. f _{CLKIN} = 2.4576 MHz. Gains of 1 to 4
	0.6	mA max	BUF Bit = 0. f _{CLKIN} = 2.4576 MHz. Gains of 8 to 128
	0.7	mA max	BUF Bit = 1. f _{CLKIN} = 2.4576 MHz. Gains of 1 to 4
	1.1	mA max	BUF Bit = 1. f _{CLKIN} = 2.4576 MHz. Gains of 8 to 128
V _{DD} Voltage	+4.75 to +5.25	V min to V max	For Specified Performance
Power Supply Currents ¹⁶			Digital I/Ps = 0 V or V _{DD} . External MCLK IN and CLK DIS = 1.
	0.45	mA max	BUF Bit = 0. f _{CLKIN} = 1 MHz. Gains of 1 to 128
	0.7	mA max	BUF Bit = 1. f _{CLKIN} = 1 MHz. Gains of 1 to 128
	0.6	mA max	BUF Bit = 0. f _{CLKIN} = 2.4576 MHz. Gains of 1 to 4
	0.85	mA max	BUF Bit = 0. f _{CLKIN} = 2.4576 MHz. Gains of 8 to 128
	0.9	mA max	BUF Bit = 1. f _{CLKIN} = 2.4576 MHz. Gains of 1 to 4
	1.3	mA max	BUF Bit = 1. f _{CLKIN} = 2.4576 MHz. Gains of 8 to 128
Standby(Power-Down) Current ¹⁷	16	μA max	External MCLK IN = 0 V or V _{DD} . V _{DD} = 5 V. See Figure 9
	8	μA max	External MCLK IN = 0 V or V _{DD} . V _{DD} = 3 V
Power Supply Rejection ¹⁸	See Note 19	dB typ	

1. B级温度范围为-40 ~+85 。
2. 这些数据是按最初设计的产品发布的。
3. 一次校准实际上是一次转换，因此这些误差就是表1和表3所示转换噪声的阶数。这适用于在期望的温度下校准后。
4. 任何温度条件下的重新校准将会除去这些漂移误差。
5. 正满标度误差包括零标度误差 (Zero-Scale Error)(单极性偏移误差或双极性零误差)，且既适用于单极性输入范围又适用于双极性输入范围。
6. 满标度漂移包括零标度漂移 (单极性偏移漂移或双极性零漂移) 且适用于单极性 & 双极性输入范围。
7. 增益误差不包括零标度误差，它被计算为满标度误差——对单极性范围为单极性偏移误差，而对双极性范围为满标度误差——双极性零误差。
8. 增益误差漂移不包括单极性偏移漂移和单极性零漂移。当只完成了零标度校准时，增益误差实际上是器件的漂移量。
9. 共模电压范围：模拟输入电压不超过 $V_{DD}+30mV$ ，不低于 $GND-30mV$ 。电压低于 $GND-200mV$ 时，器件功能有效，但在高温时漏电流将增加。
10. 这里给出的 $A_{IN}(+)$ 端的模拟输入电压范围，对AD7705来说，是指相对于 $A_{IN}(-)$ 端的电压；对AD7706而言是指COMMON输入端。输入模拟电压不应超过 $V_{DD}+30mV$ ，不应低于 $GND-30mV$ 。

GND-200mV的输入电压也可采用，但高温时漏电流将增加。

11. $V_{REF}=REF\ IN\ (+) - REF\ IN\ (-)$ 。
12. 只有当加载一个CMOS负载时，这些逻辑输出电平才适用于MCLK OUT。
13. +25℃时测试样品，以保证一致性。
14. 校准后，如果模拟输入超过正满标度,转换器将输出全1,如果模拟输入低于负满标度，将输出全0。
15. 在模拟输入端所加校准电压的极限不应超过 $V_{DD}+30mV$ 或负于GND - 30mV。
16. 当用晶体或陶瓷谐振器作为器件的时钟源时（通过MCLK引脚）， V_{DD} 电流和功耗随晶体和谐振器的类型而变化（见“时钟和振荡器电路”部分）。
17. 在等待模式下，外部的主时钟继续运行，5V电压时等待电流增加到150 μA ，3V电压时增加到75 μA 。当用晶体或陶瓷谐振器作为器件的时钟源时，内部振荡器在等待模式下继续运行，电源电流功耗随晶体和谐振器的类型而变化（参看“等待模式”一节）。
18. 在直流状态测量，适用于选定的通频带。50Hz时，PSRR超过120dB（滤波器陷波为25Hz或50Hz），60Hz时，PSRR超过120dB（滤波器陷波为20Hz或60Hz）。
19. PSRR由增益和 V_{DD} 决定，如下：

增益	1	2	4	8 ~ 128
$V_{DD}=3V$	86	78	85	93
$V_{DD}=5V$	90	78	84	91

2.3 定时参数

($V_{DD}=+2.7V\sim+5.2V$;GND=0V ; $f_{CLKIN}=2.4567MHz$;Input Logic 0=0 V ,Logic 1 = V_{DD} 除非另有说明)。

Parameter	Limit at T_{MIN}, T_{MAX} (B Version)	Units	Conditions/Comments
$f_{CLKIN}^{3,4}$	400 2.5	kHz min MHz max	Master Clock Frequency Crystal Oscillator or Externally Supplied for Specified Performance
$t_{CLKIN\ LO}$	$0.4 \times t_{CLKIN}$	ns min	Master Clock Input Low Time. $t_{CLKIN} = 1/f_{CLKIN}$
$t_{CLKIN\ HI}$	$0.4 \times t_{CLKIN}$	ns min	Master Clock Input High Time
t_1	$500 \times t_{CLKIN}$	ns nom	DRDY High Time
t_2	100	ns min	RESET Pulsewidth
Read Operation			
t_3	0	ns min	\overline{DRDY} to \overline{CS} Setup Time
t_4	120	ns min	\overline{CS} Falling Edge to SCLK Rising Edge Setup Time
t_5^5	0	ns min	SCLK Falling Edge to Data Valid Delay
	80	ns max	$V_{DD} = +5V$
	100	ns max	$V_{DD} = +3.0V$
t_6	100	ns min	SCLK High Pulsewidth
t_7	100	ns min	SCLK Low Pulsewidth
t_8	0	ns min	\overline{CS} Rising Edge to SCLK Rising Edge Hold Time
t_9^6	10	ns min	Bus Relinquish Time after SCLK Rising Edge
	60	ns max	$V_{DD} = +5V$
	100	ns max	$V_{DD} = +3.0V$
t_{10}	100	ns max	SCLK Falling Edge to \overline{DRDY} High ⁷
Write Operation			
t_{11}	120	ns min	\overline{CS} Falling Edge to SCLK Rising Edge Setup Time
t_{12}	30	ns min	Data Valid to SCLK Rising Edge Setup Time
t_{13}	20	ns min	Data Valid to SCLK Rising Edge Hold Time
t_{14}	100	ns min	SCLK High Pulsewidth
t_{15}	100	ns min	SCLK Low Pulsewidth
t_{16}	0	ns min	\overline{CS} Rising Edge to SCLK Rising Edge Hold Time

注释：

1. 样品测试温度为+25 以保证一致性。所有的输入信号满足： $t_r=t_f=5\text{ns}$ (V_{DD} 的10% ~ 90%)，且从1.6V电平计时。
2. 见图16和图17。
3. f_{CLKIN} 占空比为45%~55%。只要AD7705/AD7706不在等待模式下，必须提供 f_{CLKIN} 。在这种情况下如果没有时钟，器件就会吸取较规定更大的电流并可能变成未校准的。
4. $f_{CLKIN} = 2.4567\text{MHz}$ 时进行生产测试，以保证器件工作于400kHz。
5. 这些数字是在图1的负载电路下测定的。它们被定义为输出通过 V_{OL} 或 V_{OH} 界限所需的时间。
6. 该数值是在数据输出为0.5V时测量的（负载情况如图1所示）。然后被测的数值又推演回来，以消除对50pF电容器充电或放电的影响。这就是说定时参数表中提到的所有时间值都是真正的总线撤回时间（relinquish time），而因此与外部的总线负载电容无关。
7. 输出更新后， \overline{DRDY} 在第一次从器件读出后返回高电平。当 \overline{DRDY} 为高电平时，如果需要，同一数据可以再次读出。但是必须注意在下次输出更新后，不会很快发生随后的读出。

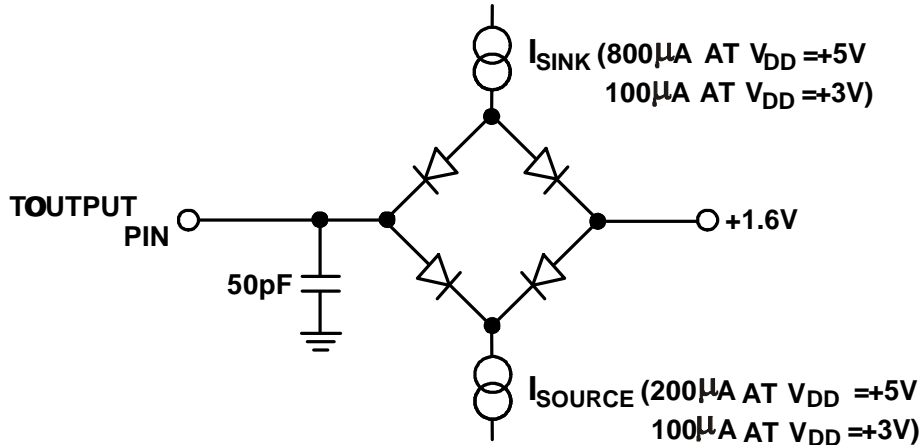


图1 访问时间和总线撤回时间的负载电路图

2.4 典型特性曲线

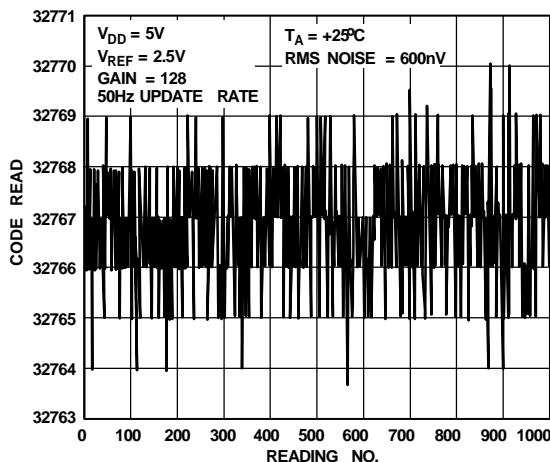


图2 典型噪声曲线（增益=128，更新速率=50Hz）

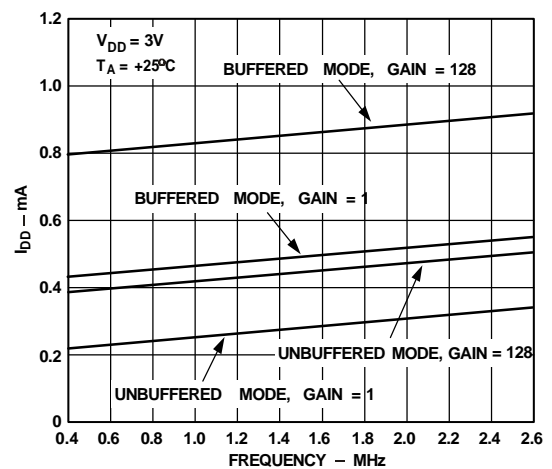


图3 I_{DD} 与MCLKIN 频率的关系（3V电源电压）

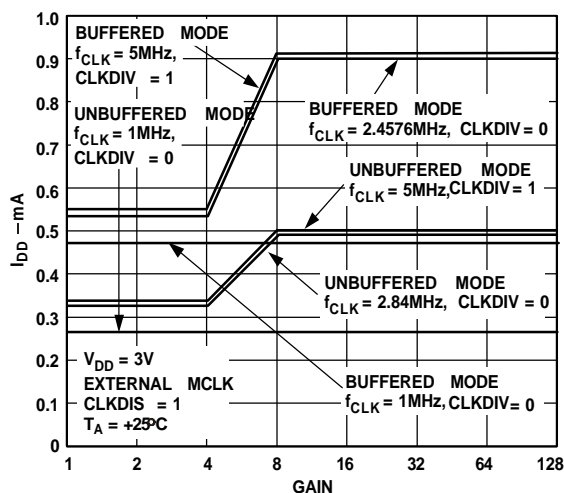
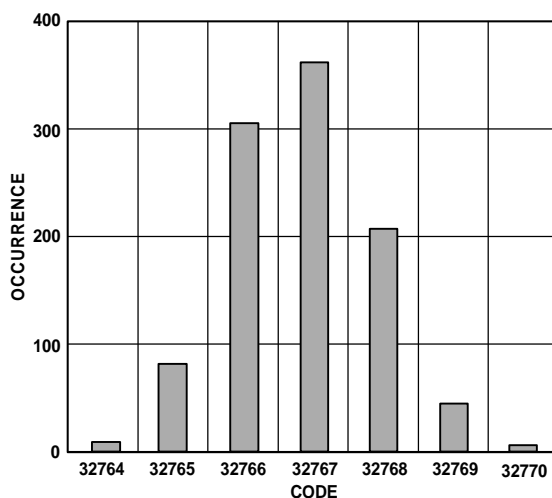
图4 I_{DD} 与增益和时钟频率的关系 (3V电源电压)

图5 图2中的数据柱状分布图

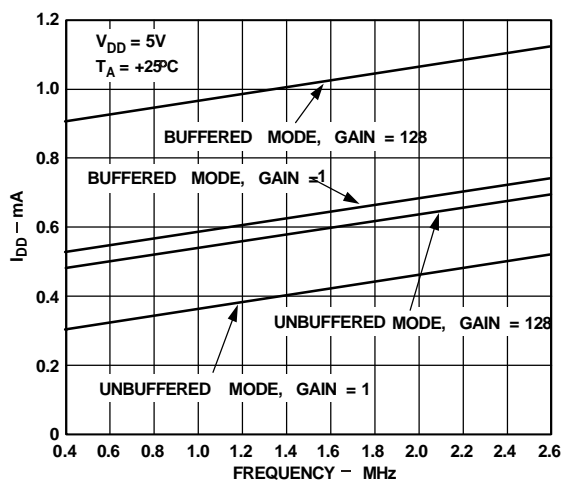
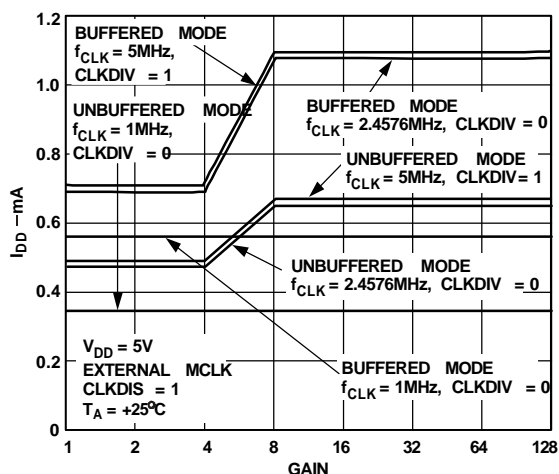
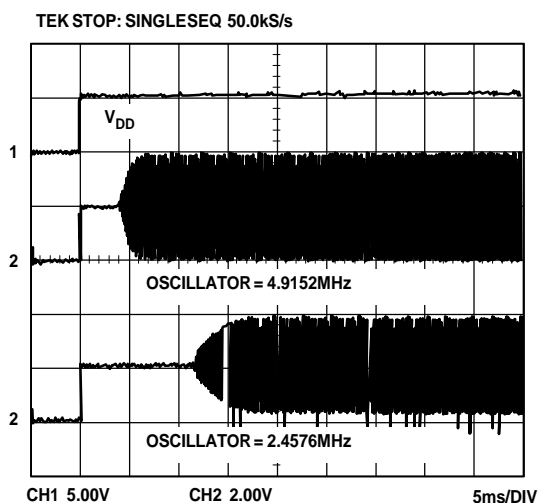
图6 I_{DD} 与MCLKIN 频率的关系 (5V电源电压)图7 I_{DD} 与增益和时钟频率的关系 (5V电源电压)

图8 典型晶体振荡器上电时间

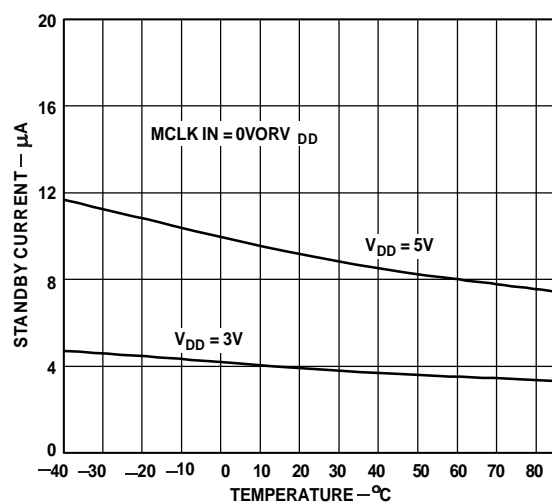


图9 等待电流与温度的关系

三、详细说明

3.1 输出噪声

表1、3显示了AD7705/AD7706在可选陷波为器件的-3dB频率时的输出噪声（有效值），由时钟寄存器的FS0和FS1选择。这些给出的数字是在双极性输入， $V_{REF} = +2.5V$ ， $V_{DD} = 5V$ 时的数值。这些数值是器件工作在缓冲模式或非缓冲模式，模拟输入电压为0V时产生的典型值。表2、4显示了输出噪声峰-峰值。特别要注意的是这些数字所表示的分辨率将是没有代码闪烁的。这些数值不是基于有效值（RMS）而是基于峰-峰值计量的噪声。这些给出的数值适用于缓冲模式和非缓冲模式下双极性输入范围（ $V_{REF} = +1.225V$ ），这些数值是典型值，并靠近最近的LSB。要求时钟寄存器的CLK DIV 位置为0。

表1 输出噪声（RMS）与增益和输出更新速率的关系（5V电压）

Filter First Notch and O/P Data Rate	-3 dB Frequency	Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
MCLK IN = 2.4576MHz									
50 Hz	13.1 Hz	4.1	2.1	1.2	0.75	0.7	0.66	0.63	0.6
60 Hz	15.72 Hz	5.1	2.5	1.4	0.8	0.75	0.7	0.67	0.62
250 Hz	65.5 Hz	110	49	31	17	8	3.6	2.3	1.7
500 Hz	131 Hz	550	285	145	70	41	22	9.1	4.7
MCLK IN = 1 MHz									
20 Hz	5.24 Hz	4.1	2.1	1.2	0.75	0.7	0.66	0.63	0.6
25 Hz	6.55 Hz	5.1	2.5	1.4	0.8	0.75	0.7	0.67	0.62
100 Hz	26.2 Hz	110	49	31	17	8	3.6	2.3	1.7
200 Hz	52.4 Hz	550	285	145	70	41	22	9.1	4.7

表2 峰-峰值（Peak - Peak）分辨率与增益和输出更新速率的关系（5V电压）

Filter First Notch and O/P Data Rate	-3 dB Frequency	Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
MCLK IN = 2.4576MHz									
50 Hz	13.1 Hz	16	16	16	16	16	16	15	14
60 Hz	15.72 Hz	16	16	16	16	15	14	14	13
250 Hz	65.5 Hz	13	13	13	13	13	13	12	12
500 Hz	131 Hz	10	10	10	10	10	10	10	10
MCLK IN = 1 MHz									
20 Hz	5.24 Hz	16	16	16	16	16	16	15	14
25 Hz	6.55 Hz	16	16	16	16	15	14	14	13
100 Hz	26.2 Hz	13	13	13	13	13	13	12	12
200 Hz	52.4 Hz	10	10	10	10	10	10	10	10

表3 输出噪声（RMS）与增益和输出更新速率的关系（3V电压）

Filter First Notch and O/P Data Rate	-3 dB Frequency	Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
MCLK IN = 2.4576MHz									
50 Hz	13.1 Hz	3.8	2.4	1.5	1.3	1.1	1.0	0.9	0.9
60 Hz	15.72 Hz	5.1	2.9	1.7	1.5	1.2	1.0	0.9	0.9
250 Hz	65.5 Hz	50	25	14	9.9	5.1	2.6	2.3	2.0
500 Hz	131 Hz	270	135	65	41	22	9.7	5.1	3.3
MCLK IN = 1 MHz									
20 Hz	5.24 Hz	3.8	2.4	1.5	1.3	1.1	1.0	0.9	0.9
25 Hz	6.55 Hz	5.1	2.9	1.7	1.5	1.2	1.0	0.9	0.9
100 Hz	26.2 Hz	50	25	14	9.9	5.1	2.6	2.3	2.0
200 Hz	52.4 Hz	270	135	65	41	22	9.7	5.1	3.3

表4 峰-峰值 (Peak - Peak) 分辨率与增益和输出更新速率的关系 (3V电压)

Filter First		Typical Peak-to-Peak Resolution in Bits							
Notch and O/P	-3 dB	Gain of	Gain of	Gain of	Gain of	Gain of	Gain of	Gain of	Gain of
Data Rate	Frequency	1	2	4	8	16	32	64	128
MCLK IN = 2.4576MHz									
50 Hz	13.1 Hz	16	16	15	15	14	13	13	12
60 Hz	15.72 Hz	16	16	15	14	14	13	13	12
250 Hz	65.5 Hz	13	13	13	13	12	12	11	11
500 Hz	131 Hz	10	10	10	10	10	10	10	10
MCLK IN = 1 MHz									
20 Hz	5.24 Hz	16	16	15	15	14	13	13	12
25 Hz	6.55 Hz	16	16	15	14	14	13	13	12
100 Hz	26.2 Hz	13	13	13	13	12	12	11	11
200 Hz	52.4 Hz	10	10	10	10	10	10	10	10

3.2 片内寄存器

AD7705/AD7706片内包括8个寄存器，这些寄存器通过器件的串行口访问。

第一个是通信寄存器，它管理通道选择，决定下一个操作是读操作还是写操作，以及下一次读或写哪一个寄存器。所有与器件的通信必须从写入通信寄存器开始。上电或复位后，器件等待在通信寄存器上进行一次写操作。这一写到通信寄存器的数据决定下一次操作是读还是写，同时决定这次读操作或写操作在哪个寄存器上发生。所以，写任何其它寄存器首先要写通信寄存器，然后才能写选定的寄存器。所有的寄存器（包括通信寄存器本身和输出数据寄存器）进行读操作之前，必须先写通信寄存器，然后才能读选定的寄存器。此外，通信寄存器还控制等待模式和通道选择，此外 $\overline{\text{DRDY}}$ 状态也可以从通信寄存器上读出。

第2个寄存器是设置寄存器，决定校准模式、增益设置、单/双极性输入以及缓冲模式。

第3个寄存器是时钟寄存器，包括滤波器选择位和时钟控制位。

第4个寄存器是数据寄存器，器件输出的数据从这个寄存器读出。

最后一个寄存器是校准寄存器，它存储通道校准数据。

下面分别作详细说明。

3.2.1 通信寄存器 (RS2、RS1、RS0 = 0、0、0)

通信寄存器是一个8位寄存器，既可以读出数据也可以把数据写进去。所有与器件的通信必须从写该寄存器开始。写上去的数据决定下一次读操作或写操作在哪个寄存器上发生。一旦在选定的寄存器上完成了下一次读操作或写操作，接口返回到通信寄存器接收一次写操作的状态。这是接口的默认状态，在上电或复位后，AD7705/AD7706就处于这种默认状态等待对通信寄存器一次写操作。在接口序列丢失的情况下，如果在DIN高电平的写操作持续了足够长的时间（至少32个串行时钟周期），AD7705将会回到默认状态。

下表5是通信寄存器各位的说明。

表5 通信寄存器

0/ $\overline{\text{DRDY}}$ (0)	RS2(0)	RS1(0)	RS0(0)	R/ $\overline{\text{W}}$ (0)	STBY(0)	CH1(0)	CH0(0)
---------------------------------	--------	--------	--------	------------------------------	---------	--------	--------

* 括号内为上电复位的缺省值

0/ $\overline{\text{DRDY}}$ 对于写操作，必须有一个“0”被写到这位，以便通信寄存器上的写操作能够准确完成。如果“1”被写到这位，后续各位将不能写入该寄存器。它会停留在该位直到有一个“0”被写入该位。一旦有“0”写到0/ $\overline{\text{DRDY}}$ 位，以下的7位将被装载到通信寄存器。对于读操作，该位提供器件的 $\overline{\text{DRDY}}$ 标志。该位的状态与 $\overline{\text{DRDY}}$ 输出引脚的状态相同。

RS2-RS0 寄存器选择位。这3个位选择下次读/写操作在8个片内寄存器中的哪一个上发生，见表6（附寄存器大小）。当选定的寄存器完成了读/写操作后，器件返回到等待通信寄存器下一次写操作的状态。它不会保持在继续访问原寄存器的状态。

表6 寄存器选择

RS2	RS1	RS0	寄存器	寄存器位数
0	0	0	通信寄存器	8位
0	0	1	设置寄存器	8位
0	1	0	时钟寄存器	8位
0	1	1	数据寄存器	16位
1	0	0	测试寄存器	8位
1	0	1	无操作	
1	1	0	偏移寄存器	24位
1	1	1	增益寄存器	24位

R/W 读/写选择。这个位选择下次操作是对选定的寄存器读还是写。“0”表示下次操作是写，“1”表示下次操作是读。

STBY 等待模式。此位上写“1”，则处于等待或掉电模式。在这种模式下，器件消耗的电源电流仅为10 μ A。在等待模式时，器件将保持它的校准系数和控制字信息。写“0”，器件处于正常工作模式。

CHI-CH0 通道选择。这2个位选择一个通道以供数据转换或访问校准系数，如表7所示。器件内的3对校准寄存器用来存储校准系数。如表7和8所示指出了哪些通道组合是具有独立的校准系数的。当CH1为逻辑1而CH0为逻辑0时，由表可见对AD7705是AIN1（-）输入脚在内部自己短路，而AD7706是COMMON脚在内部自己短路。这可以作为评估噪声性能的一种测试方法（无外部噪声源）。在这种模式下，AIN1（-）/COMMON 输入端必须与一个器件允许的共模电压范围内的外部电压相连接。

表7 AD7705的通道选择

CH1	CH0	AIN（+）	AIN（-）	校准寄存器对
0	0	AIN1（+）	AIN1（-）	寄存器对0
0	1	AIN2（+）	AIN2（-）	寄存器对1
1	0	AIN1（-）	AIN1（-）	寄存器对0
1	1	AIN1（-）	AIN2（-）	寄存器对2

表8 AD7706 的通道选择

CH1	CH0	AIN	基准	校准寄存器对
0	0	AIN1	COMMON	寄存器对0
0	1	AIN2	COMMON	寄存器对1
1	0	COMMON	COMMON	寄存器对0
1	1	AIN3	COMMON	寄存器对2

3.2.2 设置寄存器（RS2、RS1、RS0 = 0、0、1）；上电/复位状态：01Hex

设置寄存器是一个8位寄存器，它既可以读数据又可将数据写入。表9为设置寄存器各位的说明。

表9 设置寄存器的位

MD1(0)	MD0(0)	G2(0)	G1(0)	G0(0)	$\bar{B}/U(0)$	BUF(0)	FSYNC(1)
--------	--------	-------	-------	-------	----------------	--------	----------

MD1	MD0	工 作 模 式
0	0	正常模式，在这种模式下，转换器进行正常的模数转换
0	1	自校准。在通信寄存器的CH1和CH2选中的通道上激活自校准。这是一步校准，完成此任务后，返回正常模式，即MD1和MD0皆为0。开始校准时 $\overline{\text{DRDY}}$ 输出脚或 $\overline{\text{DRDY}}$ 位为高电平，自校准后又回到低电平，这时，在数据寄存器产生一个新的有效字。零标度校准是在输入端内部短路（零输入）和选定的增益下完成的；满标度校准是在选定的增益下及内部产生的 V_{REF} /选定增益条件下完成的
1	0	零标度系统校准。在通信寄存器的CH1和CH2选中的通道上激活零标度系统校准。当这个校准序列时，模拟输入端上的输入电压在选定的增益下完成校准。在校准期间，输入电压应保持稳定。开始校准时 $\overline{\text{DRDY}}$ 输出或 $\overline{\text{DRDY}}$ 位为高电平，零标度系统校准完成后又回到低电平，这时，在数据寄存器上产生一个新的有效字。校准结束时，器件回到正常模式，即MD1和MD0皆为0
1	1	满标度系统校准：在选定的输入通道上激活满标度系统校准。当这个校准序列时，模拟输入端上的输入电压在选定的增益下完成校准。在校准期间，输入电压应保持稳定。开始校准时 $\overline{\text{DRDY}}$ 输出或 $\overline{\text{DRDY}}$ 位为高电平，满标度系统校准完成后又回到低电平，这时，在数据寄存器上产生一个新的有效字。校准结束时，器件回到正常模式，即MD1和MD0皆为0

G2-G0 增益选择位。这些位负责片上的PGA的增益设置，如表10。

表10 增益选择

G2	G1	G0	增益设置
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

$\overline{\text{B/U}}$ 单极性/双极性工作。“0”表示选择双极性操作，“1”表示选择单极性工作。

BUF 缓冲器控制。“0”表示片内缓冲器短路，缓冲器短路后，电源电流降低。此位处于高电平时，缓冲器与模拟输入串联，输入端允许处理高阻抗源。

FSYNC 滤波器同步。该位处于高电平时，数字滤波器的节点、滤波器控制逻辑和校准控制逻辑处于复位状态下，同时，模拟调制器也被控制在复位状态下。当处于低电平时，调制器和滤波器开始处理数据，并在 $3 \times (1/\text{输出更新速率})$ 时间内（也就是滤波器的稳定时间）产生一个有效字。FSYNC不影响数字接口，也不使 $\overline{\text{DRDY}}$ 输出复位（如果它是低电平）。

3.2.3 时钟寄存器（RS2、RS1、RS0 = 0、1、0）；上电/复位状态：05Hex

时钟寄存器是一个可以读/写数据的8位寄存器。表11为时钟寄存器各位的说明。

表11 时钟寄存器

ZERO(0)	ZERO(0)	ZERO(0)	CLKDIS(0)	CLKDIV(0)	CLK(1)	FS1(0)	FS0(1)
---------	---------	---------	-----------	-----------	--------	--------	--------

ZERO 必须在这几位上写零，以确保AD7705/AD7706正确操作。否则，会导致器件的非指定操作。

CLKDIS 主时钟禁止位。逻辑“1”表示阻止主时钟在MCLK OUT引脚上输出。禁止时，MCLK OUT输

出引脚处于低电平。这种特性使用户可以灵活地使用MCLK OUT引脚，例如可将MCLK OUT做为系统内其它器件的时钟源，也可关掉MCLK OUT，使器件具有省电性能。当在MCLK IN上连一个外部主时钟，AD7705/AD7706继续保持内部时钟，并在CLKDIS位有效时仍能进行正常转换。当在MCLK IN和MCLK OUT之间接一个晶体振荡器或一个陶瓷谐振器，则当CLKDIS位有效时，AD7705/AD7706时钟将会停止，也不进行模数转换。

CLKDIV 时钟分频器位。CLKDIV置为逻辑1时，MCLK IN引脚处的时钟频率在被AD7705/AD7706使用前进行2分频。例如，将CLKDIV置为逻辑1，用户可以在MCLK IN和MCLK OUT之间用一个4.9152MHz的晶体，而在器件内部用规定的2.4576MHz进行操作。CLKDIV置为逻辑0，则MCLK IN引脚处的频率实际上就是器件内部的频率。

CLK 时钟位。CLK位应根据AD7705/AD7706的工作频率而设置。如果转换器的主时钟频率为2.4576MHz（CLKDIV=0）或为4.9152MHz（CLKDIV=1），CLK应置“0”。如果器件的主时钟频率为1MHz（CLKDIV=0）或2MHz（CLKDIV=1），则该位置“1”。该位为给定的工作频率设置适当的标度电流，并且也（与FS1和FS0一起）选择器件的输出更新率。如果CLK没有按照主时钟频率进行正确的设置，则AD7705/AD7706的工作将不能达到指标。

FS1，FS2 滤波器选择位，它与CLK一起决定器件的输出更新率。表12显示了滤波器的第一陷波和-3dB频率。片内数字滤波器产生 sinc^3 （或 $\sin x/x^3$ ）滤波器响应。与增益选择一起，它也决定了器件的输出噪声。改变了滤波器的陷波以及选定的增益将影响分辨率。表1至表4示出了滤波器的陷波频率和增益对输出噪声和器件分辨率的影响。器件的输出数据率（或有效转换时间）等于由滤波器的第一个陷波选定的频率。例如，如果滤波器的第一个陷波选在50Hz，则每个字的输出率为50Hz，即每2ms输出一个新字。当这些位改变后，必须进行一次校准。

达到满标度步进输入的滤波器的稳定时间，在最坏的情况下是 $4 \times (1/\text{输出数据率})$ 。例如，滤波器的第一个陷波在50Hz，则达到满标度步进输入的滤波器的稳定时间是80ms（最大）。如果第一个陷波在500Hz，则稳定时间为8ms（最大）。通过对步进输入的同步，这个稳定时间可以减少到 $3 \times (1/\text{输出数据率})$ 。换句话说，如果在FSYNC位为高时发生步进输入，则在FSYNC位返回低后 $3 \times (1/\text{输出数据率})$ 时间内达到稳定。

-3dB频率取决于可编程的第一个陷波频率，按照以下关系式：

$$\text{滤波器} - 3\text{dB频率} = 0.262 \times \text{滤波器第一个陷波频率}$$

表12 输出更新速率

CLK*	FS1	FS0	输出更新率	滤波器-3dB截止频率
0	0	0	20Hz	5.24Hz
0	0	1	25Hz	6.55Hz
0	1	0	100Hz	26.2Hz
0	1	1	200Hz	52.4Hz
1	0	0	50Hz	13.1Hz
1	0	1	60Hz	15.7Hz
1	1	0	250Hz	65.5Hz
1	1	1	500Hz	131Hz

* 假定MCLK IN脚的时钟频率正确，CLKDIV位的设置也是适当的。

3.2.4 数据寄存器（RS2、RS1、RS0 = 0、1、1）

数据寄存器是一个16位只读寄存器，它包含了来自AD7705/AD7706最新的转换结果。如果通信寄存器将器件设置成对该寄存器写操作，则必定会实际上发生一次写操作以使器件返回到准备对通信寄存器的写

操作，但是向器件写入的16位数字将被AD7705/7706忽略。

3.2.5 测试寄存器 (RS2、RS1、RS0 = 1、0、0); 上电/复位状态 : 00 Hex

测试寄存器用于测试器件时。建议用户不要改变测试寄存器的任何位的默认值(上电或复位时自动置入全0)，否则当器件处于测试模式时，不能正确运行。

3.2.6 零标度校准寄存器 (RS2、RS1、RS0 = 1、1、0); 上电/复位状态 : 1F4000 Hex

AD7705/AD7706包含几组独立的零标度寄存器，每个零标度寄存器负责一个输入通道。它们皆为24位读/写寄存器，24位数据必须被写之后才能传送到零标度校准寄存器。零标度寄存器和满标度寄存器连在一起使用，组成一个寄存器对。每个寄存器对对应一对通道，见表7。当器件被设置成允许通过数字接口访问这些寄存器时，器件本身不再访问寄存器系数以使输出数据具有正确的尺度。结果，在访问校准寄存器(无论是读/写操作)后，从器件读得的第一个输出数据可能包含不正确的数据。此外，数据校准期间，校准寄存器不能进行写操作。这类事件可以通过以下方法避免：在校准寄存器开始工作前，将模式寄存器的FSYNC位置为高电平，任务结束后，又将其置为低电平。

3.2.7 满标度校准寄存器 (RS2、RS1、RS0 = 1、1、1); 上电/复位状态 : 5761AB Hex

AD7705/AD7706包含几个独立的满标度寄存器，每个满标度寄存器负责一个输入通道。它们皆为24位读/写寄存器，24位数据必须被写之后才能传送到满标度校准寄存器。满标度寄存器和零标度寄存器连在一起使用，组成一个寄存器对。每个寄存器对对应一对通道，见表7。当器件被设置成允许通过数字接口访问这些寄存器时，器件本身不再访问寄存器系数以使输出数据具有正确的尺度。结果，在访问校准寄存器(无论是读/写操作)后，从器件读得的第一个输出数据可能包含不正确的数据。此外，数据校准期间，校准寄存器不能进行写操作。这类事件可以通过以下方法避免：在校准寄存器开始工作前，将模式寄存器的FSYNC位置为高电平，任务结束后，又将其置为低电平。

3.3 校准过程

前面已提到，AD7705/AD7706包括很多种校准类型，表13总结了这些校准类型、操作内容及操作时间。有两种方法判断校准是否结束。第一种方法是：监视 $\overline{\text{DRDY}}$ ，若 $\overline{\text{DRDY}}$ 返回低电平，则说明校准过程已经结束，同时也表明数据寄存器中有一个新的有效数据，这一新的数据就是校准结束后的一次正常的转换结果。第二种方法就是：监视设置寄存器的MD1、MD0位，若MD1、MD0回到“0”(校准后，MD1、MD0返“0”)，则表明校准过程已经结束，这种方法不能提示数据寄存器中是否有新的转换结果，但它比第一种判断方法在时间上要早，也就是能更快地知道校准是否结束。Mode位(即MD1、MD0)返“0”前的持续时间如表13所示， $\overline{\text{DRDY}}$ 回到低电平的过程则包括一次正常的转换时间和使第一次转换结果具有正确刻度的延迟时间 t_p ， t_p 不超过 $2000 \times t_{\text{CLKIN}}$ 。这两种判断方法所需时间如下表。

表13 校准过程

校准类型	MD1,MD0	校准序列	置方式位的时间	置 $\overline{\text{DRDY}}$ 的时间
自校准	0, 1	内部零标度校准@选定增益+ 内部满标度校准@选定增益	$6 \times 1/\text{输出频率}$	$9 \times 1/\text{输出频率} + t_p$
零标度系统校准	1, 0	使用AIN进行零标度校准@选定增益	$3 \times 1/\text{输出频率}$	$4 \times 1/\text{输出频率} + t_p$
满标度系统校准	1, 1	使用AIN进行满标度校准@选定增益	$3 \times 1/\text{输出频率}$	$4 \times 1/\text{输出频率} + t_p$

3.4 电路说明

AD7705/AD7706是一种片内带数字滤波的 - A/D转换器，旨在为宽动态范围测量、工业控制或工艺控制中的低频信号的转换而设计的。它包括一个 - （或电荷平衡）ADC、片内带静态RAM的校准微控制器、时钟振荡器、数字滤波器和一个双向串行通信端口。该器件的电源电流仅为320 μ A，使得它理想地用于电池供电的仪器中。器件具有两种可选电源电压范围分别是2.7 ~ 3.3V或4.75 ~ 5.25V。

AD7705包括2个可编程增益全差分模拟输入通道，AD7706包括3个伪差分模拟输入通道。输入通道的可选增益为1、2、4、8、16、32、64和128，当基准输入电压为2.5V时允许器件接受0mV~+20mV和0V~+2.5V之间的单极性信号或±20mV至±2.5V范围内的双极性信号。基准电压为1.225V时，在单极性模式下，输入范围是0mV~+10 mV至0V~+1.225V，双极性模式下，输入范围是±10mV~±1.225V。说明：对AD7705而言双极性输入范围是相对于AIN（-）的，对AD7706而言是相对于COMMON 的而不是对GND的。

输入到模拟输入端的信号被持续采样，采样频率由主时钟MCLK IN的频率和选定的增益决定。电荷平衡A/D转换（ $\Sigma\Delta$ 调制器）将采样信号转化为占空比包含数字信息的数字脉冲链。模拟输入端的可编程增益功能配合 $\Sigma\Delta$ 调制器，修正输入的采样频率，以获得更高的增益。Sinc³低通数字滤波器处理 $\Sigma\Delta$ 调制器的输出并以一定的速率更新输出寄存器，这速率由滤波器第一个陷波的频率决定。输出数据可以从串行端口上随机地或周期性地读出，读出速率可为不超过输出寄存器更新速率的任意值。数字滤波器的第一个陷波频率（以及-3dB频率）可以通过设置寄存器的FS0和FS1编程。当主时钟的频率为2.4576MHz时，第一陷波频率的可编程范围为50Hz~500Hz，-3dB频率的范围为13.1Hz~131Hz。主时钟频率为1 MHz时，第一陷波频率的可编程范围为20Hz~200Hz，-3dB频率的范围为5.24Hz~52.4Hz。

图10是AD7705的基本连接电路图，如图所示，模拟电压为+5V；精密的+2.5V基准电压AD780为器件提供基准源。在数字信号这边，器件被配置成三线工作， \overline{CS} 接地。石英晶体或陶瓷谐振器提供主时钟源。在绝大多数情况下，需要在晶体或谐振器上连接一个电容器以保证在基本工作频率的泛音时，不产生振荡。电容器的电容值随制造商的要求而变化。此配置同样适用于AD7706。

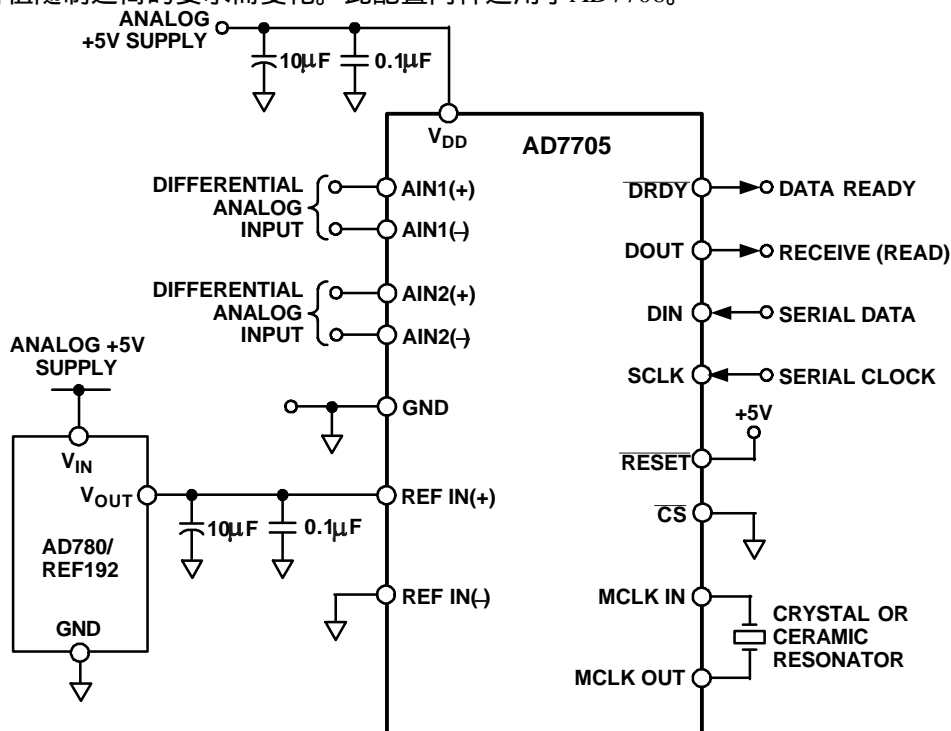


图10 AD7705的基本连接电路图

3.5 模拟输入

3.5.1 模拟输入范围

AD7705包括2个模拟输入对，即AIN (+)，AIN (-) 和AIN2 (+)，AIN2 (-)。输入对提供可编程增益、可处理单、双极性输入信号的差分输入通道。应注意，双极性输入信号以各自的AIN (-) 端为参考。AD7705包括3个伪差分模拟输入对，AIN1、AIN2和AIN3，这些输入对以器件的COMMON输入端为参考。

在非缓冲模式下，共模输入范围是从GND到 V_{DD} 。模拟输入电压的绝对值处在GND-30mV和 $V_{DD}+30\text{mV}$ 之间。这就表明器件可以处理所有增益的单、双极性输入信号。25℃时，在不使性能下降的情况下，模拟输入可以达到绝对电压GND-200mV，但漏电流 (leakage-current) 随温度上升而显著增大。在缓冲模式下，模拟输入端能处理更大的电源阻抗，但绝对输入电压范围被限制在GND+50 mV到 $V_{DD}+30\text{mV}$ 之间，它还限制共模输入范围。这就是说，在缓冲模式下，双极性输入范围的容许增益要受到限制。须仔细设置共模电压和输入电压范围，以确保它们不超出上述极限，否则，器件的线性性能将会降级。

非缓冲模式下，模拟输入端直接连接7pF的采样电容器， C_{SAMP} 。直流输入漏电流的最大值为1nA。其结果是，模拟输入端连接了一个以输入采样速率转换的动态负载（见图11）。采样速率取决于主时钟频率和选定的增益值。在每个输入循环中， C_{SAMP} 由AIN (+) 充电，然后向AIN (-) 放电。开关的有效接通电阻 (R_{SW}) 的典型值是7k Ω 。

每个输入采样周期， C_{SAMP} 必须通过 R_{SW} 和外部电源阻抗为其充电。所以在非缓冲模式下，源阻抗意味着对 C_{SAMP} 较长的充电时间，这可能导致器件的增益误差。表14列出了非缓冲模式下，容许的外部电阻/电容值。说明：表中的电容值是外部电容值加上器件引脚和引脚支架的10 pF电容的总和。

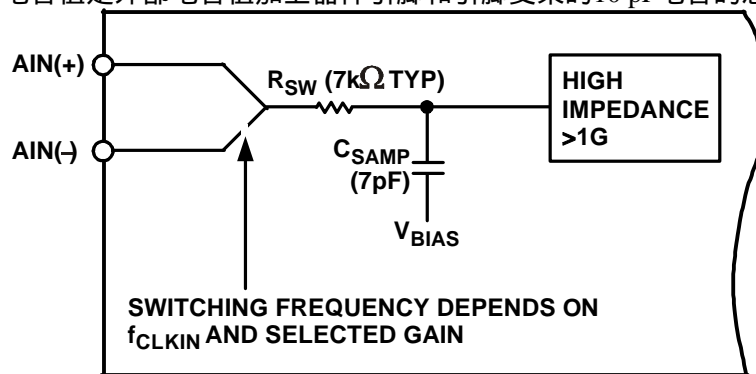


图11 非缓冲模拟输入结构

表14 无16位增益误差的外部电阻及电容值（非缓冲模式）

增益	外部电容 (pF)					
	0	50	100	500	1000	5000
1	368k	90.6k	54.2k	14.6k	8.2k	2.2k
2	177.2k	44.2k	26.4k	7.2k	4k	1.12k
4	82.8k	21.2k	12.6k	3.4k	1.94k	540k
8-128	35.2k	9.6k	5.8k	1.58k	880k	240k

缓冲模式下，从模拟输入端看入的是片内缓冲放大器的高阻抗输入级， C_{SAMP} 通过缓冲放大器充电，这样，电源阻抗就不影响 C_{SAMP} 的充电。缓冲放大器有1nA的偏移漏电流。在这种缓冲模式下，大电源阻抗会导致小的直流偏移电压，但不会引起增益误差。

3.5.2 输入采样率

AD7705/AD7706的调制器的采样频率维持在 $f_{CLKIN}/128$ (19.2kHz时， $f_{CLKIN} = 2.4576\text{MHz}$)，而与增益选

择无关。但是，大于1的增益是通过在每个调制器周期中多重输入采样以及基准电容与输入电容之比的倍数，两者组合得到的。作为多重采样的结果，输入采样率随选定的增益而变化（见表15）。在缓冲模式下，输入端在接到输入采样电容器之前就已经得到缓冲；非缓冲模式下，模拟输入端直接连到采样电容器，有效输入阻抗是 $1/C_{\text{SAMP}} \times f_s$ ， C_{SAMP} 为输入采样电容器， f_s 是输入采样率。

表15 输入采样频率与增益的关系

增益	输入采样频率
1	$f_{\text{CLKIN}}/64$ (38.4kHz @ $f_{\text{CLKIN}}=2.4576\text{MHz}$)
2	$2 \times f_{\text{CLKIN}}/64$ (76.8kHz @ $f_{\text{CLKIN}}=2.4576\text{MHz}$)
4	$4 \times f_{\text{CLKIN}}/64$ (76.8kHz @ $f_{\text{CLKIN}}=2.4576\text{MHz}$)
8-128	$8 \times f_{\text{CLKIN}}/64$ (307.2kHz @ $f_{\text{CLKIN}}=2.4576\text{MHz}$)

3.5.3 单极性/双极性输入

无论是单极性还是双极性电压，AD7705/7706的模拟输入端都能接受。双极性输入并不表示器件能够处理模拟输入端的负电压，因为模拟输入电压不能小于-30mV，以确保器件的正常工作。输入通道是全差分的。因此，对于AD7705， $\text{AIN}(+)$ 输入电压以各自的 $\text{AIN}1(-)$ 为基准；对于AD7706，加到模拟输入通道的电压以COMMON为基准。例如，若 $\text{AIN}1(-)=2.5\text{V}$ ，单极性输入，增益为2， $V_{\text{REF}}=+2.5\text{V}$ ，那么 $\text{AIN}1(+)$ 端的输入电压范围是 $+2.5 \sim +3.75\text{V}$ ；若 $\text{AIN}1(-)=+2.5\text{V}$ ，AD7705配置成双极性输入，增益为2， $V_{\text{REF}}=+2.5\text{V}$ ，那么 $\text{AIN}1(+)$ 端的模拟输入电压范围是 $+1.25 \sim +3.75\text{V}$ （也就是 $2.5\text{V} \pm 1.25\text{V}$ ）。选择单极性还是双极性输入是由设置寄存器的 $\bar{\text{B}}/\text{U}$ 位来决定的。无论是在单极性还是双极性输入状态下工作，都不改变任何输入信号的状态，它只改变输出数据的代码和转换函数上的校准点。

3.5.4 基准输入

$\text{REFIN}(+)$ 和 $\text{REFIN}(-)$ 为AD7705/AD7706提供差分基准输入功能，差分输入的共模范围是 $\text{GND} \sim V_{\text{DD}}$ 。当AD7705/AD7706以5V电源电压工作时，基准电压为 $+2.5\text{V}$ ；电源电压为3V时，基准电压为 $+1.225\text{V}$ 。当 V_{REF} 降至1V时，AD7705/AD7706仍然可以工作，但随着性能的降低，输出噪声会变大。为确保器件能够准确无误的工作，必须使 $\text{REFIN}(+)$ 大于 $\text{REFIN}(-)$ 。

类似于非缓冲模式下的模拟输入端，二个基准输入端都提供高阻抗和动态负载。在整个温度范围内，直流输入端电流的最大值为 $\pm 1\text{nA}$ ，此时，电源电阻可能引起器件的增益误差。在这种情况下，采样开关电阻典型是 $5\text{k}\Omega$ ，而基准电容器（ C_{REF} ）随增益而变化。基准输入的采样率为 $f_{\text{CLKIN}}/64$ 且不随增益而改变。增益为1和2时， C_{REF} 为 8pF ；增益为16时， C_{REF} 为 5.5pF ；当增益为32时， C_{REF} 是 4.25pF ；增益为64时， C_{REF} 为 3.625pF ；而当增益达到128时， C_{REF} 为 3.3125pF 。

表1到4列出的是模拟输入信号为0V时的输出噪声特性，它有效地消除了基准噪声的影响。在整个输入范围内，为获得如噪声表中所示的噪声特性，需要为AD7705/AD7706配置一个低噪声基准源。如果带宽内的基准噪声过大，AD7705/AD7706的性能就会降低。当电源电压为5V时，为AD7705推荐的基准电压源包括AD780、REF43、REF192；当电源电压为3V时，推荐的基准电压源包括AD589和AD1580。为进一步降低噪声，通常建议对这些基准电压输出去耦。

3.6 数字滤波

AD7705/AD7706包含一个片内低通数字滤波器，用它处理器件的 $\bar{\text{B}}/\text{U}$ 调制器的输出信号。所以，该器件不仅提供模数转换功能，而且还具备一定的滤波能力。数字滤波与模拟滤波存在许多系统差异，用户务必注意。

一方面，数字滤波发生在模-数转换之后，它能消除模数转换过程中产生的噪声，而模拟滤波不能做到这一点。此外，数字滤波比模拟滤波更容易实现可编程性。依靠数字滤波器设计，用户可以编程截断频率和输出更新率。

另一方面，在模拟信号进入ADC之前，模拟滤波能够消除重叠在模拟信号上的噪声，数字滤波则不能做到这一点，并且寄生在信号上的噪声峰值接近满标度时，即使信号的平均值在极限范围内也有可能使模

拟调制器和数字滤波器达到饱和状态。为了解决这个问题，在AD7705/AD7706的 - 调制器和数字滤波器内部，建立一个峰值储备，这允许超出模拟输入范围5%。若噪声信号比这还要大，那么就得考虑输入端的模拟滤波，或降低输入通道电压，使输入电压的范围为模拟输入通道电压满标度范围的一半。这样，动态范围降低50%，将使超范围性能增加1倍。

3.6.1 滤波器特性

AD7705/ AD7706的数字滤波器是一个低通 $(\sin x/x)^3$ 滤波器（也称为 sinc^3 ），其在Z域的转换功能可描述为：

$$H(z) = \left| \frac{1}{N} \times \frac{1 - Z^{-N}}{1 - Z^{-1}} \right|^3$$

在频域可描述为：

$$H(f) = \left| \frac{1}{N} \times \frac{\text{SIN}(N \times \pi \times f / f_s)}{\text{SIN}(\pi \times f / f_s)} \right|^3$$

这里，N是调制率与输出率之比。

相位响应：

$$\angle H = -3\pi(N-2) \times f / f_s \text{ Rad}$$

图4是截止频率为15.72Hz时的滤波器频率响应，这一频率与滤波器的第一个陷波频率（60Hz）对应。这曲线显示从直流到390Hz。在数字滤波器的采样频率的两边这个频率曲线各重复一次。这种滤波器响应与一个平均滤波器的相似。数字滤波器的输出速率与第一个陷波的位置相对应。因此，在图12中的输出速率为60Hz，滤波器的第一个陷波的频率为60Hz。这种 $(\sin x/x)^3$ 滤波器的陷波位置多次在第一个陷波的倍数处重复。在这些陷波处滤波器提供大于100dB的衰减。数字滤波器的截止频率由时钟寄存器的FS0和FS1位决定。通过FS0和FS1编制不同的截止频率不会改变滤波器响应的形状，它只改变陷波的频率。器件的输出更新率和第一个陷波的频率相对应。

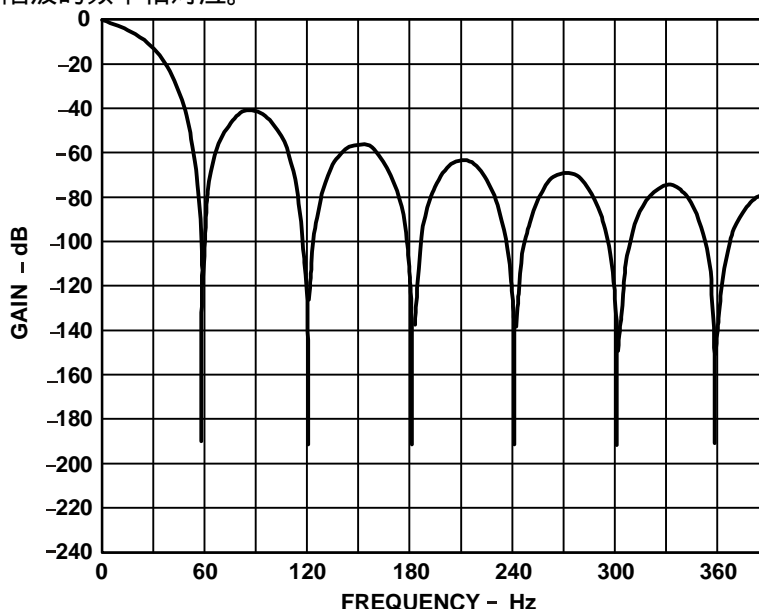


图12 AD7705滤波器的频率响应

由于AD7705/ AD7706包含这个片内低通滤波，其稳定时间与输入阶跃功能有关，而输出端的数据直到稳定时间消逝以后才有效。稳定时间依赖于为滤波器选定的输出速率。满标度阶跃输入时滤波器的稳定时间可以高达输出数据周期的四倍。对于同步阶跃输入（使用FSYC功能）稳定时间是输出数据周期的3倍。

3.6.2 后置滤波 (post-filtering)

当 $f_{\text{clk in}}$ 为2.4576 MHz 时,片上调制器提供19.2kHz的采样输出速率。然后,片内的数字滤波器对这些采样进行取样后,提供一定输出速率的数据。因为输出速率比Nyquist标准要高,所以对于给定了带宽和噪声性能的应用来说,这一输出速率能满足大多数应用要求。但对于有些在给定带宽和噪声性能时需要更高的输出速率的特殊应用来说,则要在AD7705/ AD7706的数字滤波器之后配置后置滤波功能。例如,若带宽要求是7.86Hz,而所需的更新率是100Hz;则由于当数据的输出速率为100Hz时给出的-3dB带宽是26.2Hz。后置滤波可以应用在这种场合,它可以将带宽减小至7.86Hz,同时减小了输出噪声,而保持输出率仍为100Hz。后置滤波还可以用来降低带宽小于13.1Hz的器件产生的输出噪声,增益为128,带宽为13.1Hz时,输出噪声的均方根值是450nV。这是器件主要的噪声,即白噪声,并且因为输入被削波,因而噪声具有平坦的频率响应。通过将带宽减少到低于13.1Hz,在最终的通带内的噪声将被减小。带宽以2的倍数减少将导致输出噪声(rms)以近于1.25的倍数减小。这一附加的后置滤波使得稳定时间变得更长。

3.7 模拟滤波

前面已提到,对调制器采样频率的整数倍,数字滤波器不能起到抑制作用。但是,因为AD7705/AD7706的超采样率(oversampling ratio),这些波段只占整个频谱的一小部分,大部分宽频噪声都被滤掉了。这就是说,与没有片内滤波的传统转换器相比,AD7705/AD7706的前端模拟滤波要求已大大降低。此外,由于该器件的100dB的共模抑制已达到数kHz,这一频段范围内的噪声将大大降低。但是在具体应用中,可能需要从数字滤波器能通过的频段上消除不需要的频率,需要在AD7705/AD7706的前端加上衰减功能;在另外一些应用中,可能要在AD7705/AD7706的前端进行模拟滤波,以免有用频带外的差分噪声信号使模拟调制器达到饱和。

在非缓冲模式下,如果在AD7705/AD7706的前端置有无源元件,必须确保电源阻抗足够低,以免在系统中引入增益误差。这极大地限制了AD7705/AD7706前端无源反混叠滤波(passive antialiasing filtering)在非缓冲模式下的使用。但是当器件在缓冲模式下工作时,大电源电阻只会产生一个很小的直流偏移误差(10k 电源电阻引起不到10 μ V的偏移误差)。因此,如果系统需要在AD7705/AD7706前端使用无源模拟滤波,建议使器件在缓冲模式下工作。

3.8 校准

AD7705/AD7706提供了多种校准选择,具体选择哪种校准可以由设置寄存器的MD1和MD0位来编程。一旦给MD1和MD0位写入数据,一个校准周期就开始了。通过校准消除器件上产生的偏移和增益误差。当工作环境温度和电压发生变化时,就应对器件进行例行校准,若选定的增益、滤波器陷波或单极性/双极性输入范围发生变化时。也应进行校准。

校准分为自校准和系统校准。对选定的通道进行全域校准时,片上微控制器必须在两种不同的输入状态下记录调制器的输出,也就是“零标度”和“满标度”点。这些点是在校准过程中,在调制器的输入端输入不同的电压值后,器件执行一次转换而得到的结果。当然,校准精度也只能和正常模式下提供的噪声水平相当。零标度校准转换的结果存储在零标度校准寄存器中,而满标度校准转换的结果存在满标度校准寄存器中。依靠这些数据,微控制器就能计算出转换器的输入-输出转换函数的偏移和增益斜率。器件以33位分辨率来确定16位转换结果。

3.8.1 自校准

通过向设置寄存器的MD1和MD0写入相应值(0,1),器件开始自校准。在单极性输入信号范围内,用来确定校准系数的零标度点是用差分输入对的输入端在器件内部短路(即,对于AD7705, $A_{IN}(+)=A_{IN}(-)$)。

(-) = 内部偏置电压；对于AD7706，AIN = COMMON = 内部偏置电压。增益可编程放大器（PGA）设置为用于零标度校准转换时选定的增益（由通信寄存器内的G1和G0位设置）。满标度标准转换是在一个内部产生的 V_{REF} 电压和选定增益的条件下完成的。校准持续时间是 $6 \times 1/\text{输出速率}$ 。它是由零标度和满标度校准的 $3 \times 1/\text{输出速率}$ 时间的总和。校准完成后，MD1和MD0自动返回初始值（0，0），这是校准过程结束的最早的提示。校准开始时， \overline{DRDY} 处于高电平，直到数据寄存器中有新的有效数据， \overline{DRDY} 才回到低电平， \overline{DRDY} 从高电平到低电平这个过程的持续时间是 $9 \times 1/\text{输出速率}$ ，其中，零标度校准时间、满标度校准时间和设置校准系数时间各为 $3 \times 1/\text{输出速率}$ 。所以，从时间上来说，MD1和MD0给出的校准完成提示要比 \overline{DRDY} 位给出的提示早 $3 \times 1/\text{输出速率}$ 。如果 \overline{DRDY} 在校准指令写入设置寄存器之前处于低电平，可能需要一个额外的调制周期的时间， \overline{DRDY} 才能变为高电平，由此显示校准已经开始，因此，在最后一个字节写入设置寄存器之后，可以对 \overline{DRDY} 不予理会。

对于双极性输入范围的自校准，整个过程与上述过程相似，零标度和满标度点几乎与单极性输入的一样，但由于AD7705/AD7706是配置成双极性输入工作的，输入点范围的缩短，实际上处于转换函数的中间区域。

3.8.2 系统校准

通过系统校准，AD7705/AD7706可以对系统增益、偏移误差以及器件本身的内部误差进行补偿。系统校准执行和自校准一样的斜率系数计算，但用的电压值是系统对AIN输入端用于零和满标度校准的电压值。

系统校准的全过程分两个步骤进行，首先是ZS系统校准，接着进行FS系统校准。对于一次整个系统校准，零标度点必须在校准一开始首先被送到转换器，并且，需保持稳定直到校准结束。

ZS系统校准

系统的零标度电压值一经设定，通过向设置寄存器的MD1和MD0写入（1，0），就开始ZS系统校准。零标度系统校准在选定的增益下进行。零标度校准持续时间是 $3 \times 1/\text{输出速率}$ 。在校准过程中，MD0和MD1以及 \overline{DRDY} 的变化情况和自校准中的变化情况相似。不过，从校准命令发出至 \overline{DRDY} 变成低电平所需时间是 $4 \times 1/\text{输出速率}$ 。

FS系统校准

零标度点校准后，将满标度电压值施加给AIN端，然后向MD1和MD0分别写入（1，1），FS系统校准就开始了。同样，在校准开始之前，必须设定满标度电压值，并且在整个校准过程中，使之保持稳定。校准过程中，MD0和MD1以及 \overline{DRDY} 的变化过程同ZS系统校准过程。

在单极性模式下，系统校准是在转换函数的两个端点之间完成；在双极性模式下，它是在中标度（零差分电压）和正的满标度之间完成。

系统校准是分二步进行的，在全系统的校准序列已经完成之后，偏移和增益校准能自动执行，以调节系统零基准点或系统增益。校准系统偏移或增益两个参数中的任何一个，不会影响另一个。

当器件在非缓冲模式下使用时，系统校准还可以用来消除模拟输入端由电源阻抗引入的任何误差。模拟前端一个简单的R、C反重叠滤波器就可能在模拟输入电压引入增益误差，但是系统校准可以消除这种误差。

3.9 输入范围和偏移的限制

无论何时应用系统校准模式，偏移量和输入电压范围总是有限的。而决定偏移量和可调节的增益范围的主要要求是：正满标度输入电压的最大值 $< 1.05 \times V_{DEF}/\text{GAIN}$ ，这可使输入电压极限值高于额定值5%。AD7705/AD7706的模拟调制器的最大容限（headroom）确保器件在超出额定电压5%的情况下仍能正常工作。

作。

在单极性/双极性模式下，输入范围的最小值为 $0.8 \times V_{REF}/GAIN$ ，最大值为 $2.1 \times V_{REF}/GAIN$ ，但是这一范围还得考虑正满标度的极限值。可调偏移量取决于器件用的是单极性模式还是双极性模式。同样，偏移量要考虑正满标度的极限值。在单极性模式下，负偏移有相当大的灵活性。在选择系统的零标度和满标度的极限值时，必须确保偏移量与输入范围的和不超过 $1.05 \times V_{REF}/GAIN$ 。关于这点最好的说明是看以下几个例子。

如果器件用于单极性模式，需要的输入范围是 $0.8 \times V_{REF}/GAIN$ ，则系统校准可以设置的偏移范围从 $-1.05 \times V_{REF}/GAIN$ 至 $+0.25 \times V_{REF}/GAIN$ 。如果器件用于单极性模式，需要的输入范围是 $1 \times V_{REF}/GAIN$ ，则系统校准可以设置的偏移范围为 $-1.05 \times V_{REF}/GAIN$ 至 $0.05 \times V_{REF}/GAIN$ 。同样地，如果器件用于单极性模式而要求除去 $0.2 \times V_{REF}/GAIN$ 的偏移，则系统校准可将输入范围置为 $0.85 \times V_{REF}/GAIN$ 。

如果器件用于双极性模式，需要的输入范围是 $\pm 0.4 \times V_{REF}/GAIN$ ，则系统校准可设置的偏移范围从 $-0.65 \times V_{REF}/GAIN$ 至 $+0.65 \times V_{REF}/GAIN$ 。如果器件用于双极性模式，需要的输入范围是 $V_{REF}/GAIN$ ，则系统校准可设置的偏移范围从 $-0.05 \times V_{REF}/GAIN$ 至 $+0.05 \times V_{REF}/GAIN$ 。同样地，如果器件用于双极性模式，而要求除去 $\pm 0.2 \times V_{REF}/GAIN$ 的偏移，则系统校准可将输入范围设置为 $\pm 0.85 \times V_{REF}/GAIN$ 。

3.10 上电和校准

上电时，AD7705/AD7706内部进行复位，即将内部寄存器设置为一已知状态。上电或复位后，所有寄存器都回到默认值状态，默认值包含校准寄存器的额定校准系数。为确保AD7705/AD7706的正确校准，上电后应进行例行校准。

AD7705/AD7706的功耗和温度漂移都很低，在进行初始校准前，无须预热。但是如果采用外部基准，在校准开始之前，外部基准必须稳定下来。类似地，如果AD7705/AD7706的时钟信号是由两个MCLK引脚间的晶体或陶瓷谐振器产生的，那么振荡器应在校准开始之前启动。见图14。

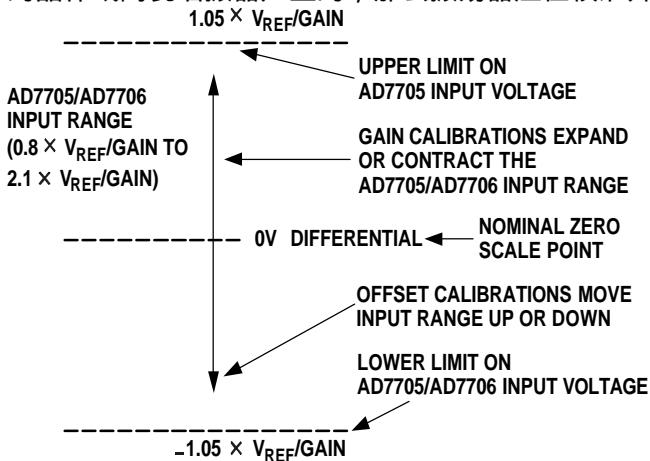


图13 输入范围和偏移的限制

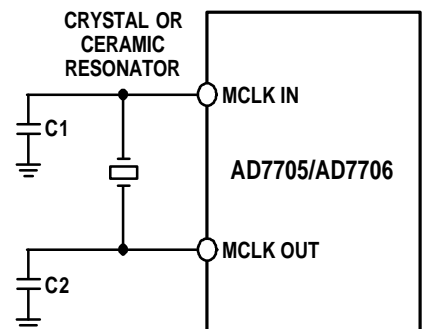


图14 晶体或陶瓷谐振器与AD7705/AD7706的连接

四、AD7705/AD7706的使用

4.1 时钟和振荡器电路

AD7705/AD7706要求外部主时钟输入，这个主时钟输入可以是MCLK OUT脚不连接时，加在MCLK IN引脚上的一个外部CMOS兼容时钟信号，或者，如图6所示，在MCLK IN和MCLK OUT两个引脚之间连接一个频率合适的晶体或陶瓷谐振器。在此情况下，时钟电路作为振荡器工作，为AD7705/AD7706提供主时

钟信号。主时钟频率 f_{CLKIN} 直接影响输入采样频率、调制器采样频率、-3dB频率、输出更新率和校准时间。若主时钟频率降低一半，输入采样频率、调制器采样频率、-3dB频率、输出更新率都将低一半，而校准时间将增加一倍。此外，电源电流也与 f_{CLKIN} 有关，主时钟频率降低一半，数字部分的电源电流将减小一半，但不会影响通过模拟电路的电流。

在MCLK IN和MCLK OUT两个引脚之间配置一个晶体或陶瓷谐振器比采用在MCLK IN引脚处引入驱动时钟信号的工作电流大。这是因为片内振荡电路在使用晶体或陶瓷谐振器的情况下更活跃。因此，在MCLK IN引脚处施加一个外部时钟，而将MCLK OUT引脚空出不加负载时，可使AD7705/AD7706达到最小可能的电流值。

振荡器所消耗的额外电流的大小取决于很多因素，连接MCLK IN和MCLK OUT两个引脚间的电容器（C1和C2）的电容越大，消耗电流越大。注意不能超过晶体或陶瓷谐振器厂商推荐的电容值，这些值一般在30pF至50pF范围内。另一个影响因素是晶体的ESR值，一般，ESR值越低，消耗电流越小。

主时钟频率为2.4576MHz，电源电压为3V时，采用晶体或陶瓷谐振器作为振荡电路比采用外部时钟所需电流大50 μ A；主时钟频率不变，电源电压为5V时，前者所需典型电流值增加250 μ A。在此频率下，晶体/陶瓷谐振器的ESR值较小，并且不同的晶体和谐振器之间的差别很小。

当在1MHz的时钟频率下工作时，不同的晶体类型对应的ESR值差别很大。因此，不同晶体类型消耗的电流各异。 $V_{DD}=3V$ 时，用ESR为700 的晶体/陶瓷谐振器比外加时钟消耗的电流多20 μ A， $V_{DD}=5V$ 时，多200 μ A；当使用晶体的ESR=3000 时， $V_{DD}=3V$ 时和 $V_{DD}=5V$ 时所对应的电流增加值分别为100 μ A和400 μ A。

在振荡电路开始振荡之前，它还需要一个启动过程。 $V_{DD}=5V$ 时，晶体振荡器的频率为4.9512 MHz、2.4576MHz和1MHz所对应的启动时间分别是6ms、16 ms和20 ms。 V_{DD} 降为3V时，相同频率条件下，启动时间缩短20%。

电源电压为3V时，根据MCLK IN引脚处的负载电容，可以在晶体或谐振器两端跨接一个1M 的电阻，以使启动时间保持在大约20ms左右。

AD7705/AD7706的主时钟可从MCLK OUT引脚引出，加在此引脚的最大推荐负载为一个CMOS负载。当用晶体或陶瓷谐振器产生时钟信号时，可能需要把这个时钟作为系统的时钟源。在这种情况下，建议用CMOS缓冲器对MCLK OUT信号在加到系统电路之前进行缓冲。

4.2 系统同步

设置寄存器中的FSYNC位允许用户在不影响AD7705/AD7706设置状态的情况下，对调制器和数字滤波器进行复位。这就让用户能从一个已知时间点开始收集模拟输入的采样，也就是当FSYNC位从1变到0时。

FSYNC 置1时，数字滤波器和模拟调制器处于已知复位状态，此时AD7705/AD7706不处理任何输入采样。当将0写进FSYNC，调制器和滤波器不再处于复位状态，AD7705/AD7706又开始从下一个时钟沿收集采样。

FSYNC输入也可以用作允许器件在常规变换模式下工作的软件启动转换命令。在这种模式下，数据写入FSYNC，转换开始， \overline{DRDY} 下降沿提示转换完成。这一方案的缺点在于，每一个数据寄存器的数据更新都得考虑滤波器的稳定时间，因此，数据寄存器的更新速率要慢3倍。

由于FSYNC对数字滤波器进行复位，所以在有新字写入输出寄存器前，整个稳定时间必须结束。如果FSYNC为0时， \overline{DRDY} 处于低电平，FSYNC命令将不对 \overline{DRDY} 复位，使其变为高电平。这是因为数据寄存器中有一个还未读的字，在数据寄存器进行数据更新前， \overline{DRDY} 线将保持低电平。 \overline{DRDY} 线将停留在低

电平直到数据寄存器发生更新，在这时它将变高 $500 \times t_{CLKIN}$ 然后再回到低电平从数据寄存器数据使

\overline{DRDY} 信号变高，到滤波的稳态时间消逝（从FSYNC命令后）并数据寄存器中有一个数

\overline{DRDY} 才回到低。当FSYNC命令发出时 \overline{DRDY} 线高，则 \overline{DRDY} 线在滤波稳定时间已消逝后能回到低/F5

4.3 复位输入

复位输入电路复位片内寄存器、数据寄存器和模数调制器，而将片内寄存器置到默认状态。

\overline{RESET} 输入信号处于低电平时， \overline{DRDY} 处高电平时，AD7705/AD7706忽略发生任何故障。

\overline{RESET} 返回高电平时才开始输出数据。经过 $3 \times 1/\text{输出速率}$ 的时间后， \overline{DRDY} 返回低电平以指示数据寄存器中有新的有效数据，在默认状态下工作，一般，在一次 \overline{RESET} 命令后需设置所有的寄存器，并进行一次校准。

即使 \overline{RESET} 输入是低电平/片振荡器继续MCLK OUT引脚主时钟信号继续有效AD7705/AD7706提供系统时钟中，AD7705/AD7706在复位过程中，产生一个瞬断的

4.4 等待模式 /F5

在需要转换的情况下，通信寄存器的BY位允许将设备设置在等待模式下。

AD7705/AD7706保持所有寄存器（包括数据寄存器）中的内容。脱等待模式后， $3 \times 1/\text{输出速率}$ 时间后，数据寄存器中可有新的有效数据。

影响 \overline{DRDY} 位的状态。如果 \overline{DRDY} 处于高电平，而STBY处于低电平，它将保持高电平直到数据寄存器中有新的有效数据。如果 \overline{DRDY} 处于低电平，STBY也处于低电平，它将保持低电平直到数据寄存器被更新。如果在 \overline{DRDY} 为低电平时，器件进入等待模式（表明数据寄存器中有未读的有效数据），可以在等待模式下读出数据寄存器中的数据。读操作后， \overline{DRDY} 将回到高电平。

器件在等待模式下工作，减小了总电流，采用外部时钟且外部主时钟停止， $V_{DD}=5V$ 时，电流的典型值为 $9 \mu A$ ， $V_{DD}=3V$ 时，电流的典型值为 $4 \mu A$ 。外部时钟持续工作，在这两种电源电压下等待电流分别增加到 $150 \mu A$ ， $75 \mu A$ 。若用晶体或陶瓷谐振器作为时钟源，则5V和3.3V电源电压下的总电流分别是 $400 \mu A$ 和 $90 \mu A$ 。这是因为在等待模式下，片内振荡电路继续工作。这在由AD7705/AD7706提供系统时钟的应用中，是很重要的，这样即使在等待模式下，AD7705/AD7706仍能产生不间断的主时钟信号。

4.5 精确度

- ADC，象VFC和其它的ADC一样，不包含任何非单调源，本身提供无漏码功能。由于利用高质量的片内电容器，AD7705/AD7706能获得极好的线性，这种电容器的电容/电压系数很低。通过在输入级应用削波稳定技术，AD7705/AD7706还具有低输入漂移。为确保在工作温度范围内的良好性能，AD7705/AD7706使用数字校准技术以取得最小的偏移和增益误差。

4.6 漂移

AD7705/AD7706使用削波稳定技术使输入偏移量的漂移达到最小。注入到模拟开关器中的电荷和采样节点的直流漏电流是偏移电压漂移的主要来源。直流输入漏电流本质上与选定的增益无关。变换器的增益漂移主要取决于内部电容器的温度，它不受漏电流的影响。

因偏移的漂移或增益漂移而产生的测量误差可以通过下次校准时消除。使用系统校准还能够使信号调

节电路里的偏移和增益误差最小。积分或差分线性误差不受温度变化的影响。

4.7 电源

AD7705/AD7706的电源电压范围为2.7V~5.25V。为避免电流过大，在信号送到REF IN、AIN或逻辑输入引脚之前，应先给AD7705/AD7706供电。如果不可能这样做，则必须要限制流过这些引脚的电流。如果AD7705/AD7706和系统数字电路使用各自的电源，应先给AD7705/AD7706供电。如果不能保证这一点，限流电阻应和逻辑输入端串联以限制电流。器件的锁定电流（Latch-up current）大于100mA。

4.8 电源电流

AD7705/AD7706的电流消耗随电源电压（2.7V~5.25V）而变化。在器件内部有一个电流增高位，它使电流随工作条件而设置。这影响着模拟电路的电流。图15给出了 $f_{CLKIN}=1\text{MHz}$ 和 $f_{CLKIN}=2.4576\text{MHz}$ 时 I_{DD} 随 V_{DD} 而变化的典型曲线图（+25℃）。由图15可知， I_{DD} 随 V_{DD} 的减小而减小。通过使用外部主时钟或当使用片内振荡器电路时，通过优化外部元件可以使电源电流减小。图3、4、6和7显示了 I_{DD} 随增益、 V_{DD} 和时钟频率变化的曲线。

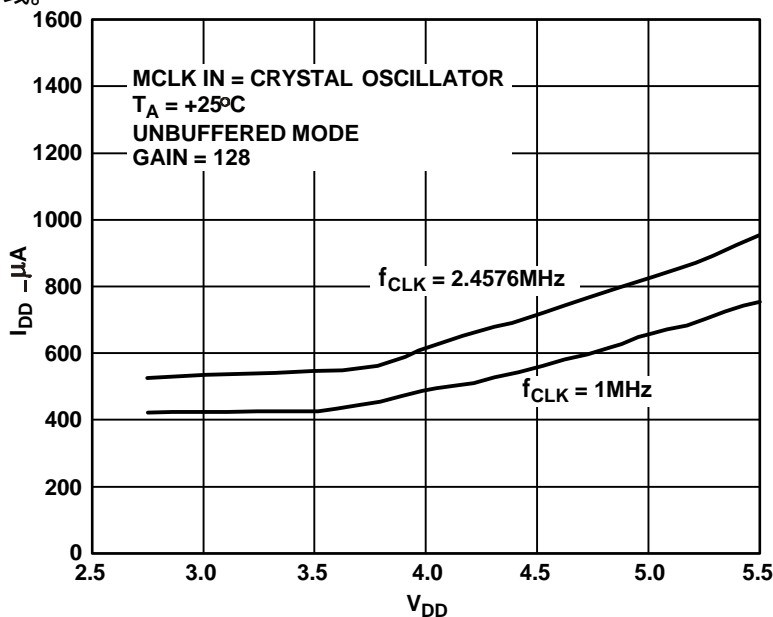


图15 I_{DD} 和 V_{DD} 的关系

4.9 接地及布线

由于模拟输入和基准输入是差分的，模拟调制器的大部分电压都是共模电压。AD7705/AD7706的良好共模抑制性能能消除这些共模输入信号里的共模噪声。数字滤波器能抑制供电电源产生的除了调制器采样频率整数倍的频率以外的宽带噪声。此外，数字滤波器还能消除模拟和基准输入信号里的噪声不使模拟调制器饱和。总之，AD7705/AD7706比传统的高分辨率的转换器更能不受噪声的干扰。但是，由于它的分辨率太高，而要求噪声电平太小，所以必须注意接地和电路布线。

AD7705的印制板电路必须按规格设计，以确保模拟区和数字区分开并各自限定在电路板上的一定区域。利用接地平面可以很容易地将它们分开。最好用腐蚀技术做接地平面，因为这样能使屏蔽性能最好。应只在一个地方将模拟和数字接地平面连接在一起，以避免出现接地环路。在系统中多个器件需要AGND-DGND连接的应用中，AD7705的模拟和数字接地平面应在尽量靠近AD7705的GND的星型接地点

连接。

应避免在器件下面走数字线，因为这样会造成片内噪声成倍增加。模拟接地平面应布在器件下面。AD7705/AD7706的电源线应用足够粗的以便降低线路阻抗，同时减少电源供电线的尖峰信号的影响。象主时钟类的快速跳变信号应用数字接地屏蔽，以免将噪声辐射到电路的其它部分。时钟信号不能在模拟输入信号附近通过。模拟信号和数字信号之间应避免相互交叉。电路板两面的线路应走成直角，这样可以降低电路板的馈通效应。采用微带线技术是最好的了，不过我们并不总是可以使用双面电路板的。应用这项技术时，电路板上元件的一边放在接地平面上，信号则放在电路板上焊接的一边。

使用高分辨率的ADC时，良好的去耦性能很重要。所有的模拟电源都应去耦，方法是：用10 μ F并联一个0.1 μ F的陶瓷电容器接GND去耦。为使去耦元件获得最佳效果，应使它们尽量靠近ADC，在ADC的正上方最为理想。所有的逻辑芯片都应用一个连在DGND上的0.1 μ F的电容器去耦。

4.10 AD7705/ AD7706的性能评估

AD7705/AD7706的推荐线路在有关的评估中已列出来了。这些经过评估的电路板组件包括一个完整的装配和评估板、文件、控制PC打印端口的软件以及在PC上分析它们的性能的软件。

AD7705/AD7706上噪声大小可能会影响器件的性能。软件评估包允许用户评估它的真实性能以及模拟输入信号的独立性。在测试模式下，应用这一方案在AD7705输入端内部提供零差分电压。而在AD7705外部，AIN(-)输入端应连接一个在共模范围内的电压，类似地，为了评估，AD7706 COMMON输入端应连接一个在共模范围内的电压。这一方案应在校准之后进行。

4.11 数字接口

如前所述，AD7705/AD7706的编程功能用片内寄存器的设置来控制。对这些寄存器的写/读操作通过器件的串行接口来完成。

AD7705/AD7706的串行接口包括5个信号：即 \overline{CS} 、SCLK、DIN、DOUT和 \overline{DRDY} 。DIN线用来向片内寄存器传输数据，而DOUT线用来访问寄存器里的数据。SCLK是串行时钟输入，所有的数据传输都和SCLK信号有关。 \overline{DRDY} 线作为状态信号，以提示数据什么时候已准备好从寄存器读数据。输出寄存器中有新的数据字时， \overline{DRDY} 变为低电平。在输出寄存器数据更新前，若 \overline{DRDY} 变为高电平，则提示这个时候不读数据，以免在寄存器更新的过程中读数据。 \overline{CS} 用来选择器件，在有许多器件与串行总线相连的应用中，它也用于对系统中的AD7705/AD7706进行解码。

图16和17是用 \overline{CS} 对AD7705/AD7706进行解码的时序图。图16所示是从AD7705/AD7706的输出移位寄存器读数据的时序图，而图17所示则是向输入移位寄存器写入数据的时序图。即使是在第一次读操作后 \overline{DRDY} 线返回高电平，也可能出现两次从输出寄存器读到同样数据的情况。必须注意确保在下一次输出更新进行之前，读操作已经完成。

通过向 \overline{CS} 加低电平，AD7705/AD7706串行接口能在三线模式下工作。SCLK、DIN和DOUT线用来与AD7705/AD7706进行通信。 \overline{DRDY} 的状态可以通过访问通信寄存器的MSB得到。这种方案适于与微控制器接口。若要求 \overline{CS} 作为解码信号，它可由微控制器的端口产生。对于与微控制器的接口，建议在两次相邻的数据传输之间，将SCLK置为高电平。

AD7705/AD7706也可以在 \overline{CS} 被用作帧同步信号时工作。这种方案适合于与DSP接口，在这种情况下，首位(MSB)被 \overline{CS} 时序有效输出，因为 \overline{CS} 通常是在DSP上的SCLK处于下降沿时产生的。假如时序不变更，SCLK也可在两次相邻的数据传输间继续运行。通过加在AD7705/AD7706的RESET脚上的复位信号，能够复位串行接口。还能够通过向DIN输入端写入一系列的“1”以复位串行接口，如果在至少32个串行时钟周期内向AD7705/AD7706的DIN线写入逻辑“1”，串行接口就被复位。这保证了在三线系统中，如果

由于软件错误或系统中的闪烁信号造成接口迷失，系统接口可经复位回到一个已知状态。这就是使接口回到AD7705/AD7706等待对其通信寄存器进行一次写操作的状态。这一写操作本身并不复位任何寄存器的内容，但因为接口已经迷失，写入任何寄存器的信息都是未知的，所以建议将所有的寄存器重新设置一次。

有一些微处理器或微控制器的串行接口只有一根单独的串行数据线。在这种情况下，可以把AD7705/AD7706的DATA OUT和DATA IN线连接在一起并把它们与处理器的单根数据线相连。在这根单一的数据线上必须使用一个10k 的上拉电阻。这种情况下，如果接口迷失，因为读、写操作共享同一根线，复位并使接口还原到已知状态的过程与以前叙述的有所不同。这一过程要求24个连续时钟的读操作和至少32个连续时钟周期的逻辑“1”的写操作，以保证串行接口回到已知状态。

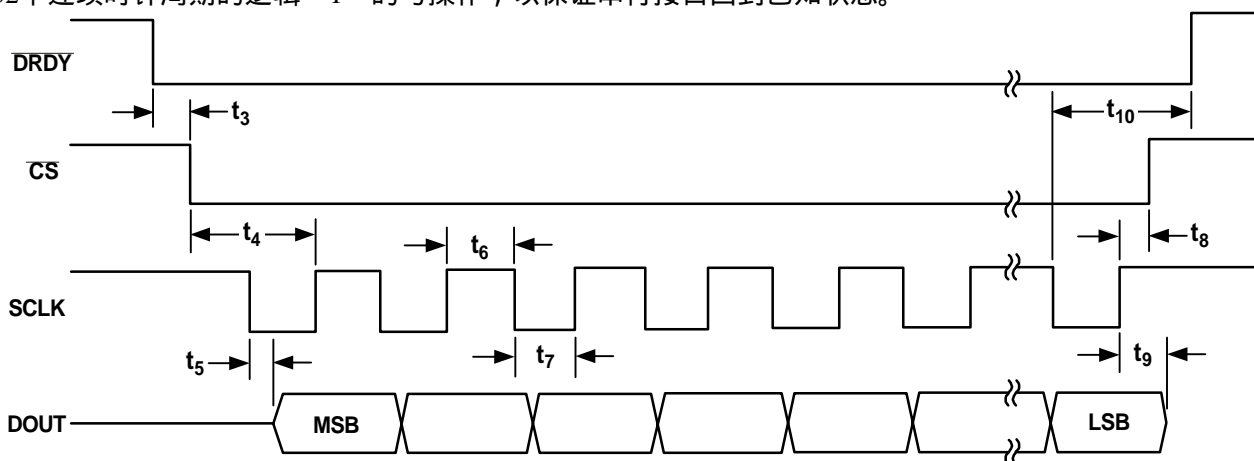


图16 读周期时序图

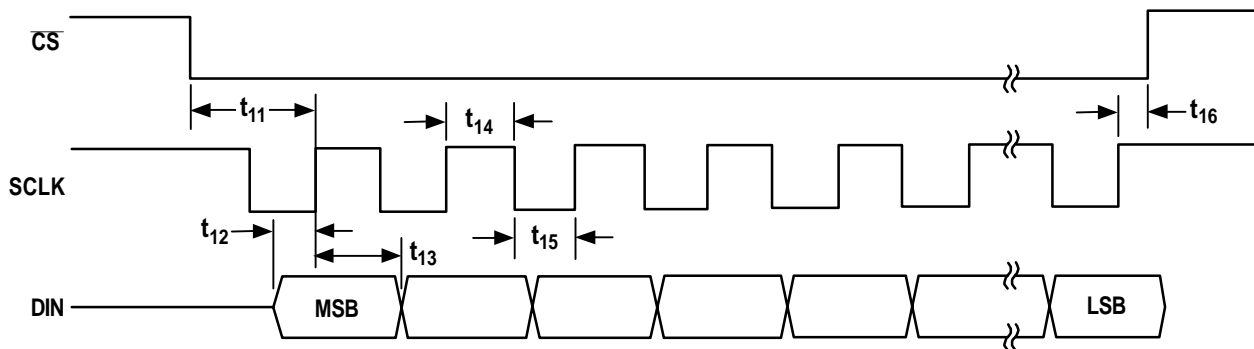


图17 写周期时序图

4.12 AD7705/AD7706的配置

AD7705/AD7706包括六个用户可通过串行接口访问的片内寄存器。与任何寄存器通信都要首先向通信寄存器写入。图18画出了对AD7705上电或复位之后，配置所有寄存器过程的流程图，同样的过程也适用于AD7706。流程图也显示了两种不同的读选项，第一个是查询 $\overline{\text{DRDY}}$ 引脚以确定数据寄存器更新是何时进行的，第二个是查询通信寄存器中的 $\overline{\text{DRDY}}$ 位以确认数据寄存器是否进行过更新。流程图中还包括设置不同的工作条件所必须写进寄存器的一系列字。这些工作条件是指增益为1，没有滤波同步、双极性模式、无缓冲、4.9512MHz的时钟和50Hz的输出速率。

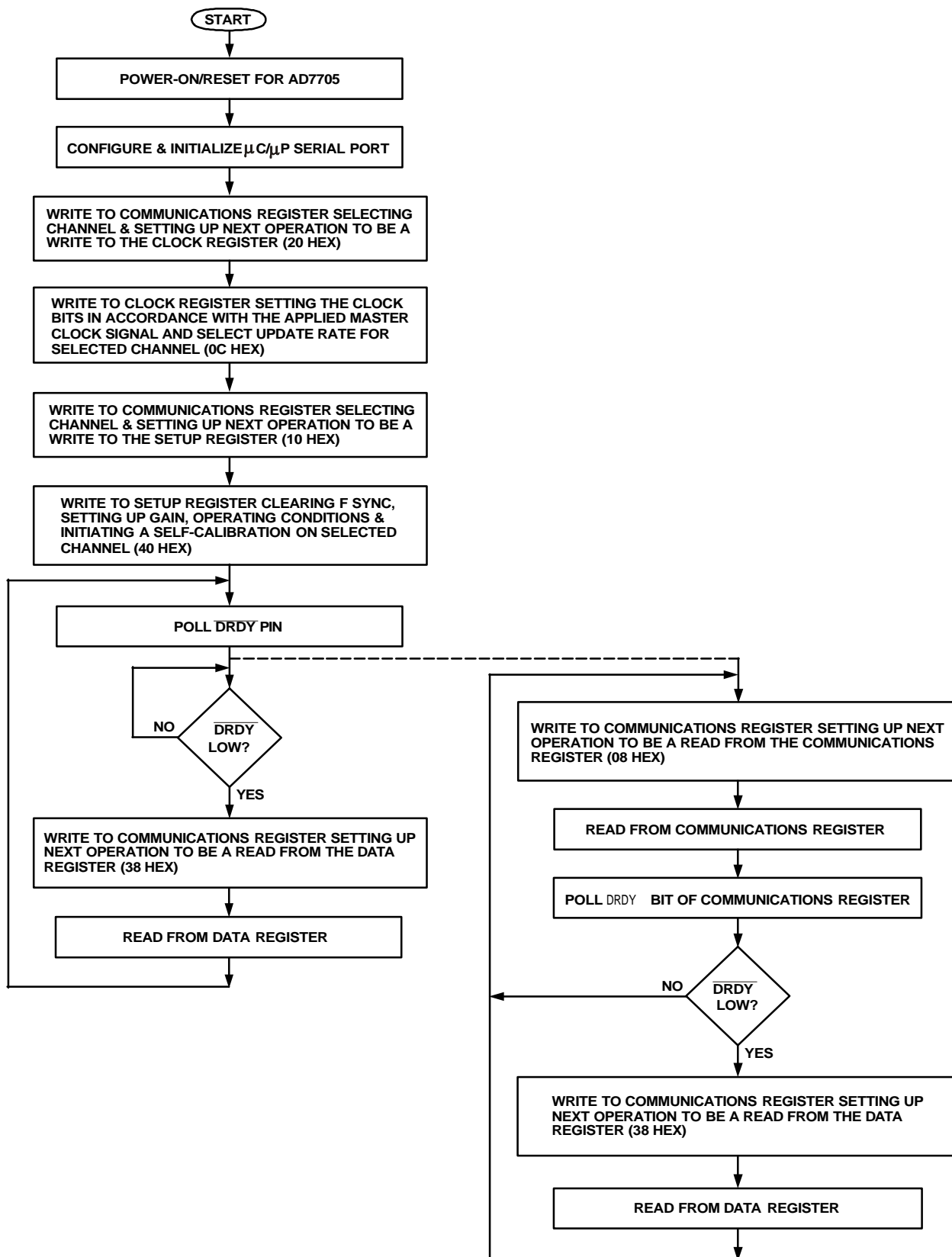


图18 AD7705的寄存器设置和读数流程图

4.13 微计算机/微处理器接口

AD7705/AD7706灵活的串行接口使得其能与大多数微计算机和微处理器很容易地进行接口。图10列出了AD7705/AD7706与微控制器或微处理器接口时所必须遵循的事项。图19、20和21所示的是一些典型的接口电路。

AD7705/AD7706的串行接口能够在仅有三线的情况下工作并且与SPI接口标准兼容。AD7705/AD7706的三线工作方式使其在以下这些地方应用十分理想：接口线要求最少的隔离系统，使系统要求光电隔离器的数目最少。串行时钟输入信号是一种施密特（Schmitt）触发信号，它能够适应光耦合器的慢速边沿。其它数字输入信号的上升和下降时间不应超过1 μ s。

AD7705/AD7706中的大多数寄存器都是8位寄存器，这使得与带有8位串行接口的微控制器接口非常容易。AD7705/AD7706上的数字寄存器是16位的。偏移和增益寄存器是24位的，向这些寄存器和微控制器端口的数字传输于包含多个8位字节。DSP处理器和微处理器通常在串行数据操作中传输16位数据。有些处理器如ADSP-2105，在一次串行数据传输中，可编制周期数。这就允许用户在任何传输中可增减寄存器的位数，使之与要求相匹配。

尽管AD7705/AD7706中有些寄存器只有8位，但可以将两个这样的寄存器成功地连起来，写操作就可以作为一个16位数据传输处理。例如，如果设置寄存器要被更新，处理器必须首先对通信寄存器进行写操作，然后写一个8位数据到设置寄存器。如果需要，这些可以由单次的16位数据传输来完成，因为写到通信寄存器中的8位串行数据一旦完成，器件立即将自己设置成对设置寄存器进行一次写操作状态。

4.13.1 AD7705/AD7706与68HC11接口

图19所示为AD7705/AD7706与68HC11微控制器接口的连接图。这种方案采用三线接口，而将AD7705/AD7706的 \overline{CS} 线连接到低电平。在这个方案中， \overline{DRDY} 位被监控以决定数据寄存器何时被更新。另一种可供选择的方案就是监控AD7705/AD7706的 \overline{DRDY} 输出，这要将接口线增加到四条。对 \overline{DRDY} 线监控可以通过2种方法，第一种就是将 \overline{DRDY} 与68HC11的其中一个输入端口位相连（例如PC0），此端口位查询并决定 \overline{DRDY} 线的状态。另一种方法应用一个中断驱动系统，在这种情况下， \overline{DRDY} 与68HC11的 \overline{IRQ} 输入线相连。对于要求控制 \overline{CS} 输入线的接口，可将68HC11的其中一个端口（例如PC1）配置成输出口，用来驱动 \overline{CS} 输入。

68HC11配置成主机模式且CPOL位置逻辑1，CPHA位置逻辑1。这样配置，则SCLK线在两次数据传输之间为高电平。AD7705/AD7706不能全双工工作。如果AD7705/AD7706被配置成写操作时，即使SCLK输入有效，DATA OUT线上不出现数据。同理，若器件被配置成读操作时，即使SCLK输入有效，出现在DATA IN线上的数据将被忽略。

在此例中， \overline{DRDY} 输出线与68HC11的PC0端口相连，进行查询以决定它的状态。

4.13.2 AD7705/AD7706与8xC51接口

AD7705/AD7706与8xC51微控制器接口电路如图20所示。图中在将 \overline{CS} 接低电平的情况下采用2线连接。 \overline{DRDY} 位被监控以决定何时数据寄存器被更新。另一种方案是监控 \overline{DRDY} 输出线，这要将接口线增加到3线。对 \overline{DRDY} 线的监控方法有2种：即查询方法和中断方法，类似与68HC11的接口方法。8xC51配置为串行接口方式0模式，这种串行接口包括单一的一根数据线。其结果是，AD7705/AD7706的DATA OUT和DATA IN引脚必须连接在一起，还必须连接一个10k Ω 的上拉电阻。

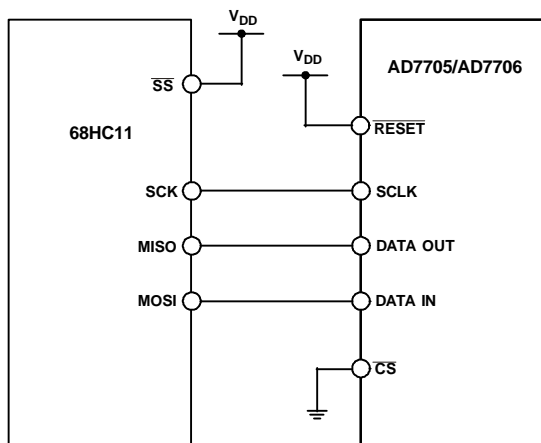


图19 AD7705/AD7706与68HC11接口

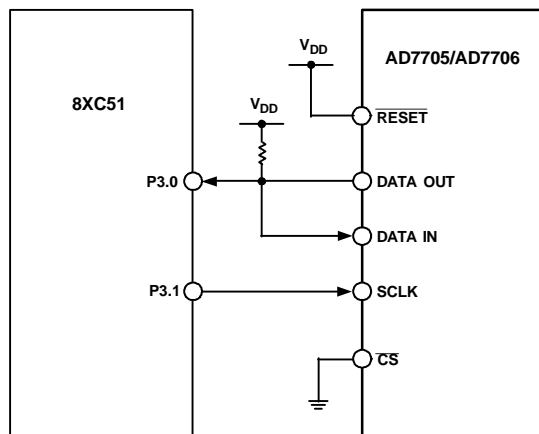


图20 AD7705/AD7706与8xC51接口

4.13.3 AD7705/AD7706与ADSP-2103/ADSP-2105接口

图21是AD7705/AD7706与ADSP-2103/ADSP-2105数字信号处理器接口的电路图。其原理同与8xC51的接口。其中 \overline{CS} 是由 \overline{RFS} 和 \overline{TFS} 通过一个与门与之相接，无论 \overline{RFS} 或 \overline{TFS} 输出哪一个有效，则AD7705/AD7706的 \overline{CS} 即有效。注意：ADSP-2103/ADSP-2105上的串行时钟速率应限制在3MHz以内，以确保与AD7705/AD7706器件的正常工作。

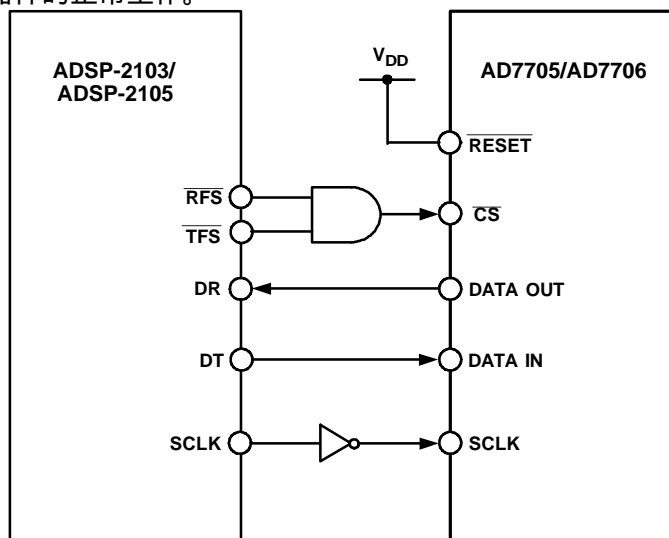


图21 AD7705/AD7706与ADSP-2103/ADSP-2105接口

4.13.4 设置AD7705/AD7706的程序代码

表16给出了AD7705和68HC11微控制器接口的用C代码写成的一组读、写程序。

此程序的几个步骤是：

1. 向通信寄存器写数据，选择通道1作为有效通道，将下一个操作设为对时钟寄存器进行写操作。
2. 对时钟寄存器写操作，设置CLK DIV位，将外部时钟除二，假定外部时钟频率为4.9512MHz，更新率选为50Hz。
3. 向通信寄存器写数据。选择通道1作为有效通道。将下一个操作设为对设置寄存器的写操作。
4. 向设置寄存器写数据，将增益设为1，设置为双极性、非缓冲模式，清除滤波器同步，开始自校准。
5. 查询 \overline{DRDY} 输出。
6. 从数据寄存器上读数据。
7. 跳回第5、第6步，直到从选定的通道中取出指定数量的采样。

表16 AD7705与68HC11微处理器接口的C语言代码

```

/* This program has read and write routines for the 68HC11 to interface to the AD7705 and the sample program sets the various registers and then reads 1000 samples from one channel. */
#include <math.h>
#include <io6811.h>
#define NUM_SAMPLES 1000 /* change the number of data samples */
#define MAX_REG_LENGTH 2 /* this says that the max length of a register is 2 bytes */
Writereg(int);
Read(int, char);
char *datapointer = store;

char store[NUM_SAMPLES*MAX_REG_LENGTH + 30];
void main()
{
    /* the only pin that is programmed here from the 68HC11 is the /CS and this is why the PC2 bit of PORTC is made as an output */
    char a;
    DDRC = 0x04; /* PC2 is an output the rest of the port bits are inputs */
    PORTC |= 0x04; /* make the /CS line high */
    Writereg(0x20); /* Active Channel is Ain1(+)/Ain1(-), next operation as write to the clock register */
    Writereg(0x0C); /* master clock enabled, 4.9512MHz Clock, set output rate to 50Hz */
    Writereg(0x10); /* Active Channel is Ain1(+)/Ain1(-), next operation as write to the setup register */
    Writereg(0x40); /* gain = 1, bipolar mode, buffer off, clear FSYNC and perform a Self Calibration */
    while(PORTC & 0x10); /* wait for /DRDY to go low */
    for(a=0; a<NUM_SAMPLES; a++)
    {
        Writereg(0x38); /* set the next operation for 16 bit read from the data register */
        Read(NUM_SAMPLES, 2);
    }
    Writereg(int byteword);
    {
        int q;
        SPCR = 0x3f;
        SPCR = 0x7f; /* this sets the WiredOR mode (DWOM=1), Master mode (MSTR=1), SCK idles high (CPOL=1), /SS can be low always (CPHA=1), lowest clock speed (slowest speed which is master clock /32) */
        DDRD = 0x18; /* SCK, MOSI outputs */
        q = SPSR;
        q = SPDR; /* the read of the status register and of the data register is needed to clear the interrupt which tells the user that the data transfer is complete */
        PORTC &= 0xfb; /* /CS is low */
        SPDR = byteword; /* put the byte into data register */
        while(!(SPSR & 0x80)); /* wait for /DRDY to go low */
        PORTC |= 0x4; /* /CS is high */
    }
    Read(int amount, int reglength)
    {
        int q;
        SPCR = 0x3f;
        SPCR = 0x7f; /* clear the interrupt */
        DDRD = 0x10; /* MOSI output, MISO input, SCK output */
        while(PORTC & 0x10); /* wait for /DRDY to go low */
        PORTC & 0xfb; /* /CS is low */
        for(b=0; b<reglength; b++)
        {
            SPDR = 0;
            while(!(SPSR & 0x80)); /* wait until port ready before reading */
            *datapointer++ = SPDR; /* read SPDR into store array via datapointer */
        }
        PORTC |= 4; /* /CS is high */
    }
}

```

五、应用实例

AD7705提供双通道，低成本，高分辨力模数转换功能。由于采用 $\Sigma\Delta$ 结构实现模数转换，使得该器件在噪音环境下能免受干扰，因此它很适合作工业和工艺控制用。同时它还提供了可编程的增益放大器，数字滤波器和校准选项。因此，它提供比普通的积分ADC更多的系统级功能，而且没有必须要有高质量的积分电容器的缺点。将AD7705应用于系统中，可使系统设计者获得很高的分辨力，因为AD7705的噪声性能比积分ADC的要好。

片上PGA允许AD7705处理低至10mV（满标度）的模拟输入电压（ $V_{REF}=+1.25V$ ）。器件在非缓冲模式下工作时，差分输入使模拟输入范围的绝对值处于GND和 V_{DD} 之间的任一值。由此允许用户将传感器直接与AD7705的输入端相连。AD7705的可编程增益前端允许处理0~+20mV到0~+2.5V之间的单极性模拟输入信号和 $\pm 20mV$ 到 $\pm 2.5V$ 的双极性信号。因为器件以单电源工作，双极性输入范围与向上偏置的差分输入有关。

5.1 压力测量

AD7705的一个典型应用就是压力测量。图22所示是AD7705与一个压力传感器一起使用的情况，它就是Sensym公司的BP01测压计。压力传感器被安装在一个桥式电路中，在它的OUT(+)和OUT(-)端输出差分输出电压。当在传感器上加上满标度压力（300mmHg）时，差分输出电压（即IN(+)和IN(-)两端之间的电压）是输入电压的3mV/V。假定激励电压是5V，则传感器的满标度输出电压是15mV。桥式电路的激励电压还用来为AD7705产生基准电压。因此，激励电压的变化不会造成系统内的误差。图22中，当两个电阻值分别为24k Ω 和15k Ω 时，激励电压为5V时，AD7705产生的基准电压为1.92V。器件具有128的可编程增益时，AD7705的满标度输入幅度应是15mV。此值与传感器的输出范围有关。AD7705的第二个通道可作为一个辅助通道以测量另一个变化，如温度，如图22所示。这个次级通道可以用来调整初次通道的输出信号，以便消除温度对系统的影响。

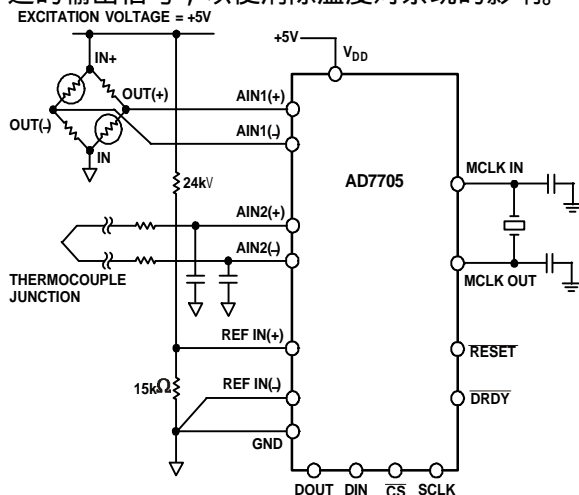


图22 用AD7705作压力测量

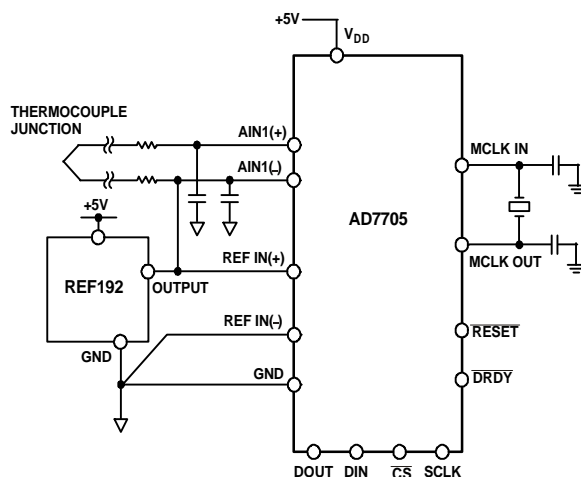


图23 用AD7705作温度测量

5.2 温度测量

AD7705的另外一个应用领域是温度测量。图23是一个热耦与AD7705的连接图。在这一应用中，AD7705在缓冲模式下工作，以便允许前端的大去耦电容器消除可能在热耦引脚上的任何噪声检拾。当AD7705在缓冲模式下工作时，其共模输入范围缩小。为了将来自热耦的差分电压置于一个合适的共模电

压上，AD7705的AIN1(-)输入端要向上偏置达到基准电压(+2.5V)。

图24所示是AD7705的另一个温度测量应用。在这一应用中，传感器是一个RTD(热敏电阻)，PT100。它是一个四引脚的RTD。在引线电阻 R_{L1} 和 R_{L4} 上有电压降，但这只使共模电压发生了偏移。当AD7705的输入电流很低时，引线电阻 R_{L2} 和 R_{L3} 上无电压降。引线电阻呈现了一个小的源阻抗，所以一般不必将AD7705中的缓冲器打开。如果要求使用缓冲器，必须通过在RTD的底端和AD7705的GND之间插入一个小电阻来设置相应的共模电压。在此应用中，外部400 μ A电流源为PT100提供激励电源，同时通过6.25k Ω 的电阻器。为AD7705产生基准电压。激励电流的变化不影响电路工作，这是因为输入电压和基准电压都随激励电流变化。然而，6.25k Ω 的电阻器必须有很小的温度系数以避免温度范围内基准电压的误差。

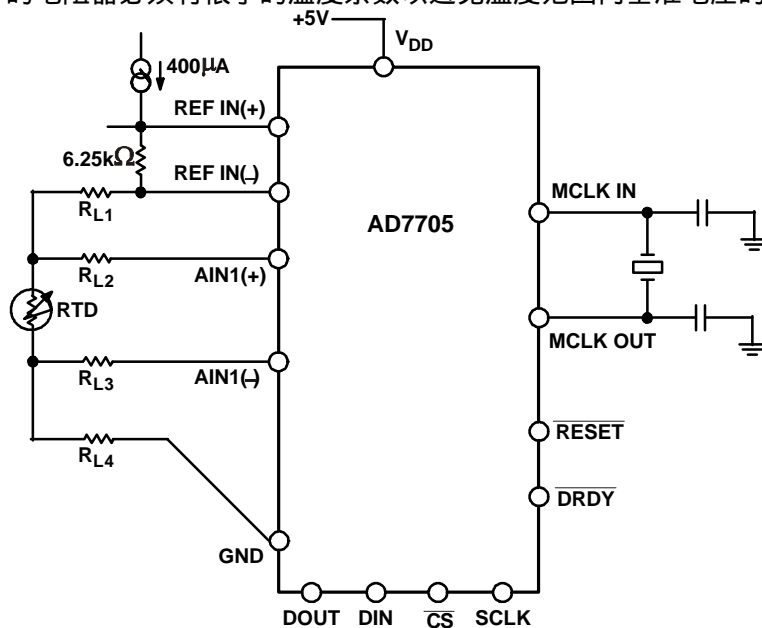


图24 利用AD7705进行RTD测量

5.3 智能发射器

另一个应用领域是在低功率、单电源、三线接口的智能发射器中。这里，整个智能发射器必须在4~20mA的环路中进行工作。环路容许向发射器供电的总电流低到3.5mA。其中AD7705仅消耗320 μ A的电流，留下至少3mA的电流给发射器的其它部分。图25所示是包含AD7705的一个智能发射器的方框图。带有双输入通道的AD7705对于需要辅助通道以测定变量用来修正主通道的系统特别适合。

5.4 电池监控

另一个要求应用低功率，单电源工作的领域就是在便携式装置中的电池监控。图26是一个电池监控器的方框图，包括AD7705和用来差分测量每一节电池的两端电压的外部多路器(multiplexer)。AD7705的第二个通道用来监控电池的漏电流。带有双输入通道的AD7705很适合用于需要两个输入通道的测量系统，就象在本例中，用来监控电压和电流。因AD7705能够适应很弱的输入信号，所以 R_{SENSE} 能用很小的阻值，这样就能够降低不必要的电源损耗。这个系统工作在增益为128的情况下，满标度为 ± 9.57 mV的信号能以2 μ V的分辨率进行测量，并给出13.5位的稳定性能。为了在非缓冲模式下获得额定的特性，假定模拟输入电压的绝对值在GND-30mV和 $V_{DD}+30$ mV之间，输入共模范围为GND到 V_{DD} 。25 $^{\circ}$ C时，在性能不降低的情况下，AD7705能够承受GND-200mV的绝对电压，但漏电流在温度升高时将增大很多。

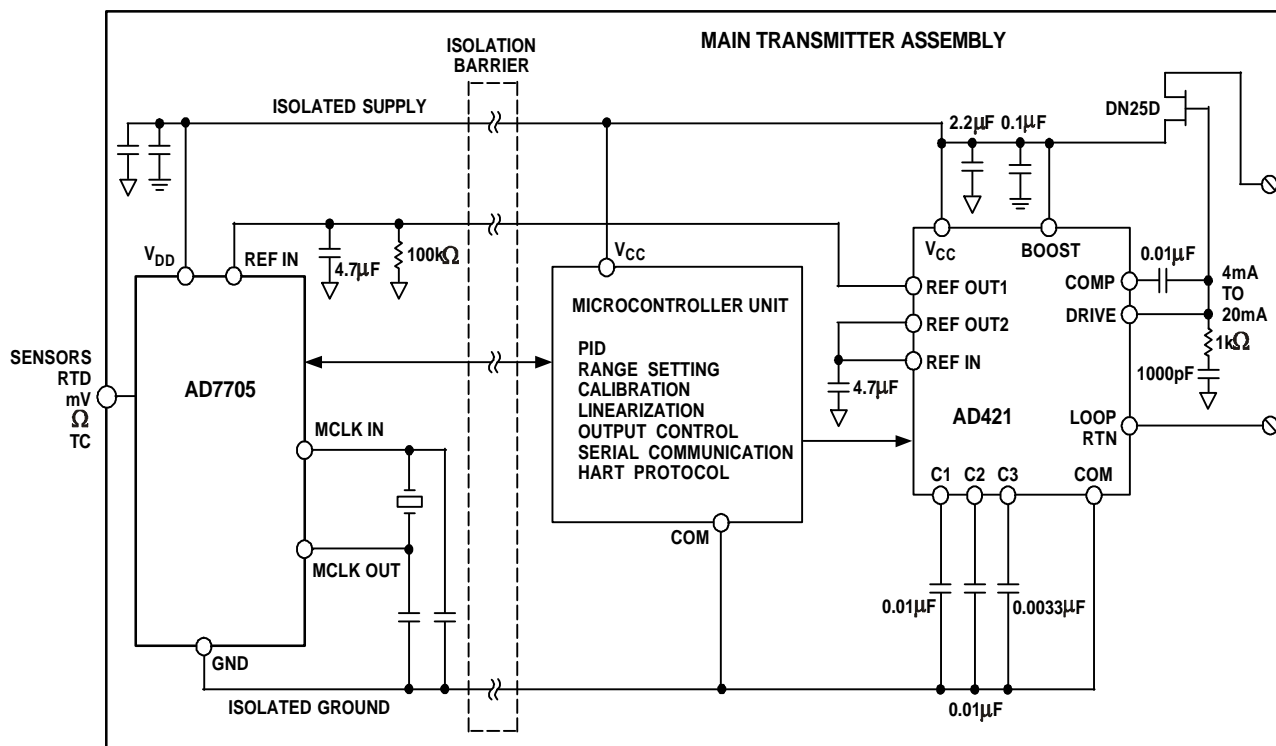


图25 使用AD7705的智能发射器

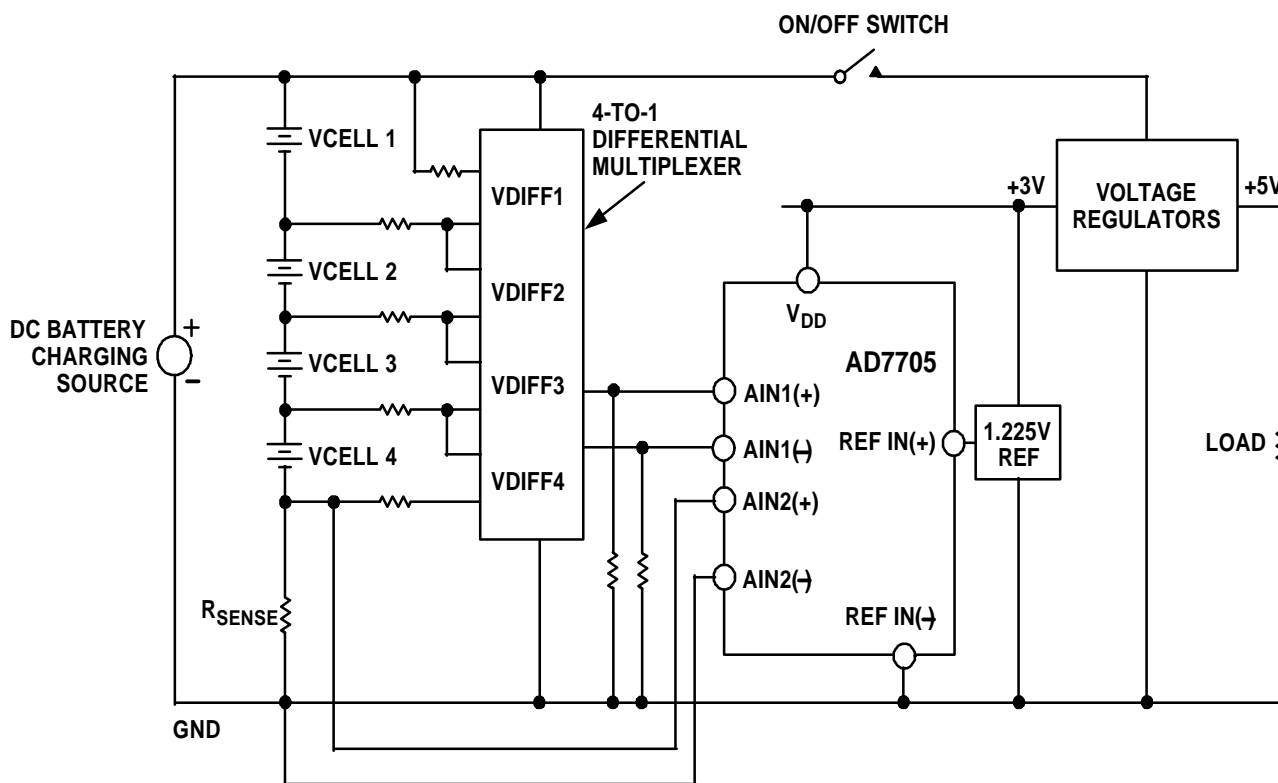
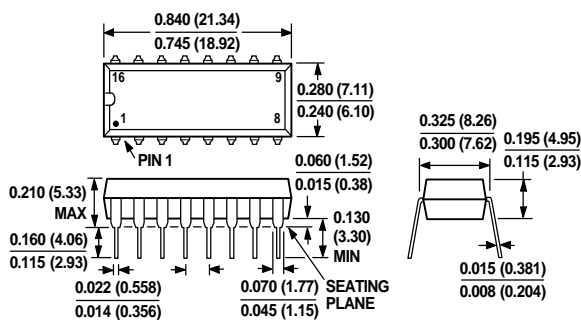
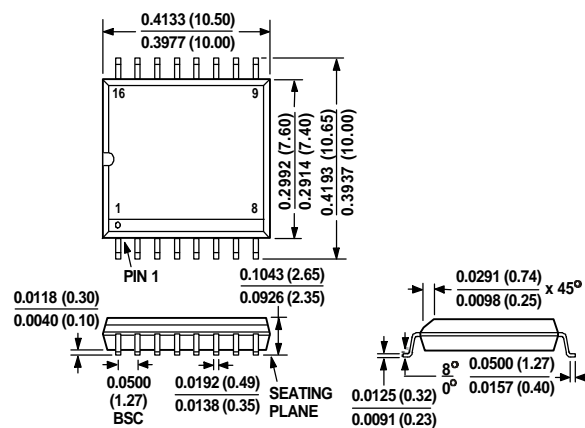


图26 使用AD7705的电池监控电路

六、器件外形尺寸

16-Pin Plastic DIP
(N-16)16-Lead SOIC
(R-16)16-Lead TSSOP
(RU-16)