**数字系统（课程）设计**

**实 验 报 告**

|  |  |
| --- | --- |
| **课程名称：** | **数字系统设计** |
| **学生姓名：** | **江泽群** |
| **学生学号：** | **201530371299** |
| **学生专业：** | **电子科学与技术** |
| **开课学期：** | **5** |
| **实验成绩：** |  |

# 实验五 8位并行输入转 UART (RS232)模块设计

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **地 点：** | 31号 楼 | 312 房； | **实验台号：** | 33 |
| **实验日期与时间：** | 2017年12月15日 | | **评 分：** |  |
| **预习检查纪录：** |  | | **批改教师：** |  |

报告内容：

1. **实验过程记录**

UART(RS232)模块ASM 图如图4-1所示。在设计电路的时候，额外引入了一个奇偶校验位和一个 finish 输出信号（在一次8位数据的传输完成后产生一个时钟周期的高电平），而且使用了寄存器在 load 信号有效的时钟周期内将Z 的所有位锁存。

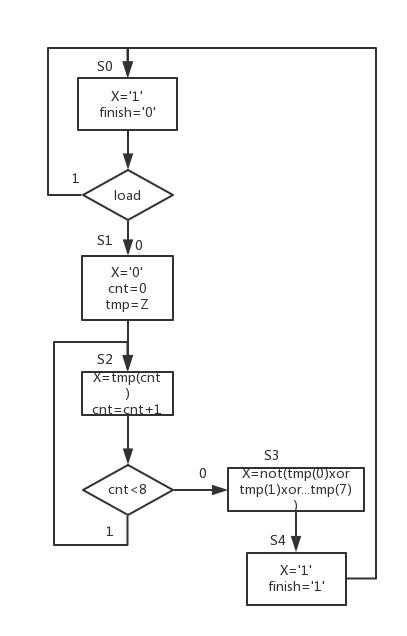


图4-1 UART(RS232)模块ASM 图

1. **实验结果和分析**

UART(RS232)模块方块图如图5-1所示。

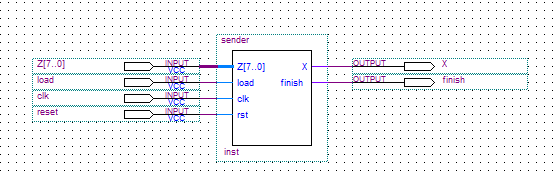


图5-1 UART(RS232)模块方块图

UART(RS232)模块电路仿真波形图如图5-2所示。

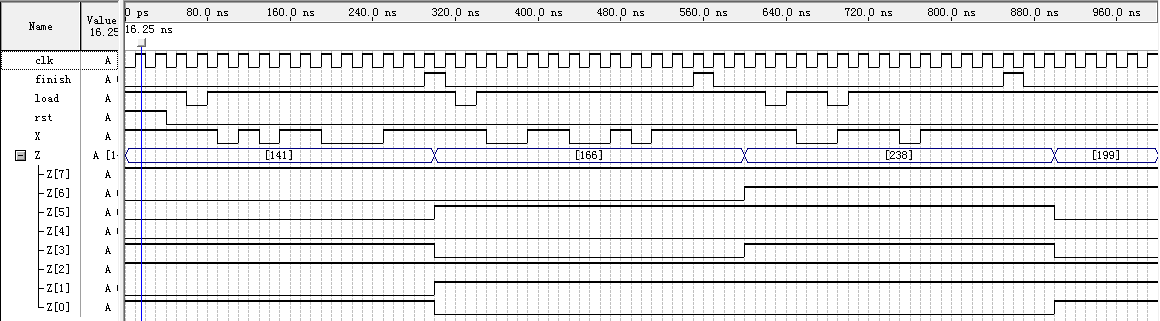


图5-2

实验结果符合要求。

1. **实验代码**

UART(RS232)模块实验代码如下：

library ieee;

use ieee.std\_logic\_1164.all;

use ieee.std\_logic\_unsigned.all;

entity sender is

port(Z: in std\_logic\_vector(7 downto 0);

load, clk, rst: in std\_logic;

X, finish: out std\_logic);

end entity;

architecture behav of sender is

begin

process(clk)

variable cnt: integer range 0 to 8;

type state\_type is (s0, s1,s2,s3,s4);

variable state: state\_type;

variable tmp: std\_logic\_vector(7 downto 0);

begin

if (rst = '1') then

state := s0;

cnt := 0;

finish <= '0';

X <= '1';

tmp := (others=>'0');

elsif (clk'event and clk = '1') then

case state is

when s0 =>

X <= '1';

finish <= '0';

if (load = '0') then

state:=s1;

tmp := Z;

else

state:=s0;

end if;

when s1=>

X <= '0';

cnt := 0;

state := s2;

when s2=>

X <= tmp(cnt);

cnt := cnt + 1;

if cnt=8 then

state:=s3;

else

state:=s2;

end if;

when s3 =>

X <= not(tmp(0) xor tmp(1) xor tmp(2) xor tmp(3) xor tmp(4) xor tmp(5) xor tmp(6) xor tmp(7));

state := s4;

when s4=>

X <= '1';

finish <= '1';

state:=s0;

end case;

end if;

end process;

end behav;