



## 2. БИСТАБИЛЫ, РЕГИСТРЫ И СЧЕТЧИКИ

Бистабильные устройства, регистры и счетчики (также называемые последовательными устройствами) являются основными устройствами компьютера и характеризуются следующими свойствами:

- a) может удерживать информацию или иметь память;
- b) следующее состояние зависит от предыдущего;
- c) состояние на выходах устройства не зависит однозначно от состояния, поданного на его входы.

### 2.1. Классификация бистабильных систем

**Определение.** Бистабильным мы называем электронное логическое устройство, которое может находиться в одном из двух возможных состояний ( $Q = 1$ ;  $Q = 0$ ) или ( $Q = 0$ ;  $Q = 1$ ) и используется для записи, хранения и представления бита (двух битов) информации.

Сегодня существует несколько электрических схем бистабильных устройств. Бистабильные устройства классифицируются по следующим критериям:

- a) количество шагов;
- b) синхронный или асинхронный.

**Классификация по критерию "количество шагов".** В зависимости от количества передач существуют одно-, двух- и многоступенчатые бистабильные системы. Примерами одноступенчатых бистабильных систем являются RS-асинхронная, RS-синхронная и бистабильная система типа D. Из двухступенчатых бистабильных систем здесь показаны бистабильные системы MS, DV и JK.

**Классификация по критерию "синхронный или асинхронный".** Бистабильные устройства, которые не имеют канала управления на входе, не могут быть программно управляемыми и называются асинхронными бистабильными устройствами. Бистабильные устройства, имеющие вход канала управления, могут управляться программно и называются синхронными бистабильными устройствами.

Бистабильные устройства широко используются для проектирования и конструирования числовых устройств с памятью (регистры, счетчики и т.д.).

### 2.2. RS-асинхронные, RS-синхронные и D-типа одноступенчатые бистабильные устройства

#### 2.2.1. RS-асинхронный бистабильный

Бистабильные схемы могут быть построены из логических элементов И-НЕ или И-НЕ.

**Схема подключения RS-асинхронного бистабильного устройства, построенного из логических элементов SAU-NU,** показана на рис. 2.1. RS-асинхронное бистабильное устройство, построенное из логических элементов SAU-UN, имеет один каскад.

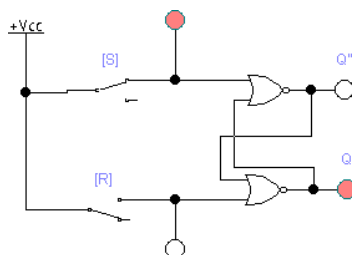


Рис. 2.1. Схема подключения RS-асинхронного бистабильного устройства, построенного из логических элементов SAU-NU.

В электрической схеме RS-асинхронного бистабильного устройства, построенного из логических элементов SAU-NU, используются следующие обозначения:

+Vcc - источник питания;

*S* - set (вставить, разместить, ввести информацию);

$R$  - сброс (инициализация, установка бистабильного устройства в исходное состояние, удаление информации);

$Q$  - прямой выход (канал, представляющий информацию в прямом состоянии);

$\bar{Q}$  - обратный выход (канал, представляющий информацию в обратном состоянии).

Чтобы представить рабочий процесс бистабильного устройства, необходимо написать логические функции схемы, подать на входы  $S$  и  $R$  различные комбинации 0 и 1, где 0 - это отсутствие напряжения, а 1 - это напряжение. Для каждой комбинации, подаваемой на входы  $S$  и  $R$ , необходимо вычислить  $Q$  и  $\bar{Q}$  и заполнить таблицу истинности бистабильного устройства.

Для схемы бистабильной цепи на рис. 2.1 можно записать следующие 2 функции логич

$$\text{ным:} \quad Q = R + \bar{Q}; \quad (2.2.1)$$

$$\bar{Q} = \bar{S} + \bar{Q}. \quad (2.2.2)$$

Расчеты  $Q$  и  $\bar{Q}$  выполняются в следующей последовательности:

$$S = 0, R = 0 \rightarrow Q = R + \bar{Q} = 0 + \bar{Q} = \bar{Q}; \quad \bar{Q} = \bar{S} + \bar{Q} = 1 + \bar{Q} = 1;$$

$$S = 0, R = 1 \rightarrow Q = R + \bar{Q} = 1 + \bar{Q} = 1; \quad \bar{Q} = \bar{S} + \bar{Q} = 1 + \bar{Q} = 1;$$

$$S = 1, R = 0 \rightarrow \bar{Q} = \bar{S} + \bar{Q} = 0 + \bar{Q} = \bar{Q}; \quad Q = R + \bar{Q} = 0 + \bar{Q} = \bar{Q};$$

$$S = 1, R = 1 \rightarrow \bar{Q} = \bar{S} + \bar{Q} = 0 + \bar{Q} = \bar{Q}; \quad Q = R + \bar{Q} = 1 + \bar{Q} = 1.$$

Мы заполняем таблицу истинности (см. таблицу 2.1).

Таблица 2.1. Таблица истинности RS-асинхронной бистабильности, построенной из логических элементов SAU-UN.

Нет. д/о	$S$	$R$	$Q$	$\bar{Q}$	Рабочие соглашения
0	0	0	$Q$	$\bar{Q}$	Сохранение предыдущего состояния
1	0	1	0	1	Инициализация бистабильного устройства
2	1	0	1	0	Ввод информации
3	1	1	0	0	Запрещенное состояние

Электрическая схема RS-асинхронного бистабильного устройства, построенная из логических элементов САУ-НУ, имеет следующие недостатки:

- не имеет канала маршрутизации, поэтому он не может быть маршрутизирован программой;
- если вводится новая информация, то предыдущая информация удаляется и не может быть восстановлена (бистабильность имеет только один шаг);
- условие  $S = 1, R = 1$  запрещено.

**Схема подключения RS-асинхронного бистабильного устройства, построенного из логических элементов AND-НУ, показана на рис. 2.2. RS-асинхронное бистабильное устройство, построенное из логических элементов AND-НУ, имеет один каскад.**

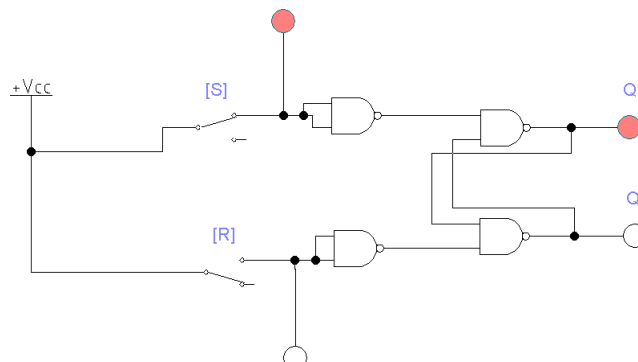


Рис. 2.2. Схема подключения RS-асинхронного бистабильного устройства, построенного из логических элементов AND-NU.

В электрической схеме RS-асинхронного бистабильного устройства, построенного из логических элементов И-НЕ, используются следующие обозначения:

+Vcc - источник питания;

S - set (вставить, разместить, ввести информацию);

R - сброс (инициализация, установка бистабильного устройства в исходное состояние, удаление информации);

Q - прямой выход (канал, представляющий информацию в прямом состоянии);

$\bar{Q}$  - обратный выход (канал, представляющий информацию в обратном состоянии).

Чтобы представить рабочий процесс бистабильного устройства, необходимо написать логические функции схемы, подать на входы S и R различные комбинации 0 и 1, где 0 - это отсутствие напряжения, а 1 - это напряжение. Для каждой комбинации, подаваемой на входы S и R, вычислите Q и  $\bar{Q}$  и заполните таблицу истинности бистабильного устройства.

Для схемы бистабильной цепи на рис. 2.2 можно записать следующие 2 функции логич

$$\text{ным:} \quad Q = \bar{S} \times \bar{Q}; \quad (2.2.3)$$

$$\bar{Q} = \bar{R} \times Q. \quad (2.2.4)$$

Расчеты Q и  $\bar{Q}$  выполняются в следующей последовательности:

$$S = 0, R = 0 \rightarrow Q = \bar{0} \times \bar{Q} = \bar{1} \times \bar{Q} = \bar{Q}; \quad \bar{Q} = \bar{0} \times Q = \bar{0} \times Q = \bar{Q};$$

$$S = 0, R = 1 \rightarrow Q = \bar{0} \times \bar{Q} = \bar{1} \times \bar{Q} = \bar{Q}; \quad \bar{Q} = \bar{1} \times Q = \bar{1} \times Q = 0;$$

$$S = 1, R = 0 \rightarrow Q = \bar{1} \times \bar{Q} = 0 \times \bar{Q} = 0; \quad \bar{Q} = \bar{0} \times Q = \bar{0} \times Q = 0;$$

$$S = 1, R = 1 \rightarrow Q = \bar{1} \times \bar{Q} = 0 \times \bar{Q} = 0; \quad \bar{Q} = \bar{1} \times Q = \bar{1} \times Q = 1.$$

Мы заполняем таблицу истинности (см. таблицу 2.2).

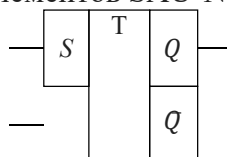
Таблица 2.2. Таблица истинности RS-асинхронного бистабильного устройства, построенного из логических элементов И-НЕ

Нет. д/о	S	R	Q	$\bar{Q}$	Рабочие соглашения
0	0	0	Q	$\bar{Q}$	Сохранение предыдущего состояния
1	0	1	0	1	Инициализация бистабильного устройства
2	1	0	1	0	Ввод информации
3	1	1	1	1	Запрещенное состояние

Электрическая схема RS-асинхронного бистабильного устройства, построенная из логических элементов AND-NO, имеет следующие недостатки:

- не имеет канала маршрутизации, поэтому он не может быть маршрутизирован программой;
- если вводится новая информация, то предыдущая информация удаляется и не может быть восстановлена (бистабильность имеет только один шаг);
- условие  $S = 1, R = 1$  запрещено.

На рисунке 2.3 показано условное обозначение асинхронных бистабильных схем, построенных из логических элементов SAU-NU или AND-NU.



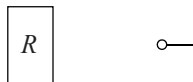


Рис. 2.3. Условное обозначение RS-асинхронных бистабильных устройств.

## 2.2.2. RS-синхронный бистабильный

Схема подключения RS-синхронного бистабильного устройства, построенного из логических элементов AND-NU, показана на рис. 2.4. RS-синхронное бистабильное устройство, построенное из логических элементов AND-NU, имеет один каскад.

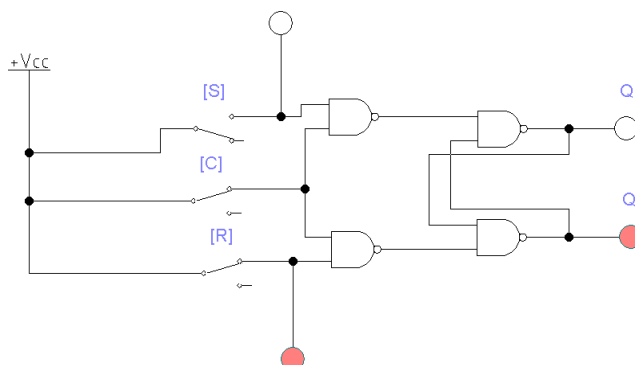


Рис. 2.4. Схема подключения RS-синхронного бистабильного устройства, построенного из логических элементов И-НЕ.

В электрической схеме RS-синхронного бистабильного устройства, построенного из логических элементов И-НЕ, используются следующие обозначения:

+Vcc - источник питания;

S - set (вставить, разместить, ввести информацию);

C - канал маршрутизации/управления;

R - сброс (инициализация, установка бистабильного устройства в исходное состояние, удаление информации);

Q - прямой выход (канал, представляющий информацию в прямом состоянии);

$\bar{Q}$  - обратный выход (канал, представляющий информацию в обратном состоянии).

Чтобы представить рабочий процесс бистабильного устройства, необходимо написать логические функции схемы, подать на входы C, S и R различные комбинации 0 и 1, где 0 - это отсутствие напряжения, а 1 - это напряжение. Для каждой комбинации, применяемой к входам C, S и R, рассчитайте Q и  $\bar{Q}$  и заполните таблицу истинности бистабильности.

Для схемы бистабильной цепи на рис. 2.4 можно записать следующие 2 функции логич

$$\text{ным: } Q = C \times S \times \bar{Q}; \quad (2.2.4)$$

$$\bar{Q} = C \times R \times Q. \quad (2.2.5)$$

Расчеты Q и  $\bar{Q}$  выполняются в следующей последовательности:

$$C = 0, S = 0, R = 0 \rightarrow Q = C \times S \times \bar{Q} = 0 \times \bar{Q} = 0; \bar{Q} = C \times R \times Q = 0 \times Q = 0;$$

$$C = 0, S = 0, R = 1 \rightarrow Q = C \times S \times \bar{Q} = 0 \times \bar{Q} = 0; \bar{Q} = C \times R \times Q = 0 \times Q = 0;$$

$$C = 0, S = 1, R = 0 \rightarrow Q = C \times S \times \bar{Q} = 0 \times \bar{Q} = 0; \bar{Q} = C \times R \times Q = 0 \times Q = 0;$$

$$C = 0, S = 1, R = 1 \rightarrow Q = C \times S \times \bar{Q} = 0 \times \bar{Q} = 0; \bar{Q} = C \times R \times Q = 0 \times Q = 0;$$

$$C = 1, S = 0, R = 0 \rightarrow Q = C \times S \times \bar{Q} = 1 \times \bar{Q} = \bar{Q}; \bar{Q} = C \times R \times Q = 1 \times Q = Q;$$

$$C = 1, S = 0, R = 1 \rightarrow Q = C \times S \times \bar{Q} = 1 \times \bar{Q} = \bar{Q}; \bar{Q} = C \times R \times Q = 1 \times Q = Q;$$

$$C = 1, S = 1, R = 0 \rightarrow Q = C \times S \times \bar{Q} = 1 \times \bar{Q} = \bar{Q}; \bar{Q} = C \times R \times Q = 0 \times Q = 0;$$

$$C = 1, S = 1, R = 1 \rightarrow Q = C \times S \times \bar{Q} = 1 \times \bar{Q} = \bar{Q}; \bar{Q} = C \times R \times Q = 1 \times Q = Q.$$

Мы заполняем таблицу истинности (см. таблицу 2.3).

Таблица 2.3. Таблица истинности RS-синхронного бистабильного устройства, построенного из логических элементов И-НЕ

№ т д/о	$C$	$S$	$R$	$Q$	$\bar{Q}$	Рабочие соглашения
0	0	0	0	$Q$	$\bar{Q}$	Сохраняя предыдущее состояние, $C = 0$
1	0	0	1	$Q$	$\bar{Q}$	Сохраняя предыдущее состояние, $C = 0$
2	0	1	0	$Q$	$\bar{Q}$	Сохраняя предыдущее состояние, $C = 0$
3	0	1	1	$Q$	$\bar{Q}$	Сохраняя предыдущее состояние, $C = 0$
4	1	0	0	$Q$	$\bar{Q}$	Сохраняя предыдущее состояние, $C = 1$
5	1	0	1	0	1	Инициализация бистабильного устройства
6	1	1	0	1	0	Ввод информации
7	1	1	1	1	1	Запрещенное состояние

Из таблицы 2.3 видно, что для  $C = 0$  изменение состояний  $S$  и  $R$  не изменяет режим работы бистабильного устройства. Преимущество RS-синхронного бистабильного устройства - он имеет канал управления и может быть программно управляемым.

Электрическая схема RS-синхронного бистабильного устройства, построенная из логических элементов И-НЕ, имеет следующие недостатки:

- если вводится новая информация, то предыдущая информация удаляется и не может быть восстановлена (бистабильность имеет только один шаг);
- условие  $S = 1, R = 1$  запрещено.

На рисунке 2.5 показан условный символ RS-синхронных бистабильных схем, построенных из логических элементов AND-NU/SAU-NU.

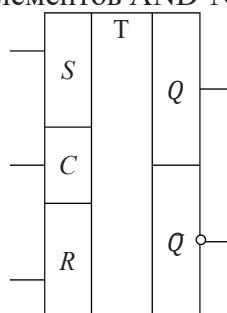


Рис. 2.5. Условное обозначение RS-синхронных бистабильных устройств.

### 2.2.3. Бистабильный тип D

Бистабильность D-типа была построена для устранения недостатка RS-синхронной бистабильности, которая не позволяет применять состояния  $S = 1, R = 1$ .

**Принципиальная схема бистабильного устройства D-типа, построенного из логических элементов AND-NU,** показана на рис. 2.6. Бистабильное устройство D-типа, построенное из логических элементов AND-NU, имеет одну ступень.



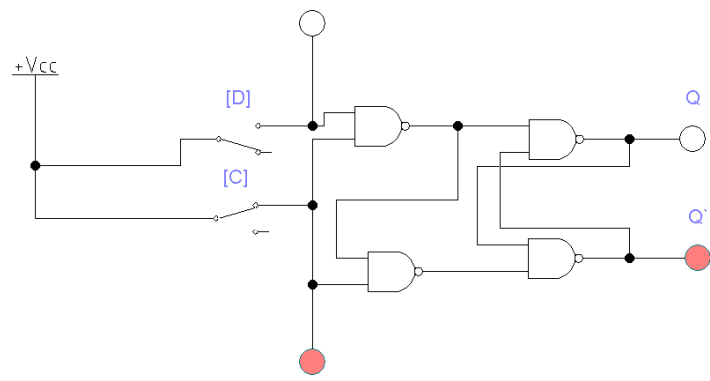


Рис. 2.6. Схема бистабильного устройства D-типа, построенная из логических элементов И-НЕ.

В электрической схеме бистабильного устройства D-типа, построенного из логических элементов И-НЕ, используются следующие обозначения:

+Vcc - источник питания;

D - ввод, размещение, запись информации;

C - канал маршрутизации/командный канал;

Q - прямой выход (канал, представляющий информацию в прямом состоянии);

$\bar{Q}$  - обратный выход (канал, представляющий информацию в обратном состоянии).

Чтобы представить рабочий процесс бистабильного устройства, необходимо написать логические функции схемы, чтобы подать на входы C и D различные комбинации 0 и 1, где 0 - это отсутствие напряжения, а 1 - это напряжение. Для каждой комбинации, подаваемой на входы C и D, вычислите Q и  $\bar{Q}$  и заполните таблицу истинности бистабильного устройства.

Для схемы бистабильной цепи на рис. 2.6 можно записать следующие 2 функции логич

$$\text{ным: } \bar{Q} = \overline{C \times D \times Q}; \quad (2.2.6)$$

$$Q = C \times C \times D \times Q. \quad (2.2.7)$$

Вычисления Q и  $\bar{Q}$  выполняются в следующем порядке:

$$C = 0, D = 0 \rightarrow \bar{Q} = \overline{C \times D \times Q} = \overline{0 \times 0 \times Q} = 1 \times Q = Q;$$

$$Q = C \times C \times D \times Q = 0 \times 0 \times 0 \times Q = 1 \times Q = Q;$$

$$C = 0, D = 1 \rightarrow \bar{Q} = \overline{C \times D \times Q} = \overline{0 \times 1 \times Q} = 1 \times Q = Q;$$

$$Q = C \times C \times D \times Q = 0 \times 0 \times 1 \times Q = 1 \times Q = Q = Q;$$

$$C = 1, D = 0 \rightarrow Q = C \times C \times D \times Q = 1 \times 1 \times 0 \times Q = 0 \times Q = 1;$$

$$\bar{Q} = \overline{C \times D \times Q} = \overline{1 \times 0 \times 1} = 1 = 0;$$

$$C = 1, D = 1 \rightarrow Q = \overline{C \times D \times Q} = \overline{1 \times 1 \times Q} = 0 \times Q = 1;$$

$$Q = C \times C \times D \times Q = 1 \times 1 \times 1 \times 1 \times 1 = 1 \times 1 = 0.$$

Занесите полученные данные в таблицу 2.4.

Таблица 2.4. Таблица истинности бистабильного D-типа

Не т д/о	C	D	Q	$\bar{Q}$	Рабочие соглашения
0	0	0	Q	Q	Сохраняя предыдущее состояние, C = 0
1	0	1	Q	Q	Сохраняя предыдущее состояние, C = 0
2	1	0	0	1	Инициализация бистабильного устройства
3	1	1	1	0	Ввод информации

Из таблицы 2.4 можно определить преимущества и недостатки бистабильного устройства типа D. Преимущества бистабильного устройства типа D заключаются в следующем:

- не имеет запрещенных состояний;
- имеет канал управления и может быть программно управляемым. Бистабильность D-типа

имеет следующий недостаток:

- если вводится новая информация, то предыдущая информация удаляется и не может быть восстановлена (бистабильность имеет только один шаг).

На рисунке 2.7 показан обычный символ бистабильного устройства D-типа.

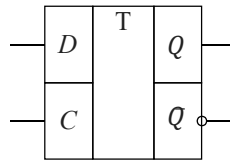


Рис. 2.7. Символ обычного бистабильного устройства D-типа.

Для построения логических устройств из RS-асинхронных, RS-синхронных и D-типа бистабильных устройств чаще всего используется D-тип бистабильных устройств.

#### 2.2.4. Делитель частоты прямоугольного сигнала

В компьютере используются прямоугольные сигналы с различными частотами. Для получения прямоугольных сигналов с разными частотами часто в качестве делителя частоты используется бистабильный D с цепью обратной связи. Принципиальная схема делителя частоты, построенного на основе D-бистабля, показана на рис. 2.8.

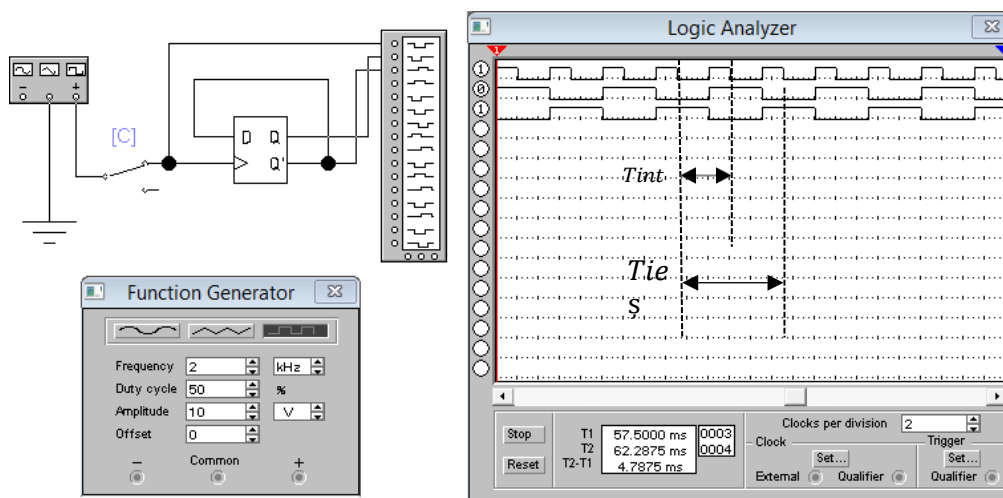


Рис. 2.8. Электрическая схема делителя частоты, построенного на основе бистабильного D.

На схеме рис. 2.8 показаны генератор сигналов, переключатель C и бистабильный D. Обратный выход  $Q$  бистабильного устройства D подключен к его входу. Временные диаграммы для каналов C, Q и  $Q$  отображаются на дисплее логического анализатора.

Из рис. 2.8 значение коэффициента деления частоты  $K_{div} = f_{int}/$

$f_{ies}$ , где  $f_{int}$  - частота сигнала, подаваемого на вход C бистабильного устройства, а  $f_{ies}$  - частота сигнала, получаемого на выходах Q и  $Q$  бистабильного устройства. Согласно электрической схеме генератор выдает сигнал  $f_c$  на вход бистабильного устройства D, который имеет частоту  $f_{int} = f_c = 2 \text{ kHz}$ . На панели логического анализатора мы видим, что период сигнала на выходе бистабильного устройства  $T_{ies} = 2T_{int}$ . Поскольку

$f_{ies} = 1/T_{ies}$  для  $K_{div}$  получен:

$$K_{div} = \frac{f_{int}}{f_{ies}} = \frac{T_{ies}}{T_{int}} = 2 \text{ или } f_{ies} = 1 \text{ kHz}.$$

Для получения  $K_{div} = 4, 8, 16, \dots$  бистабильность D с цепью обратной связи подключается в электрической схеме последовательно.

## 2.3. MS, DV и JK двухступенчатые бистабильности

### 2.3.1. Бистабильность MS-типа

Бистабильность типа MS может быть построена из двух RS-синхронных бистабильностей. Схема подключения MS бистабильного устройства, построенного из логических элементов И-НЕ, показана на рис. 2.8.

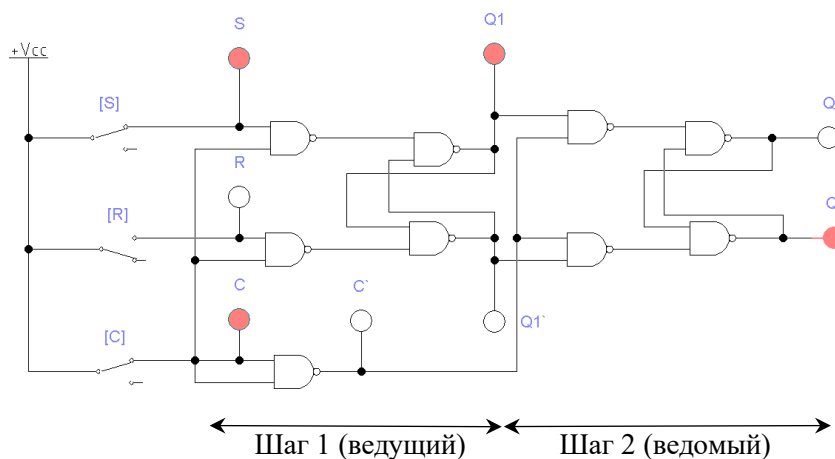


Рис. 2.8. Схема подключения бистабильного MS.

В электрической схеме бистабильного MS, построенного из логических элементов И-НЕ, используются следующие обозначения:

+Vcc - источник питания;

S - set (вставить, разместить, ввести информацию);

R - сброс (инициализация, установка бистабильного устройства в исходное состояние, удаление информации);

C - канал маршрутизации/управления;

Q1 - прямой выход первого шага (канал, представляющий информацию в прямом состоянии);

$\overline{Q1}$  инвертированный выход первого шага (канал, представляющий информацию в инвертированном состоянии);

Q - прямой выход (канал, представляющий информацию в прямом состоянии);

$\overline{Q}$  - обратный выход (канал, представляющий информацию в обратном состоянии).

Бистабильный MS имеет 2 ступени (см. рис. 2.8): первая ступень называется "ведущей" или ведущей; вторая ступень называется "ведомой" или ведомой.

Для представления рабочего процесса бистабильного MS можно использовать логические функции или временные диаграммы. В результате выполнения расчетов или анализа временных диаграмм необходимо заполнить таблицу истинности.

В соответствии с обозначениями на рис. 2.8 логические функции для  $\overline{Q1}$  и выходы первой ступени (Q1 и (Q и  $\overline{Q}$ ) MS бистабильности следующие:

$$Q1 = \overline{C \times \overline{Q1}}; \quad (2.3.1)$$

$$\overline{Q1} = \overline{C \times Q1}; \quad (2.3.2)$$

$$Q = C \times Q1 \times Q; \quad (2.3.3)$$

$$Q = C \times Q1 \times \overline{Q}. \quad (2.3.4)$$

Ниже будет показан процесс работы бистабильного MS с помощью временных

диаграмм. Временная диаграмма представляет собой прямоугольный график сигнала (см. рис. 2.9), где по вертикальной оси находится логическое значение (0, 1), а по горизонтальной - время.

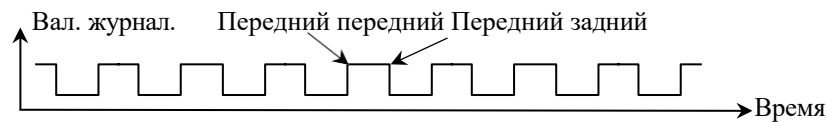


Рис. 2.9. Пример временной диаграммы.

Временные диаграммы получают с помощью логического анализатора, подключенного к электрической схеме бистабильного MS (см. рис. 2.10).

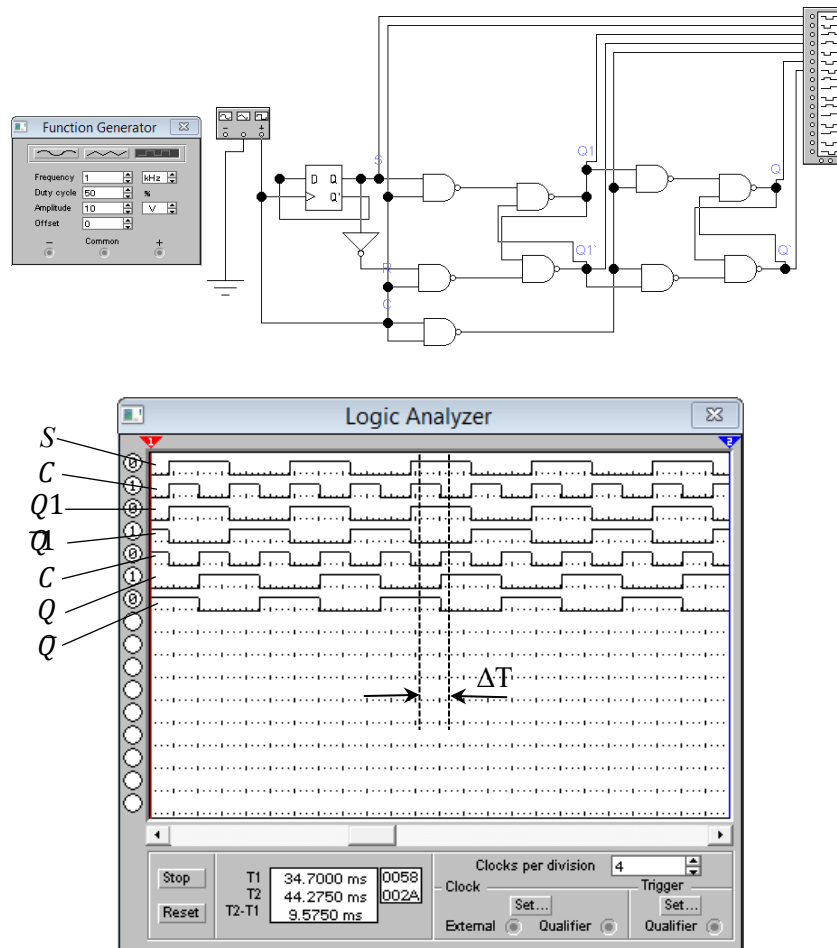


Рис. 2.10. Представление рабочего процесса бистабильного MS с помощью временных диаграмм.

На электрической схеме на рис. 2.10 показаны следующие устройства:

- генератор сигналов (Function Generator);
- бистабильного устройства D-типа, необходимого для получения сигнала на входе  $S$  бистабильного устройства MS;
- инвертор, подключенный к выходу бистабильного D и входу  $R$  бистабильного MS (это необходимо для исключения запрещенного состояния  $S = 1, R = 1$ );
- MC бистабильность, построенная из девяти логических элементов AND-NO;
- для получения временных диаграмм необходим логический анализатор.

Временные диаграммы, полученные с помощью логического анализатора, обозначаются:  $S$  - информационный канал (канал данных), который записывается в бистабильность;  $C$  - канал маршрутизации;  $Q1$  - непосредственный выход первого шага бистабильности;  $\overline{Q1}$  - инвертированный выход первой ступени бистабильного устройства;  $\overline{C}$  - инвертированный канал маршрутизации;  $Q$  - прямой выход второй ступени бистабильного устройства;  $\overline{Q}$  - инвертированный выход второй ступени бистабильного устройства;

Анализируя временные диаграммы, можно сделать следующие выводы:

- состояние первой ступени бистабильности MS изменяется, когда логическое значение управляющего сигнала  $C$  изменяется с 0 на 1 (после предыдущего фронта управляющего сигнала  $C$ );



- состояние второго каскада бистабильного МС изменяется, когда логическое значение управляющего сигнала  $C$  изменяется с 0 на 1 (после предыдущего фронта управляющего сигнала  $\bar{C}$ );
- существуют временные интервалы  $\Delta T$ , когда после ввода новой информации на первом этапе, предыдущая информация на первом этапе сохраняется на втором этапе;
- сохранение предыдущей информации на втором этапе, после ввода новой информации на первом этапе, позволяет организовать процедуру восстановления предыдущей информации.

Мы заполняем таблицу истинности (см. таблицу 2.5).

Таблица 2.5. Таблица истинности бистабильности МС, построенной из логических элементов И-НЕ

Для первой ступени бистабильного МС						
Нет д/о	$C$	$S$	$R$	$Q1$	$\bar{Q}$	Рабочие соглашения
0	0	0	0	$Q$	$Q$	Сохраня предыдущее состояние, $C = 0$
1	0	0	1	$Q$	$Q$	Сохраня предыдущее состояние, $C = 0$
2	0	1	0	$Q$	$Q$	Сохраня предыдущее состояние, $C = 0$
3	0	1	1	$Q$	$Q$	Сохраня предыдущее состояние, $C = 0$
4	1	0	0	$Q$	$Q$	Сохраня предыдущее состояние, $C = 1$
5	1	0	1	0	1	Инициализация бистабильного устройства
6	1	1	0	1	0	Ввод информации
7	1	1	1	1	1	Запрещенное состояние
Для второй ступени бистабильного MS						
Нет д/о	$C$	$Q1$	$\bar{Q}$ 1	$Q$	$Q$	Рабочие соглашения
0	0	0	0	$Q$	$Q$	Сохраня предыдущее состояние, $C = 0$
1	0	0	1	$Q$	$Q$	Сохраня предыдущее состояние, $C = 0$
2	0	1	0	$Q$	$Q$	Сохраня предыдущее состояние, $C = 0$
3	0	1	1	$Q$	$Q$	Сохраня предыдущее состояние, $C = 0$
4	1	0	0	$Q$	$Q$	Сохраня предыдущее состояние, $C = 1$
5	1	0	1	0	1	Инициализация бистабильного устройства
6	1	1	0	1	0	Ввод информации
7	1	1	1	1	1	Запрещенное состояние

Из таблицы 2.5 можно определить преимущества и недостатки бистабильной системы

MS. Преимущества бистабильной системы MS заключаются в следующем:

- сохранение предыдущей информации на втором этапе, после ввода новой информации на первом этапе, позволяет организовать процедуру восстановления предыдущей информации;
- имеет канал управления, является синхронно бистабильным и может быть программно управляемым. Бистабильность MS имеет следующий недостаток:
- условие  $S = 1, R = 1$  запрещено.

На рисунке 2.11 показано условное обозначение бистабильных MC, построенных из логических элементов AND-NU/SAU-NU.

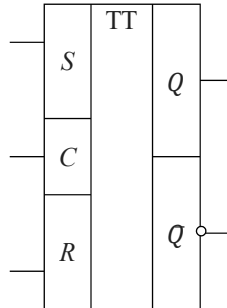


Рис. 2.11. Обычный бистабильный символ MS.

### 2.3.2. Бистабильность типа DV

В случае бистабильного МС каждый бит информации должен быть записан путем активации управляющего сигнала  $C$ . Для того чтобы записывать несколько битов одновременно, подавая управляющий сигнал, бистабильная схема MS была модифицирована и названа бистабильной схемой DV.

Бистабильное устройство DV основано на электрической схеме бистабильного устройства MS, в которую добавлены элемент NO и элемент AND (см. рис. 2.12).

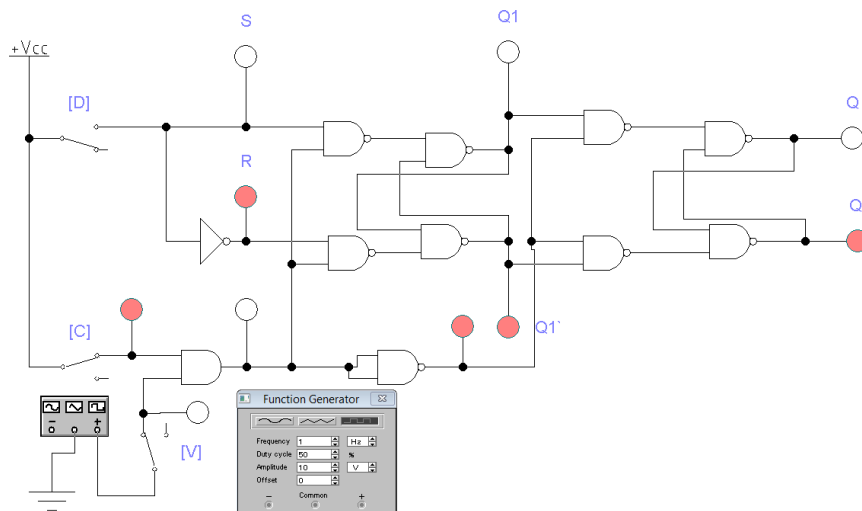


Рис. 2.12. Схема подключения бистабильного MS.

Инвертор НЕ соединяет входы  $S$  и  $R$  бистабильного МС, чтобы исключить применение запрещенного состояния  $S = 1, R = 1$ . Входы элемента И соединены с каналами  $C$  и  $V$ , где  $C$  - канал управления, а сигнал касания постоянно подается на канал  $V$ . Канал  $D$  - это канал данных, который может быть записан в бистабильное устройство DV. Сигнал касания излучается генератором.

Для бистабильности DV мы имеем следующие режимы lugu:

- $C = 0$ , бистабильность находится в режиме хранения информации;
- $C = 1$ , бистабильность находится в режиме записи информации. Условное обозначение ДВ бистабильного устройства показано на рис. 2.13.

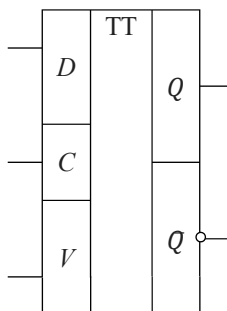


Рис. 2.13. Обычный бистабильный символ DV.

### 2.3.3. Бистабильный тип JK

JK-бистабильность основана на электрической схеме MS-бистабильности, в которой две цепи обратной связи и два элемента И-НЕ имеют три входа (см. рис. 2.14).

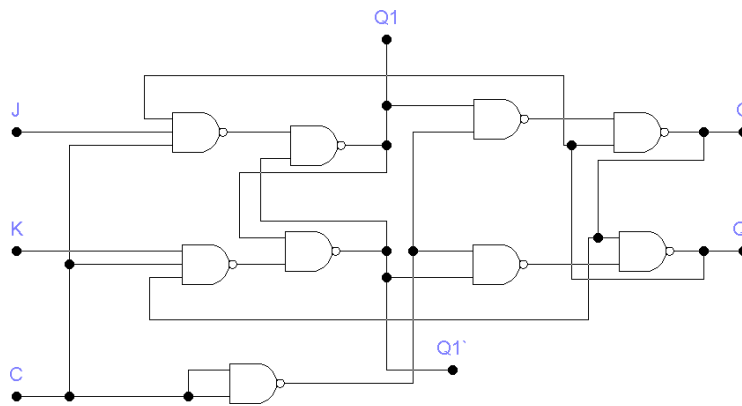


Рис. 2.14. Электрическая схема JK-бистабильного устройства.

На рис.2.14 приведены следующие обозначения:

$J$  - канал передачи данных;

$K$  - в основном используется для инициализации бистабильности;

$C$  - канал управления;

$Q1$  - прямой выход первого шага (канал, представляющий информацию в прямом состоянии);

$\overline{Q1}$  инвертированный выход первого шага (канал, представляющий информацию в инвертированном состоянии)

$Q$  - прямой выход (канал, представляющий информацию в прямом состоянии);

$\overline{Q}$  - обратный выход (канал, представляющий информацию в обратном состоянии).

Согласно схеме на рис. 2.14 логические функции, выполняемые JK-бистабильным устройством, следующие:

$$Q1 = C \times J \times Q \times Q \times Q1; \quad (2.3.5)$$

$$\overline{Q1} = C \times K \times \overline{Q} \times \overline{Q} \times \overline{Q1}; \quad (2.3.6)$$

$$Q = C \times Q1 \times Q; \quad (2.3.7)$$

$$\overline{Q} = C \times Q1 \times \overline{Q}. \quad (2.3.8)$$

Чтобы показать процесс работы JK-бистабильного устройства, можно использовать электрическую схему, показанную на рис. 2.15. Таблица истинности будет заполнена путем подачи различных комбинаций  $C, J, K$  на входы JK-бистабильного устройства с учетом предыдущих состояний  $Q_{an}, \overline{Q}_{an}$  (см. таблицу 2.6).

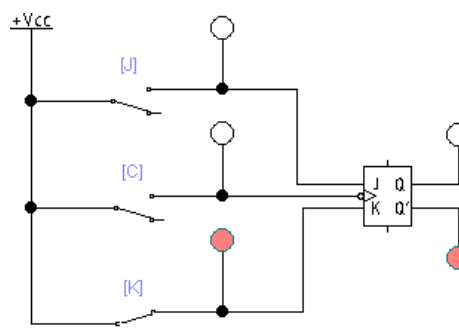


Рис. 2.15. Схема подключения для демонстрации рабочего процесса бистабильного

JK. Таблица 2.6. Таблица истинности бистабильной JK-системы

Нет · д/о	$C$	$J$	$K$	$Q_{an}$	$Q_{an}$	$Q$	$Q$	Рабочие соглашения
0	0	0	0	0	1	0	1	Сохраняя предыдущее состояние, $C = 0$
1	0	0	0	1	0	1	0	Сохраняя предыдущее состояние, $C = 0$
2	0	0	1	0	1	0	1	Сохраняя предыдущее состояние, $C = 0$
3	0	0	1	1	0	1	0	Сохраняя предыдущее состояние, $C = 0$
4	0	1	0	0	1	0	1	Сохраняя предыдущее состояние, $C = 0$
5	0	1	0	1	0	1	0	Сохраняя предыдущее состояние, $C = 0$
6	0	1	1	0	1	0	1	Сохраняя предыдущее состояние, $C = 0$
7	0	1	1	1	0	1	0	Сохраняя предыдущее состояние, $C = 0$
8	1	0	0	0	1	0	1	Сохраняя предыдущее состояние, $C = 1$
9	1	0	0	1	0	1	0	Сохраняя предыдущее состояние, $C = 1$
10	1	0	1	0	1	0	1	Инициализация бистабильного устройства
11	1	0	1	1	0	0	1	Инициализация бистабильного устройства
12	1	1	0	0	1	1	0	Ввод информации
13	1	1	0	1	0	1	0	Ввод информации
14	1	1	1	0	1	1	0	Обращение вспять предыдущего/предыдущего состояния
15	1	1	1	1	0	0	1	Обращение вспять предыдущего/предыдущего состояния

Согласно данным, представленным в таблице 2.6, JK-бистабильность может находиться в следующих состояниях/режимах работы:

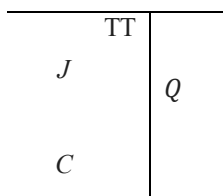
- $C = 0$  и  $JK$  - различные комбинации 0 и 1, режим сохранения информации;
- $C = 1$  и  $JK = 00$ , режим сохранения информации;
- $C = 1$  и  $JK = 01$ , бистабильная инициализация;
- $C = 1$  и  $JK = 10$ , ввод информации;
- $C = 1$  и  $JK = 11$ , отмена предыдущего/предыдущего

состояния. JK-бистабильность имеет следующие преимущества:

- сохранение предыдущей информации на втором этапе, после ввода новой информации на первом этапе, позволяет организовать процедуру восстановления предыдущей информации;
- имеет канал управления, является синхронно бистабильным и может быть программно управляемым;
- не имеет запрещенных состояний.

Бистабильность JK также называют универсальной бистабильностью, поскольку она может заменить, с небольшими модификациями, другие бистабильности и широко используется для проектирования и конструирования числовых устройств.

Символ обычного JK-бистабильного устройства показан на рис. 2.16.



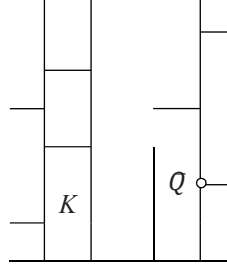


Рис. 2.16. Обычный бистабильный символ JK.

### Самостоятельная работа № 5.

1. Постройте RS-синхронную бистабильную схему из логических элементов SAU-NU, представьте логические функции и временные диаграммы, заполните таблицу истинности.

2. Постройте электрическую схему делителя частоты с  $K_{div} = 8$  и покажите временные диаграммы для входа  $C$  и всех выходов  $Q$  делителя.