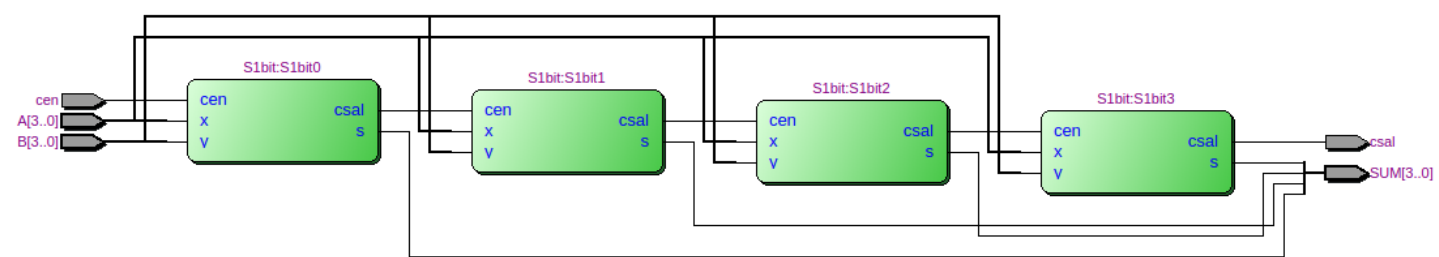


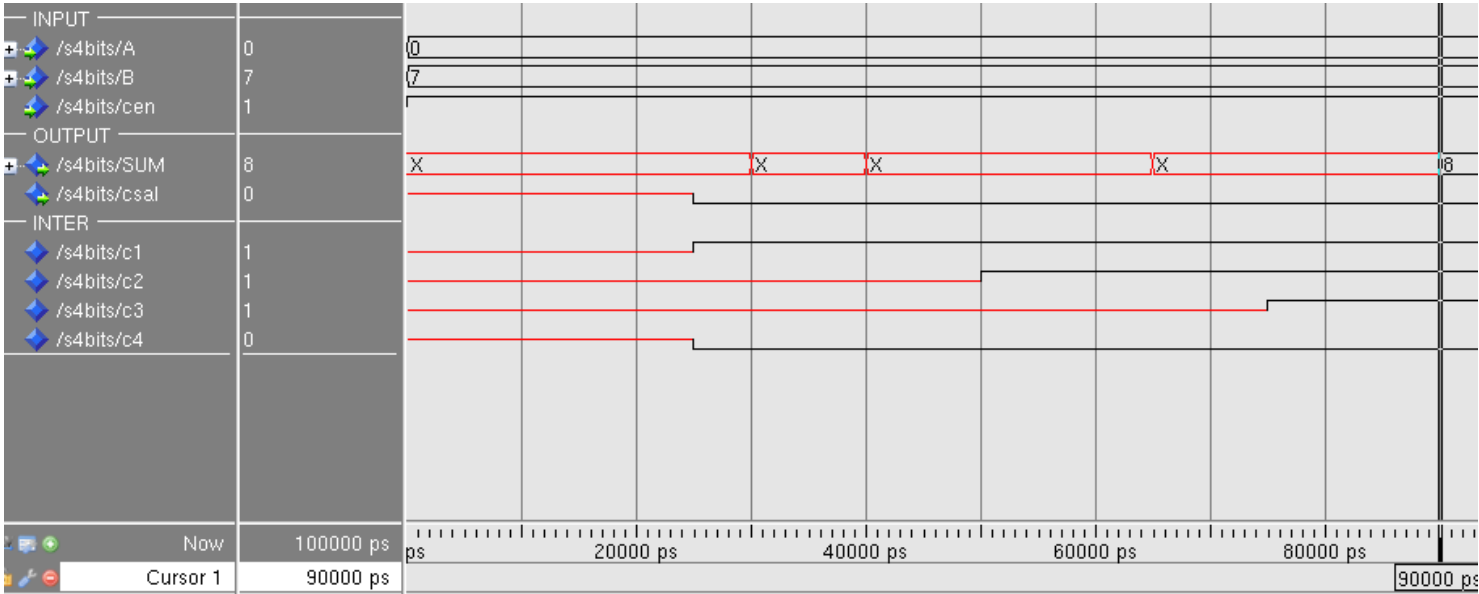
Pregunta 1. Entregueu l'elaboració RTL que fa Quartus del disseny del sumador de 4 bits (pàgines 66–68).



Pregunta 2. Seguiu les instruccions de les pàgines 68–73 per estimular les entrades del sumador de 4 bits usant els vostres números de DNI mòdul 16 (e.g. pel DNI 12345678-Z, heu de fer $12345678 \bmod 16 = 14$). Si només hi ha un estudiant al grup, sumeu 5 al número de DNI mòdul 16. Usant $c_{en} = 1$, comproveu el resultat obtingut, determineu el retard observat i entregueu una finestra temporal.

DNI	DNI mod 16	Entrades	Valors Entrada
43581984	0	A	0x0
43574759	7	B	0x7
		C _{en}	1

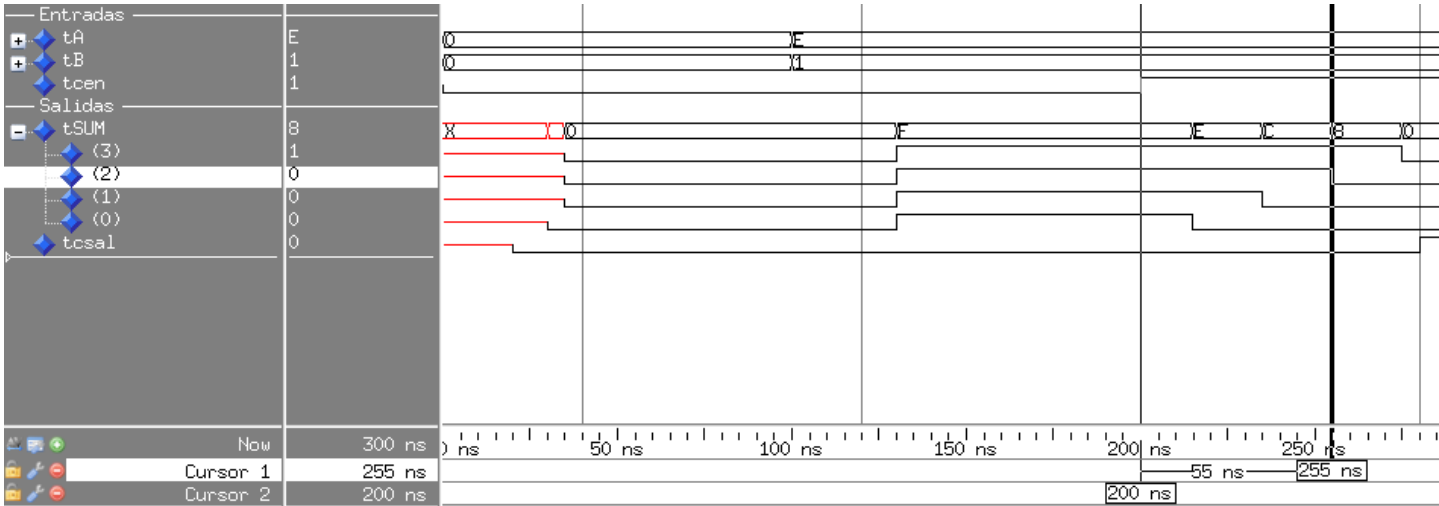
Suma	C _{sal}	Retard
0x8	0	90 ns



El **Cursor 1** equival al moment al qual totes les sortides són estables, passat 90 ns, on a la variable SUMA tenim el valor correcte de la suma entre A i B amb l'acarreó C_{en}.

Pregunta 3. Supposeu que abans de l'instant de temps t_0 , tots els senyals del sumador són estables i canvia només un dels nou senyals d'entrada del sumador. Supposeu també que el darrer senyal de sortida que s'estabilitzarà és SUM(2) a l'instant t_1 . Indiqueu el retard del circuit en el pitjor cas, així com els valors de les entrades abans de l'instant t_0 i a l'instant t_0 . Modifiqueu el programa de prova (prueba_S4bits.vhd) afegint un procés que generi els corresponents senyals d'entrada ("Generación de señales de estímulo mediante el constructor process." a la pàgina 92). Considereu $t_0 = 200\text{ns}$. A continuació, comproveu el resultat amb el simulador. Teniu en compte que els paràmetres associats als retards de les portes s'estableixen en instanciar el component S4bits al programa de prova (reviseu "Modelos parametrizados" a la pàgina 63).

Entrades ($t < t_0$)		Entrades ($t = t_0$)	
A	0xE	A	0xE
B	0x1	B	0x1
Cen	0	Cen	1
Retard ($t_1 - t_0$):	55 ns		



En la captura el **Cursor 2** indica l'instant t_0 , on el senyal $tcen$ canvia de 0 a 1. El **Cursor 1** indica l'instant t_1 , que és quan el senyal SUM(2) s'estabilitza d'acord amb el enunciat. Observem que la diferència és de 55 ns.

A continuació, mostreu el codi del procés de generació dels estímuls.

Procés de generació dels senyals d'estímuls (pruebaS4bits.vhd)
<pre>estimulos: process begin tA <= x"0"; tB <= x"0"; tcen <= '0'; wait for 100 ns; tA <= x"E"; tB <= x"1"; tcen <= '1'; wait for 100 ns; -- t0</pre>

```

tA <= x"E";
tB <= x"1";
tcen <= '1';
wait for 100 ns;
wait;
end process;

```

Pregunta 4. Considereu el sumador de 4 bits especificat en VHDL mitjançant sentències generate (explicat a partir de la pàgina 83). En aquest disseny, els paràmetres associats als retards de les portes lògiques s'estableixen en instanciar els components s1bits del fitxer snbits.vhd. Modifiqueu el programa de proves (prueba_snbits_reloj.vhd) per a que imprimeixi el primer valor de les entrades en què s'observa el retard mínim i màxim (veure la pàgina 97). El programa de proves s'ha de modificar per a que es considerin totes les possibles combinacions de sumes.

Entrades retard mínim		Entrades retard màxim	
A	0x0	A	0x0
B	0x1	B	0xE
C_{en}	0	C_{en}	0
Retard mínim	40 ns	Retard màxim	100 ns
Justificació	El retard es deu a la estabilització de les portes and i or, que es poden fer totes en paral·lel en 25ns + 15ns (xor entre cen i xorxy)	Justificació	El retard es deu a la propagació dels carrys a través de tots els sumadors del circuit.