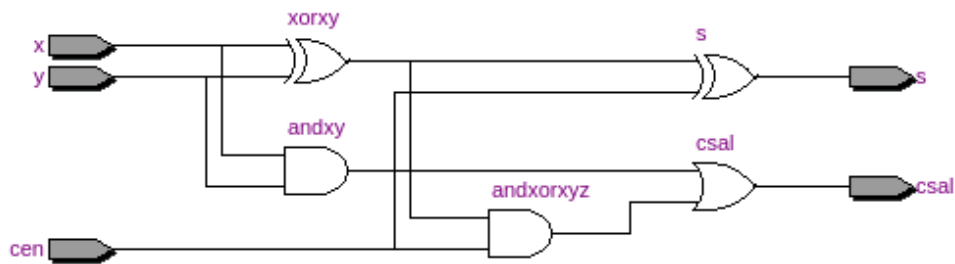


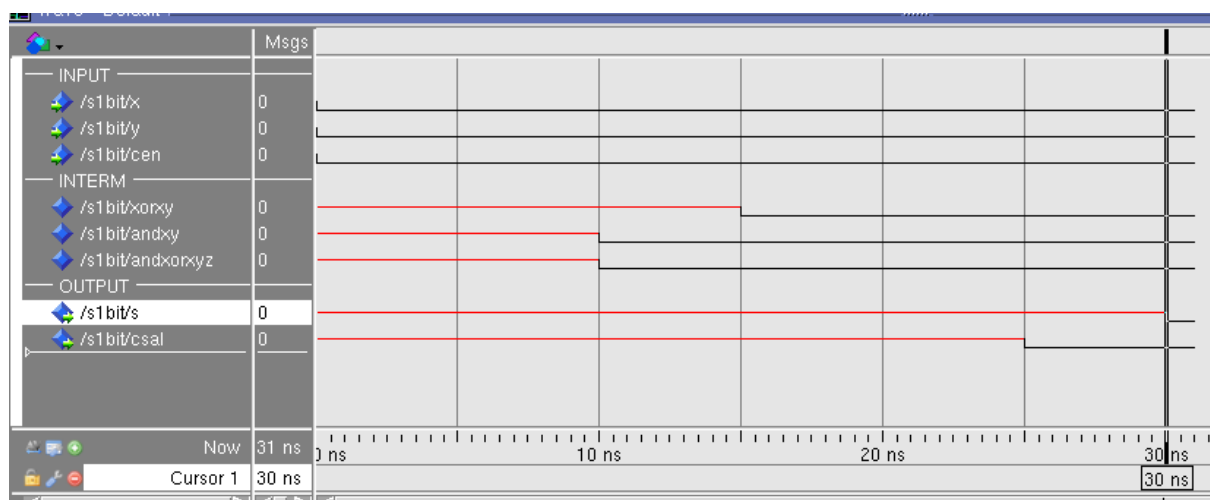
1. Entregue la elaboración RTL que efectúa Quartus del diseño efectuado.

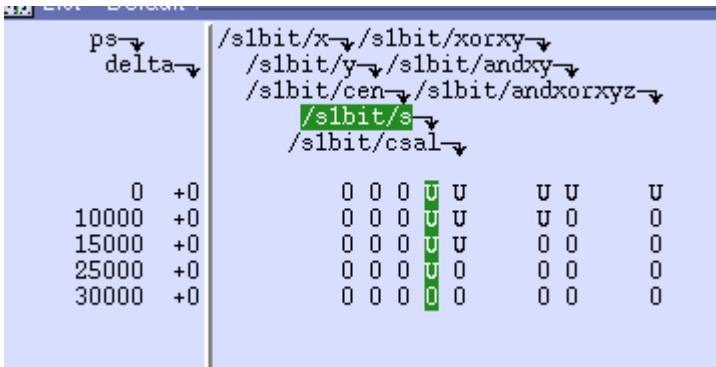


2. Cree un frente de onda para medir el retardo de las 8 posibles combinaciones de los valores de las señales de entrada de un sumador de 1 bit. Utilice la orden force para estimular los puertos de entrada en el simulador Modelsim. Adjunte la parte de la ventana textual (list.lst) y la parte de la ventana temporal (wave.bmp) cuando se estimula el circuito con el vector de entrada ( $x = 0$ ,  $y = 1$ ,  $cen = 1$ ). Muestre en la ventana textual el cálculo del retardo. Así mismo, identifique en ventana temporal la evolución de las señales para este vector (utilice los cursores). Para cada vector de entrada indique el retardo observado. Justifique la respuesta.

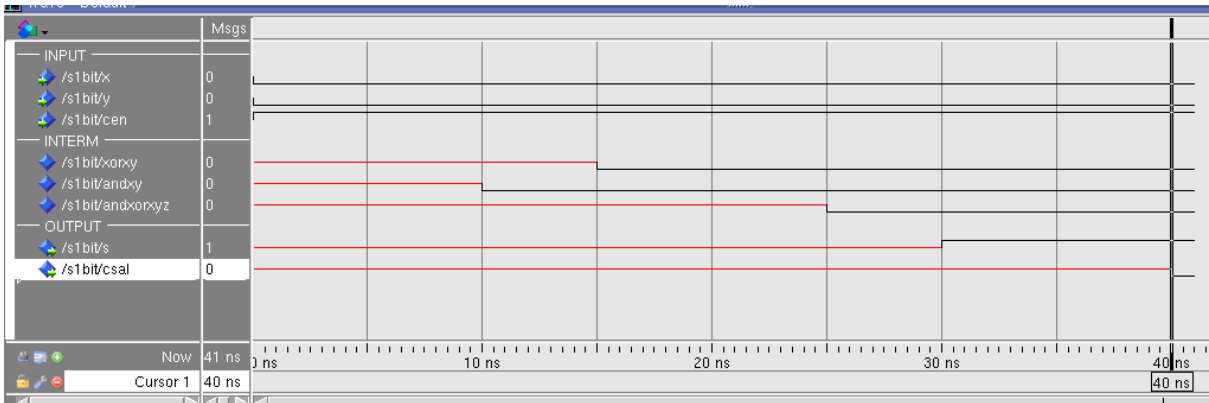
Entrada	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
Retardo	30 ns	40 ns	30 ns	40 ns	30 ns	40 ns	30 ns	30 ns
Justific.	<p>Cuando <math>cen = 1</math> el valor <math>andxxyz</math> (siendo antes U) no puede ser conocido de inmediato. En esta situación se da el camino crítico del circuito, siendo éste 40 ns. En caso de que <math>cen = 0</math>, el valor de <math>andxxyz</math> puede ser conocido antes de que se procese <math>xorxy</math>, ahorrando tiempo.</p>							

0 0 0:

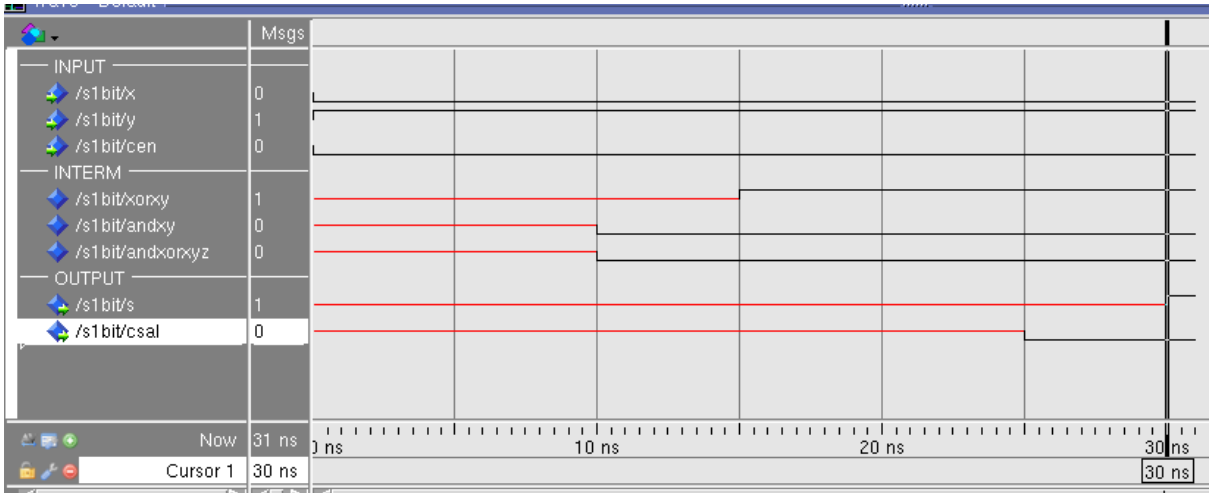




0 0 1:

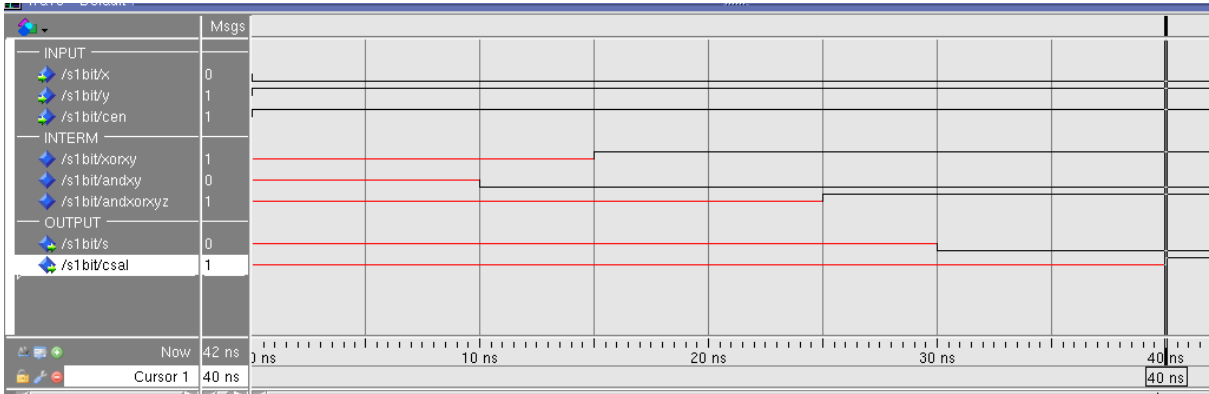


0 1 0:



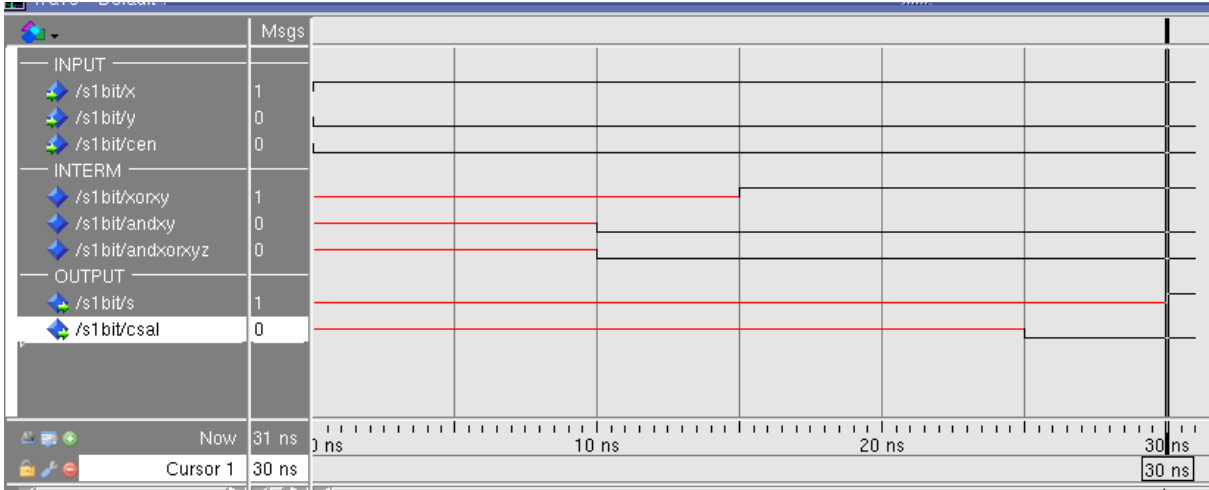
ps	delta	/slbit/x	/slbit/xorxy	/slbit/y	/slbit/andxy	/slbit/cen	/slbit/andxorxyz	/slbit/s	/slbit/csai
0	+0	0	1	0	U	U	U	U	U
10000	+0	0	1	0	U	U	U	0	0
15000	+0	0	1	0	U	U	1	0	0
25000	+0	0	1	0	U	0	1	0	0
30000	+0	0	1	0	1	0	1	0	0

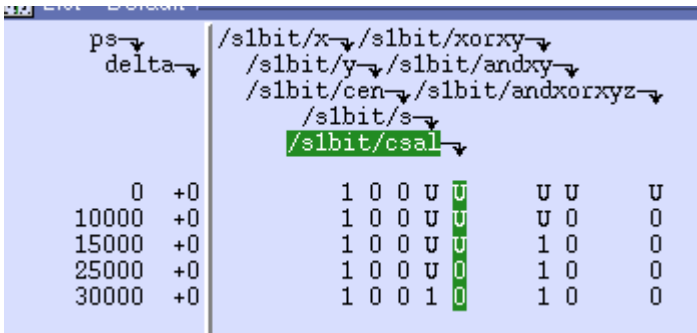
0 1 1:



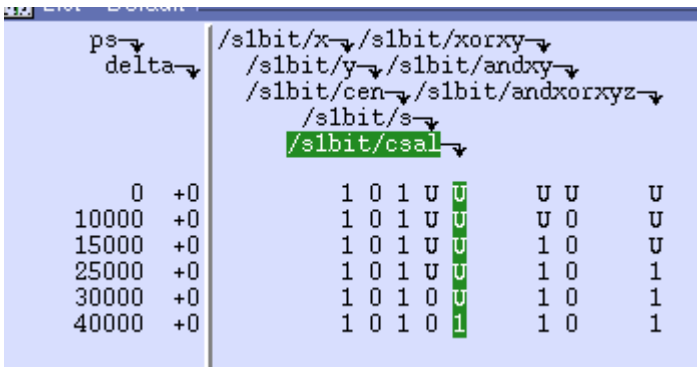
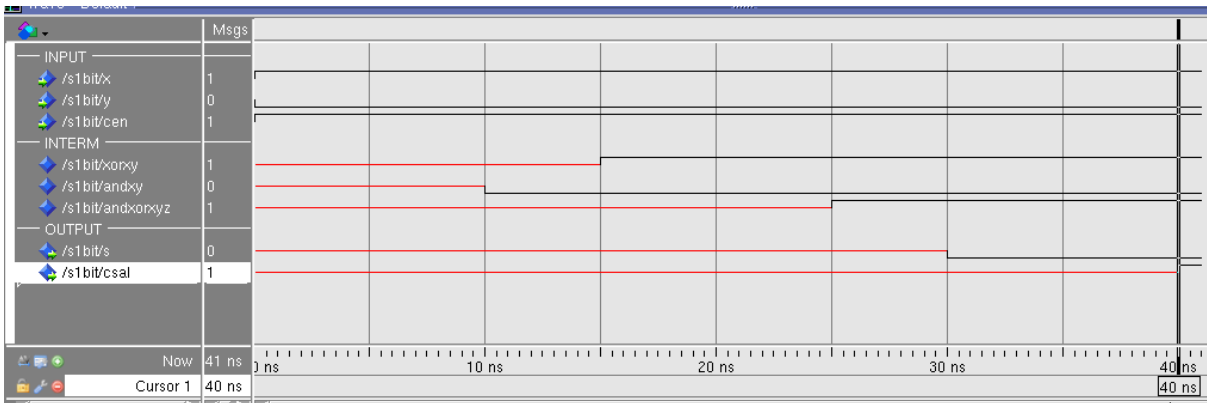
ps	delta	/slbit/x	/slbit/xorxy	/slbit/y	/slbit/andxy	/slbit/cen	/slbit/andxorxyz	/slbit/s	/slbit/csai
0	+0	0	1	1	U	U	U	U	U
10000	+0	0	1	1	U	U	U	0	U
15000	+0	0	1	1	U	1	0	U	U
25000	+0	0	1	1	U	1	0	1	1
30000	+0	0	1	1	0	1	0	1	1
40000	+0	0	1	1	0	1	0	1	1

1 0 0:

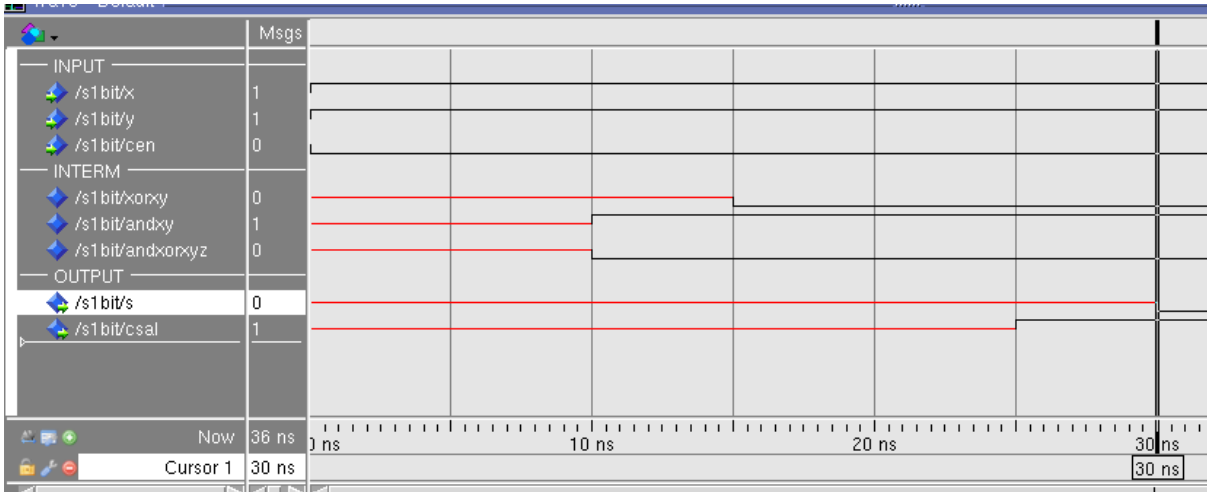




1 0 1:

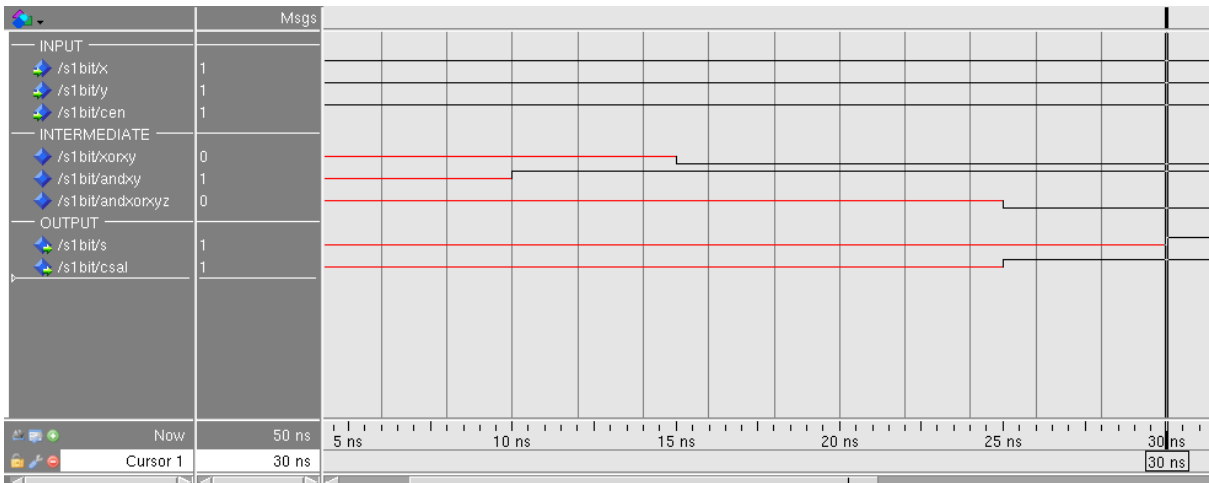


1 1 0:



ps		/slbit/x	/slbit/xorxy			
delta		/slbit/y	/slbit/andxy			
		/slbit/cen	/slbit/andxorxyz			
		/slbit/s				
		/slbit/csai				
0	+0	1	1	0	U	U
10000	+0	1	1	0	U	U
15000	+0	1	1	0	U	U
25000	+0	1	1	0	U	1
30000	+0	1	1	0	0	1

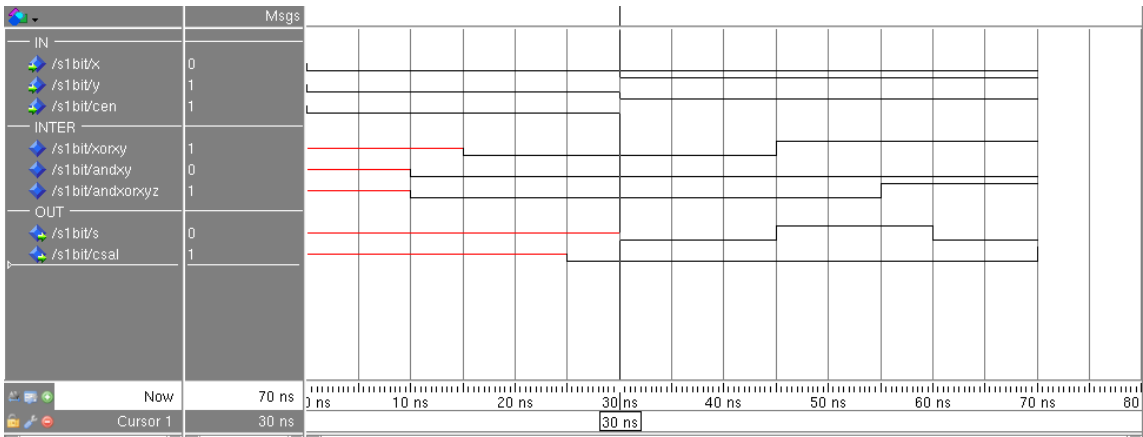
1 1 1:



ps		/slbit/x	/slbit/xorxy			
delta		/slbit/y	/slbit/andxy			
		/slbit/cen	/slbit/andxorxyz			
		/slbit/s				
		/slbit/csai				
0	+0	1	1	1	U	U
10000	+0	1	1	1	U	U
15000	+0	1	1	1	U	U
25000	+0	1	1	1	U	1
30000	+0	1	1	1	1	1



b:



$$\text{retardo} = 70 \text{ ns} - 30 \text{ ns} = 40 \text{ ns}$$