



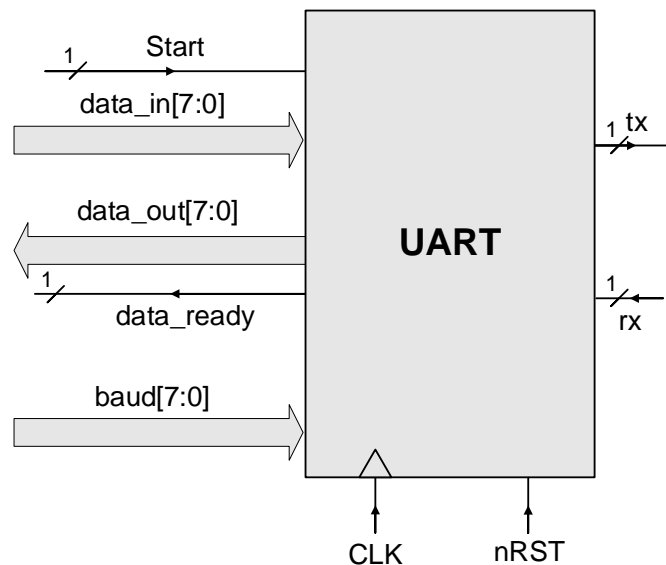
دانشگاه شهید بهشتی

دانشکده‌ی مهندسی و علوم کامپیوتر

طراحی مدارهای دیجیتال با VHDL

طراحی تکمیلی UART با استاندارد T0

شرح پروژه: در مرحله‌ی قبل، ساختار کلی UART طراحی گردید. حال آن را برای سازگار شدن با استاندارد T0 کامل می‌نماییم. ورودی و خروجی‌های این سخت‌افزار بصورت شکل تغییر می‌یابد.



بخش ارسال (P2S): این بخش داده موازی را از طریق خط `data_in` که یک خط ۸ بیتی است، دریافت می‌کند و آن را روی خط `tx` بصورت سریال ارسال می‌کند. روند کار به این صورت است که در تمام مدتی که `start` فعال نشده است، خروجی `tx` برابر '1' است. هر گاه پایه `start` برابر '1' شود، عمل تبدیل داده‌ی موازی به سریال آغاز می‌شود. در ابتدا یک بیت '0' روی خط `tx` قرار داده می‌شود و به مدت `baud` کلاک روی خط می‌ماند. سپس طی ۸ `baud`، ۸ بیت `data_in` از بیت صفر تا بیت ۷ روی خروجی قرار می‌گیرد و در ۹ام `baud` یک بیت `parity` فرد از ۸ بیت داده تولید و روی خط ارسال می‌گردد. اگر در ۱۰ام `baud` روی خط `rx` صفر دریافت شد، یعنی گیرنده داده‌ی ارسالی را به درستی دریافت نکرده است و فرستنده باید آن را دوباره ارسال نماید. در غیر این صورت ارسال تمام است.

بخش دریافت (S2P): این بخش داده سریال روی خط rx را دریافت کرده و پس از موازی سازی آن را روی خط data_out قرار می-دهد. در حالت عادی خط rx در حالت عادی برابر '1' است. هرگاه روی این خط یک صفر دیده شود، به معنای شروع یک داده سریال است و پس از آن طی baud، ۸ بیت داده سریال از خط rx خوانده شده و روی خط data_out قرار داده می-شود. در baud نهم، parity دریافت می-گردد. در baud یازدهم خود گیرنده، مقدار parity ۸ بیت دریافتی را محاسبه می-کند. در baud یازدهم اگر parity دریافت شده با parity محاسبه شده متفاوت باشد، روی خط tx را صفر می-کند. در غیر اینصورت خط data_ready برابر '1' می-شود که اتمام دریافتی یک بایت داده را از روی خط سریال نشان می-دهد.

نکات:

- کلیه عملیات در لبه بالارونده کلاک صورت می-گیرد.
- '1' شدن پایه start نشان دهند هی شروع تبدیل داده موازی به سریال است. این پایه تنها یک سیکل '۱' باقی میماند و در طول کل عملیات تبدیل داده موازی به سریال برابر '۱' نیست.
- زمانی که خط data_ready فعال شود، تنها یک سیکل فعال باقی میماند و سپس '۰' میشود.
- مدار فوق را به صورت قابل سنتز طراحی کنید و با استفاده از ابزار Moelsim تست کنید. در ابزار Modelsim تیک Check for synthesis را فعال کنید تا مشکلات سنتز را نشان دهد.