

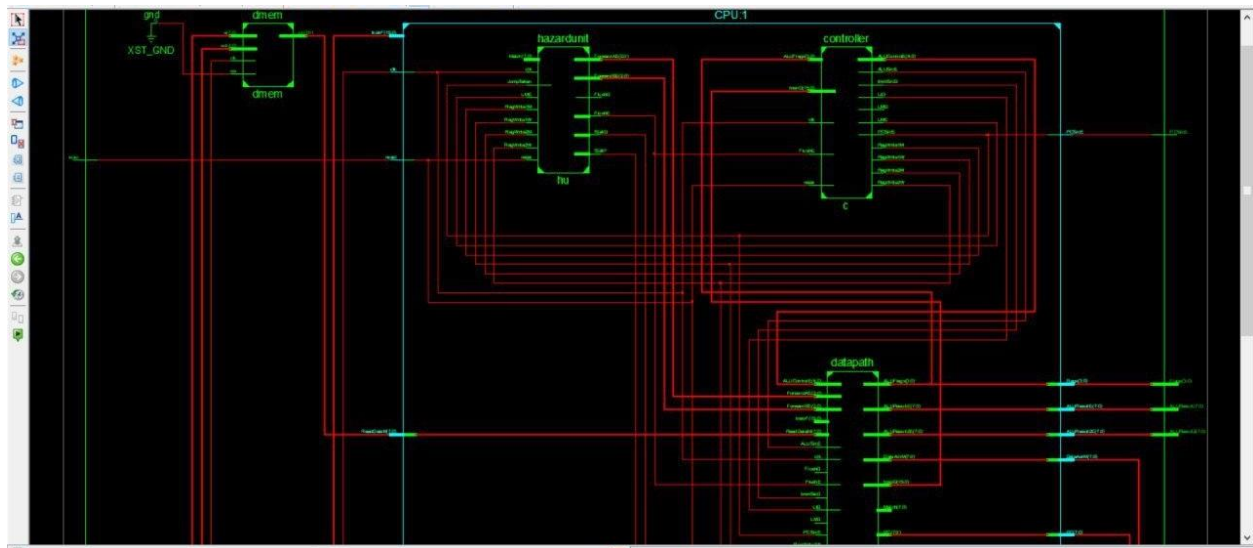
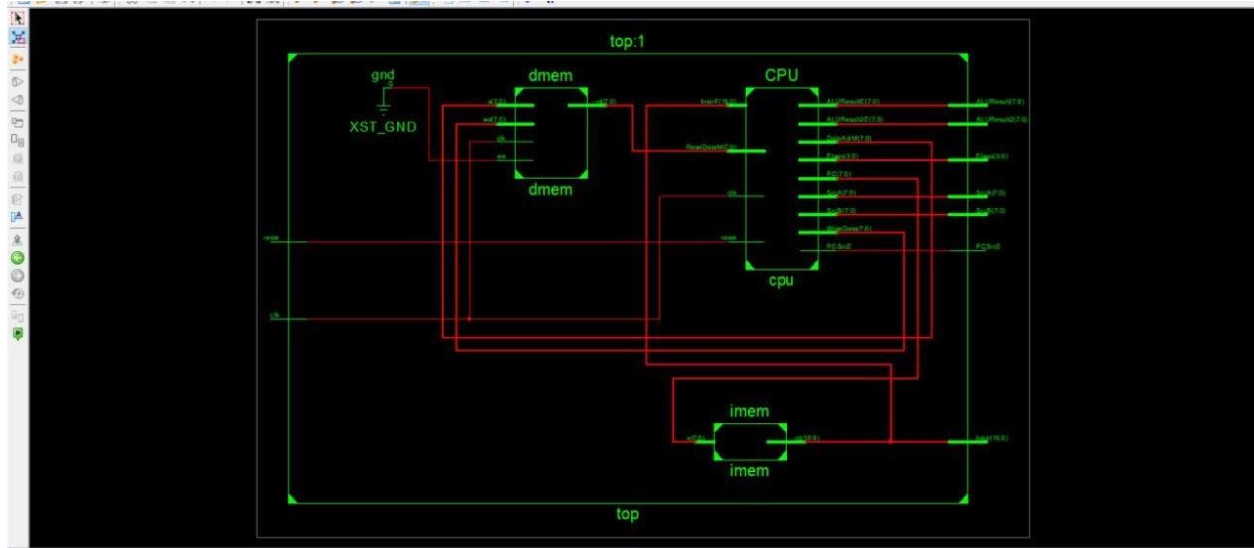
آزمایش شماره 5 (Pipeline)

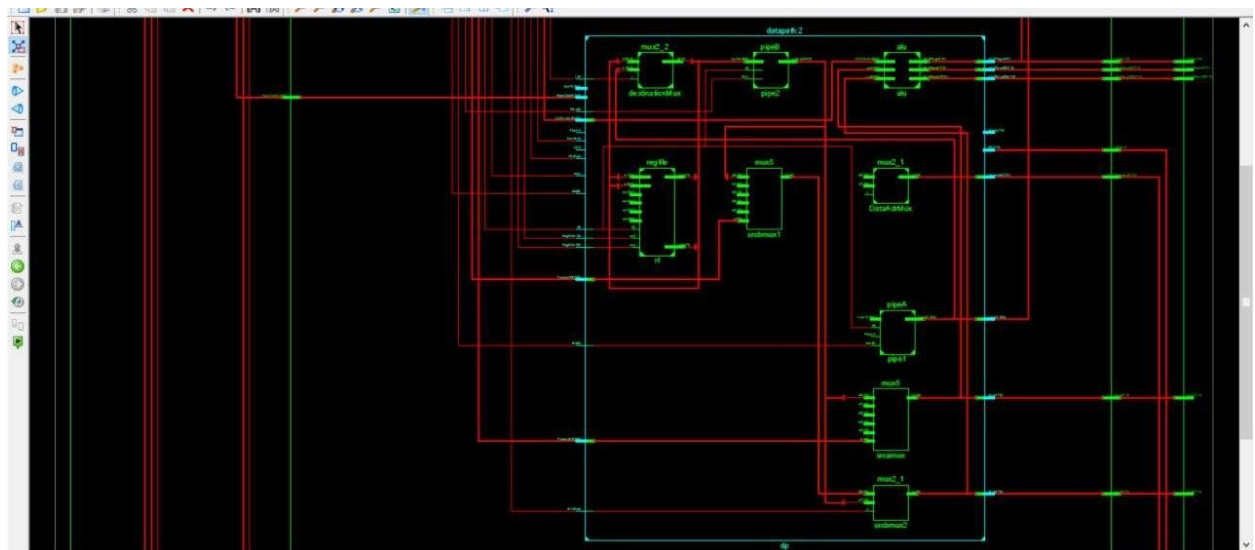
گروه 2 درین رستمی و پارسا فدایی خدمت

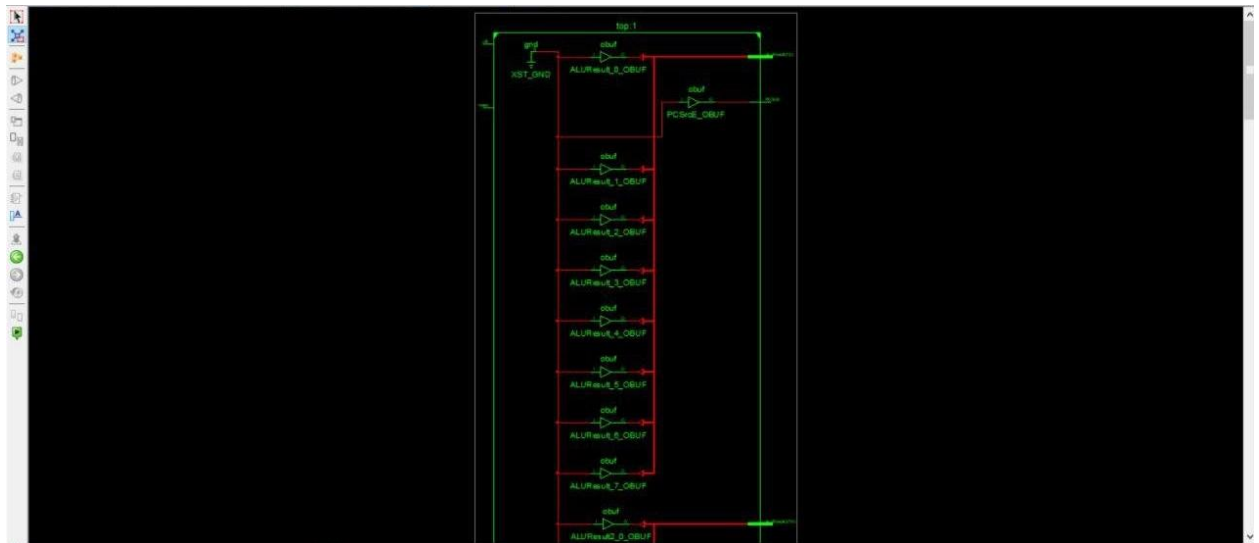
آزمایشگاه 4 شنبه ساعت 1:30

توضیح: برای تبدیل single cycle به pipeline روند اجرای دستورات را به 5 قسمت (Fetch, Decode, Execute, Memory, WriteBack) تقسیم میکنیم، برای این کار از 8 فلیپ فلاپ (در کد "pipe" + pcreg برای pc نامگذاری شدند - 4 تا pipe و pcreg در datapath و 3 تا در controller) و hazard unit برای اجرای forward و stall ها و mux هایی برای کنترل کردن سیگنال های forward شده استفاده کردیم.

RTL:







1. LI R1, 1	1011000100000001
2. LI R2, 1	1011001000000001
3. SAL R1, 2	0000001011001010
4. ADD R1, R2	0000000001001010
5. XCHG R1, R2	0000000111001010

The stages of each instruction in memfile

	Cycle 1	Cycle 2	Cycle 3	Cycle 4	Cycle 5	Cycle 6	Cycle 7	Cycle 8	Cycle 9
LI R1, 1	F	D	E	M	W				
LI R2, 1		F	D	E	M	W			
SAL R1, 2			F	D	E	M	W		
ADD R1, R2				F	D	E	M	W	
XCHG R1, R2					F	D	E	M	W

Wave

