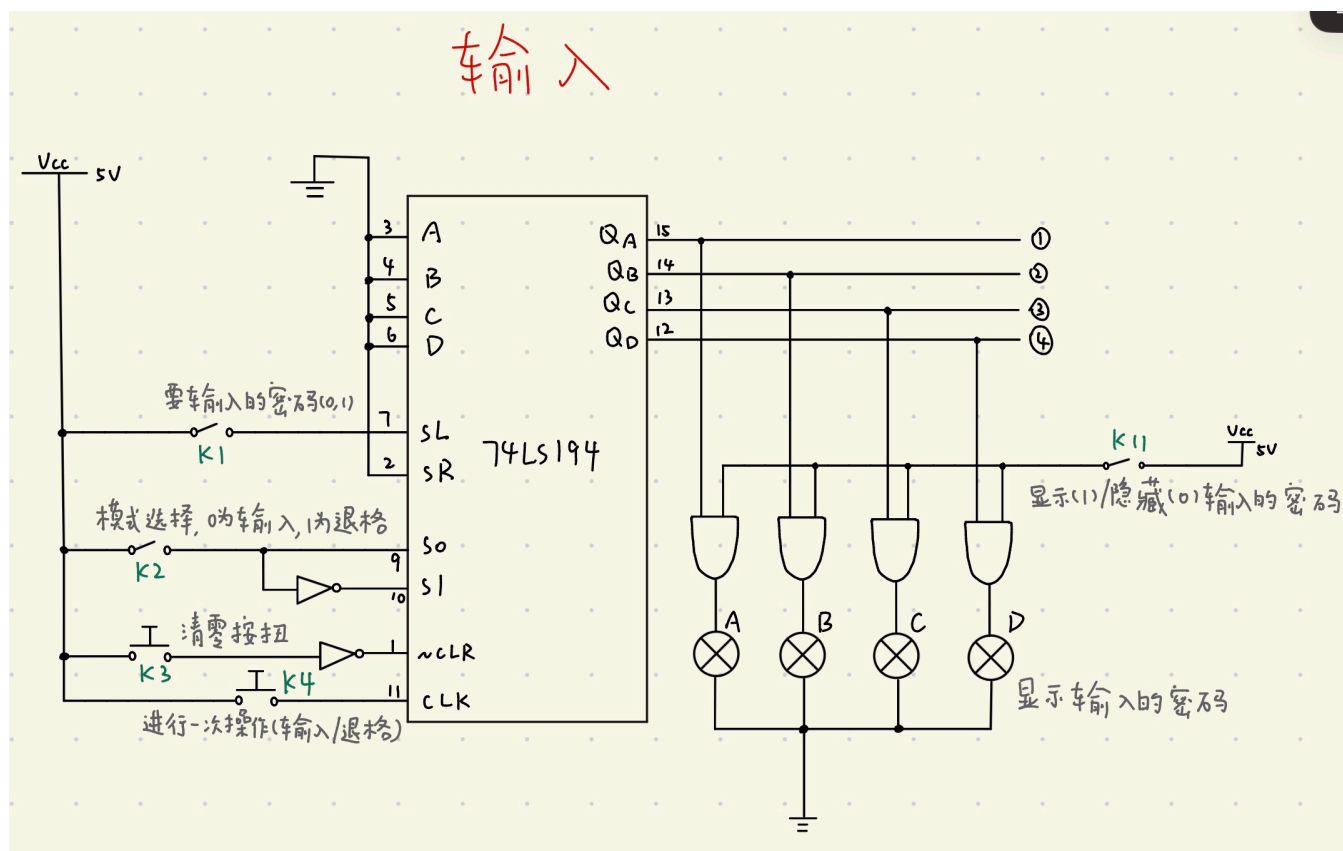


电路设计

密码锁功能

- 可并行设定4位二进制数组成的密码
- 开锁指令为二进制数序列，通过串行方式输入
- 可以在输入时进行退格操作
- 可以显示当前输入的密码
- 输入密码和预设密码一致时提示密码正确
- 输入密码和预设密码不一致或密码锁被锁定时产生报警信号
- 显示错误输入密码的次数，当超过5次时电子锁被锁住，不能被打开

输入部分



使用方法

- 输入密码时，将K2置为0，将K1置为想要输入的密码值（0或1）然后点击K4。
- 回退密码时，将K2置为1，点击一次K4回退一位。
- 点击K3清空所有密码（全部置0）。
- 将K11设为0会隐藏输入的密码；反之，则显示当前输入的密码。

设计原理

输入

- 当K2为0时, $s1=1, s2=0$, 74LS194芯片为左移模式。
- K1为0时, 74LS194芯片左移后在低位补0, 实现输入0; 反之, 则输入1。
- 确认输入使用单次脉冲信号 (K4) 触发左移, 实现了从高位到低位, 从右到左的串行输入, 在时钟上升沿时, 数据会按照当前控制信号的要求 (左移) 在寄存器内部移位。

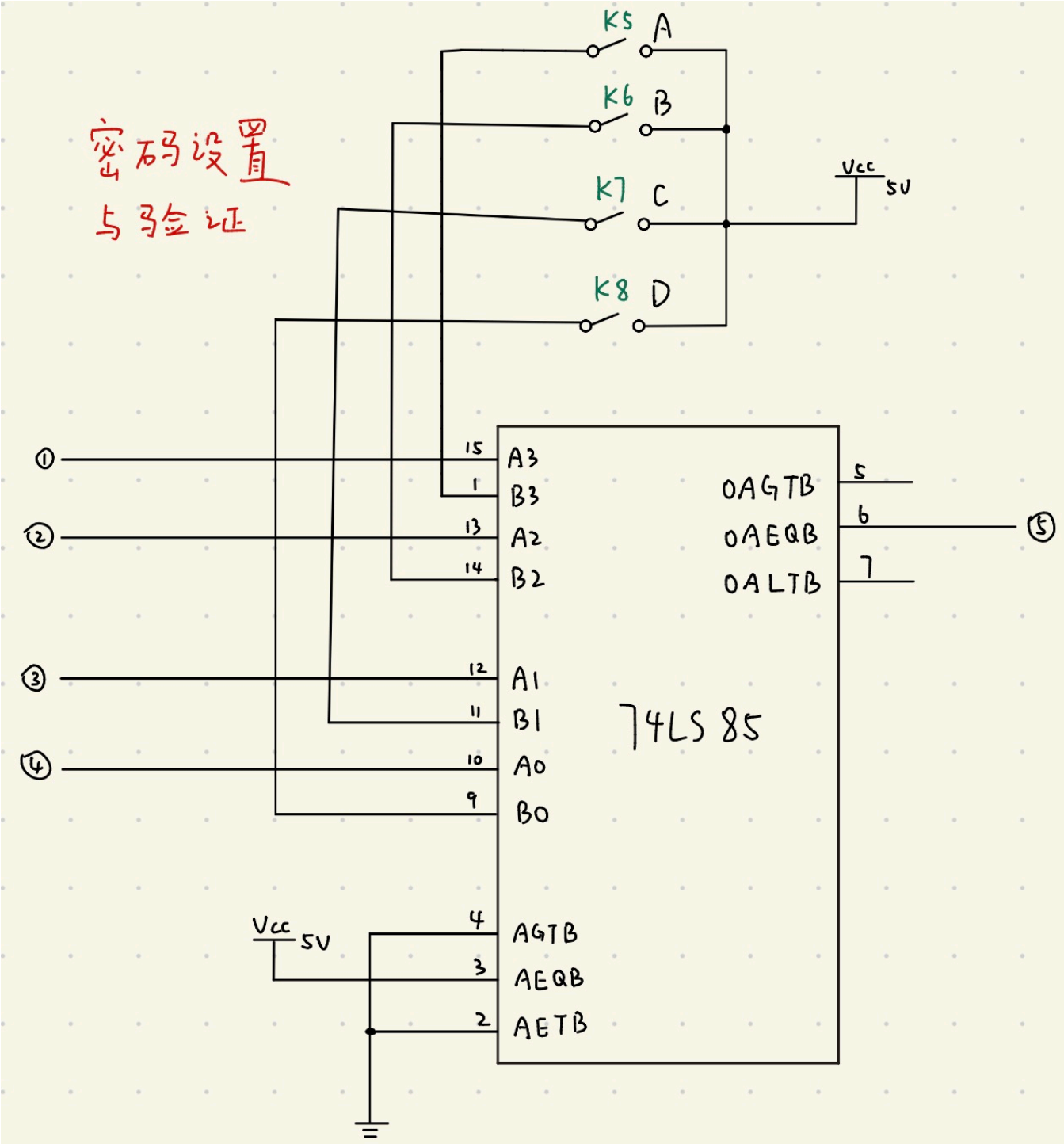
退格

- 当K2为1时, $s1=0, s2=1$, 74LS194芯片为右移模式。
- 此时在时钟上升沿时, 数据会按照当前控制信号的要求 (右移) 在寄存器内部移位, 从而移除最低位。
- 需要注意的是, 右移后, 由于SR始终为0, 所以最高位会始终补0。

清零

- 按下K3后 \sim CLR变为低电平, 使输出全为0从而实现清零操作。

密码设置与验证部分



使用方法

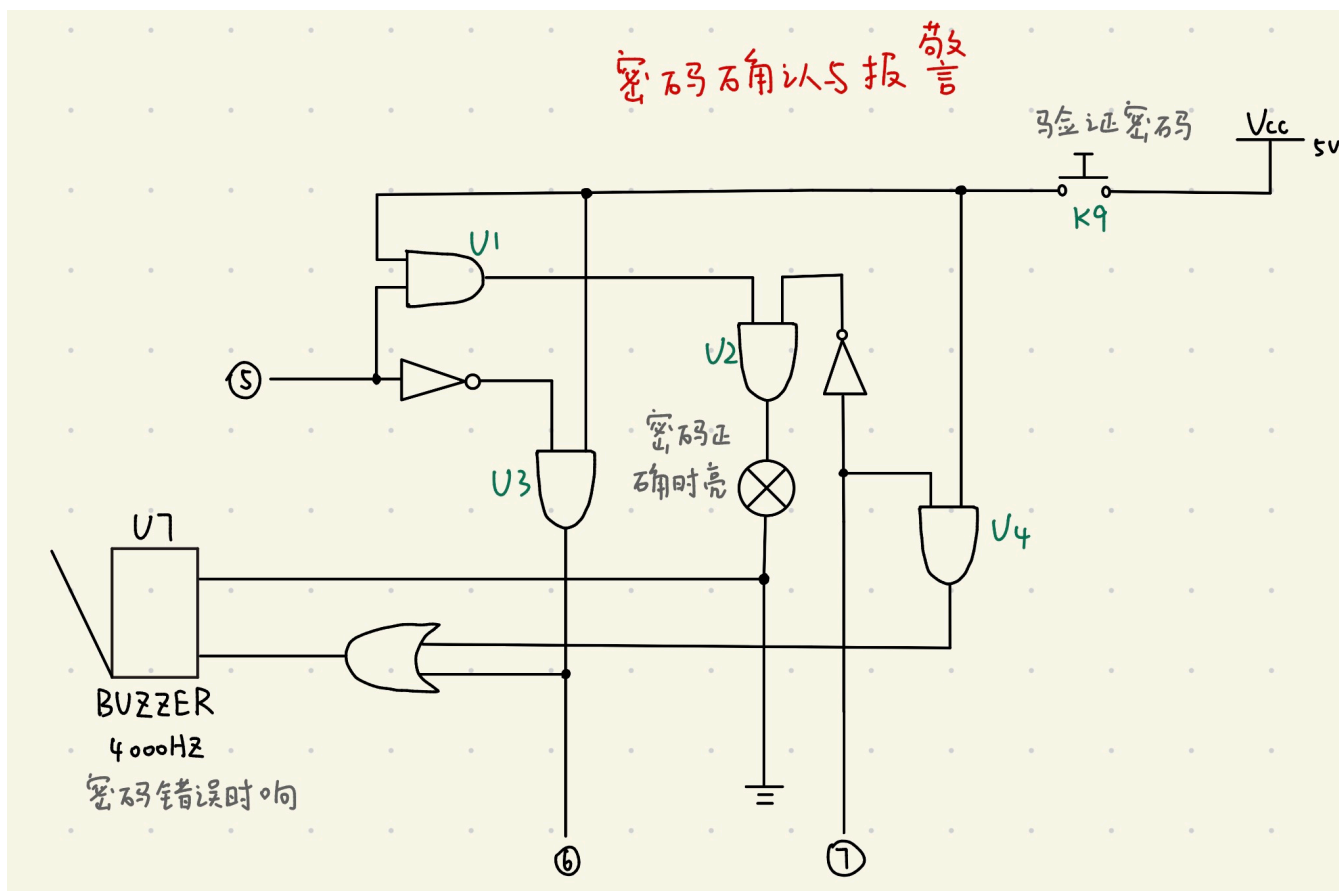
- K5, K6, K7, K8对应输入部分的A, B, C, D四个灯，当K5, K6, K7, K8与A, B, C, D四个灯状态相同时，输出1表示密码匹配，否则输出0。

设计原理

- 在密码锁中，74LS85用于比较用户输入的密码和预设的密码，74LS85是一个4位数字比较器，用于比较两个4位二进制数的大小。它有三个输出端：
A>B: 当输入A大于B时输出高电平

$A < B$: 当输入A小于B时输出高电平

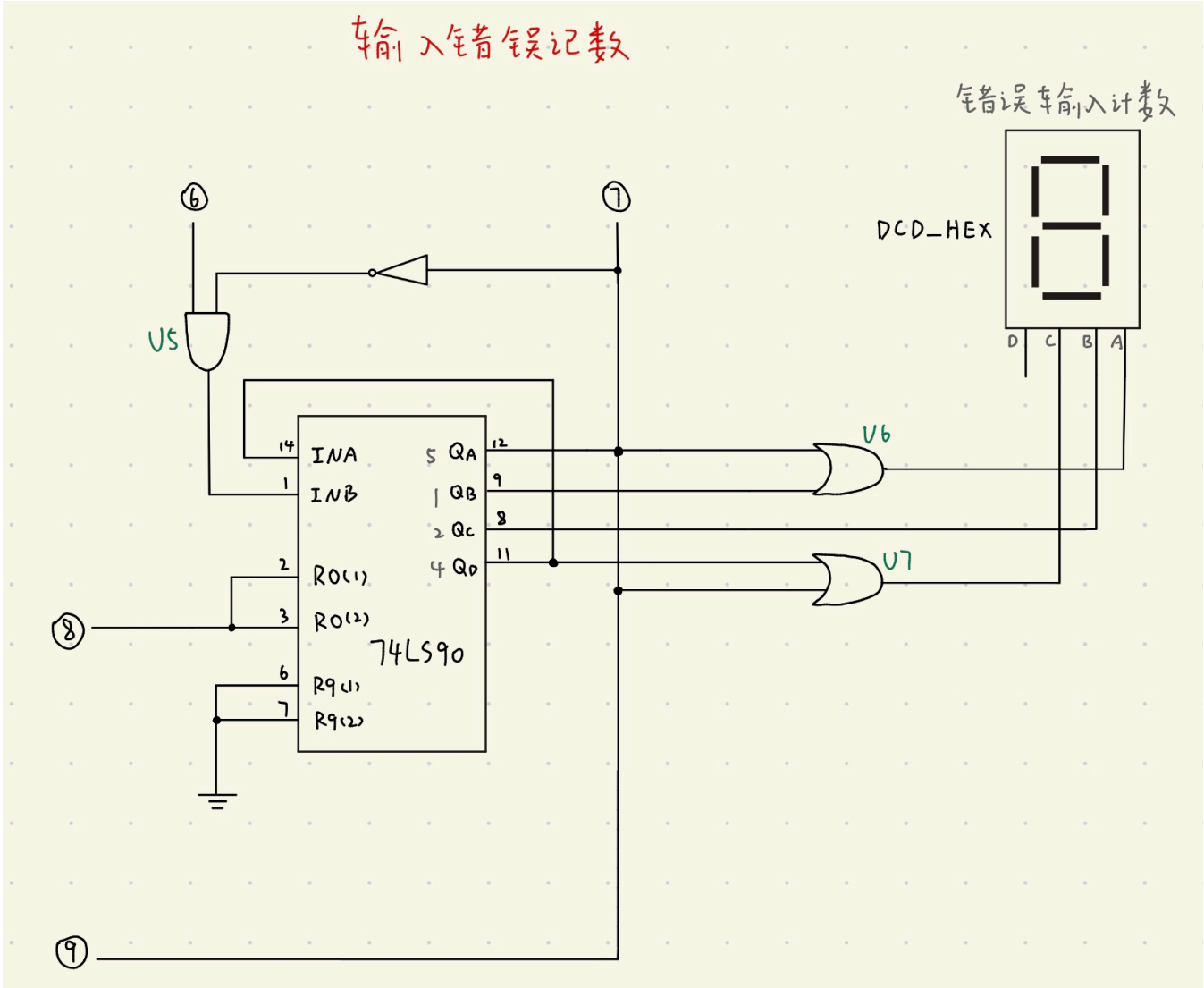
- ## 密码确认和报警部分



- 点击K9，若密码正确且密码锁未被锁定，则灯亮；若密码错误或密码锁被锁定，则蜂鸣器响。

- 将74LS85 四位比较器的输出端OAEQB（当输入密码与设置的密码相同时为高电平）和按钮K9作为U1与门的输入，当密码正确且按下确认密码的K9按钮时，U1输出1，灯泡亮（密码锁未被锁定时），表示输入正确。
- 将四位比较器的输出端OAEQB 经过非门后与K9用与门连接，当密码错误且按下确认密码的K9 按钮时，U3 输出1，蜂鸣器报警，且输出一次表示输入错误的信号。当没有按下K9的时候，表示没有确认密码，此时，无论比较器的输出是1 还是0，灯泡不会亮，蜂鸣器不会报警。
- 当密码锁被锁定时，U2 有一端为0，其输出始终为0，灯始终不亮。此时若按下按钮K9，则U4两个输入均为1，输出也为1，此时蜂鸣器会响。

输入错误记数部分



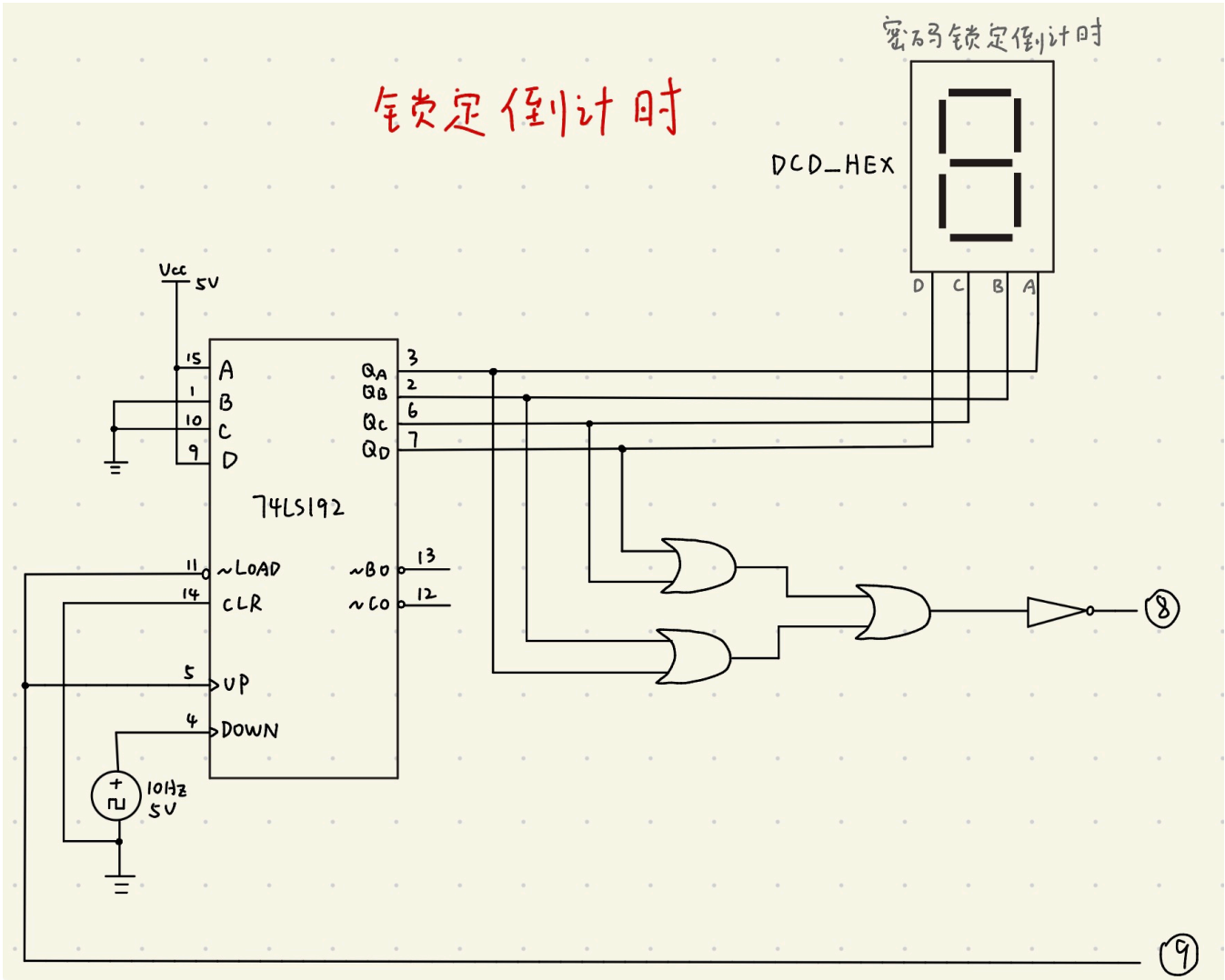
使用方法

- 显示器会显示输入错误的次数（0-5），当次数达到5时会停止计数并停留在5，并返回一个锁定信号至密码确认和报警部分和锁定倒计时部分。

设计原理

- 对于74LS90计数器，使用5421码（ADBC），DCD_HEX七段数码显示管要求的是8421码输入。但考虑到只需要显示0-5这五个数码（最大允许输入错误个数为5），因此只需要当5421码是1000（十进制的5）的时候，让数码显示管也显示5就能实现目标。所以数码显示管的第一位（最高位）保持低电平，不会被用到，第二位的输入是A or D，第三位的输入是C，第三位的输入是A or B，这样就把5421码的在9数码显示管上正确显示。
- 当输入错误密码次数达到5时，A第一次为高电平，通过非门反馈至U5，从而U5有一个输入端始终为低电平导致其输出始终为0。此时如果继续确认密码，数码显示管会一直显示5，A也会一直为高电平，A的结果通过非门输出低电平，这样U2 与门的输出会一直为低电平，灯泡一直不会亮，实现了锁定电子锁功能。

锁定倒计时部分



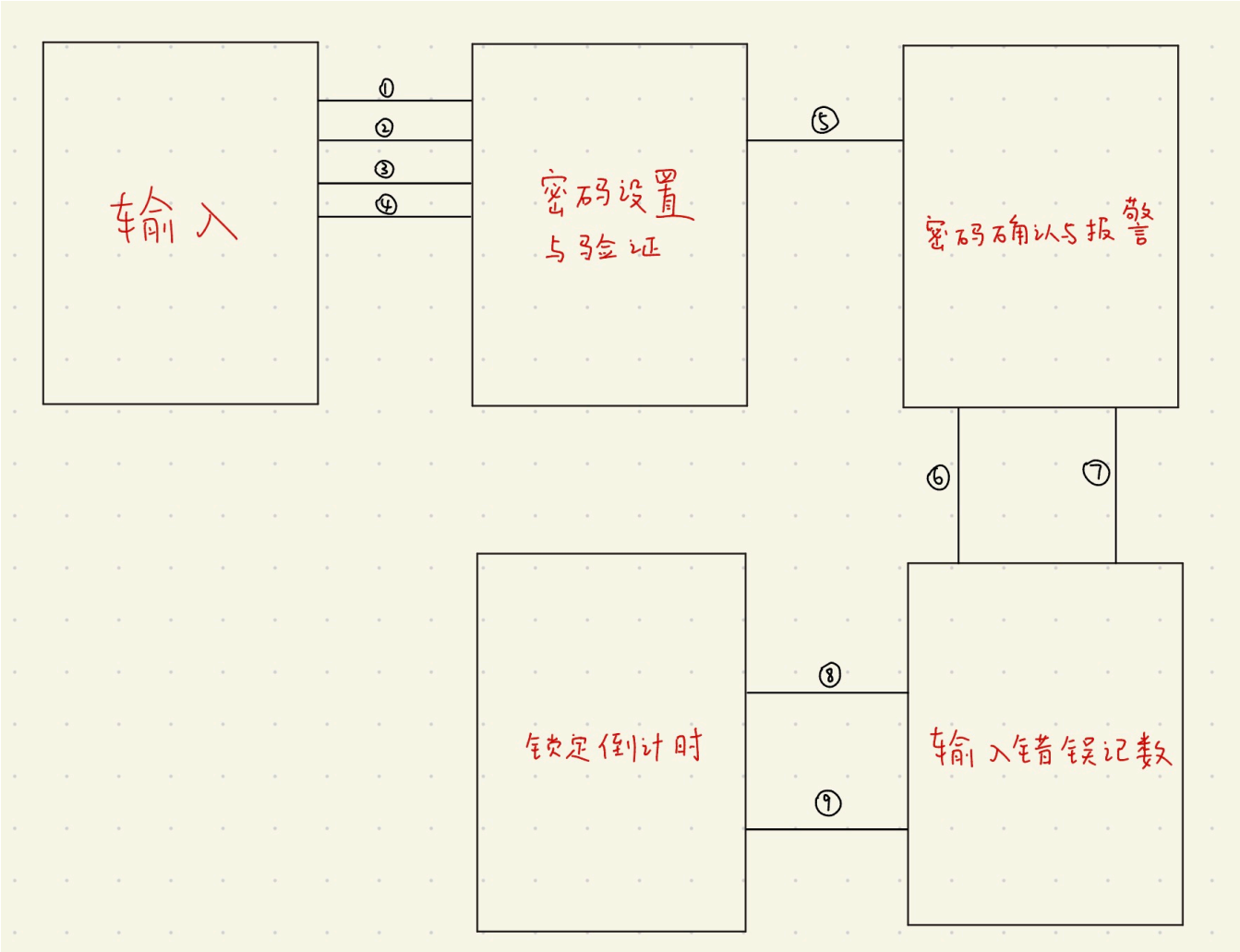
使用方法

- 接收到锁定信号后，9秒倒计时启动，当倒计时结束时，返回解除锁定信号至输入错误计数部分，重置锁定计数器。重置后的锁定计数器返回解除锁定信号将倒计时置9。

设计原理

- 倒计时使用74LS192芯片，load端和up端接锁定信号。在没有锁定时，load输入低电平置数为9；在锁定后load端输入为高电平，开始计时。Down端接脉冲源，up端为高电平时开始倒计时。当倒计时从9变为0后，由于0时QA-QD输出全为低电平，所以使得三个或门总输出输出为低电平，从而RO2端输入高电平，计数器清零，锁定信号重新变为低电平实现重新置9，等待下次倒计时。

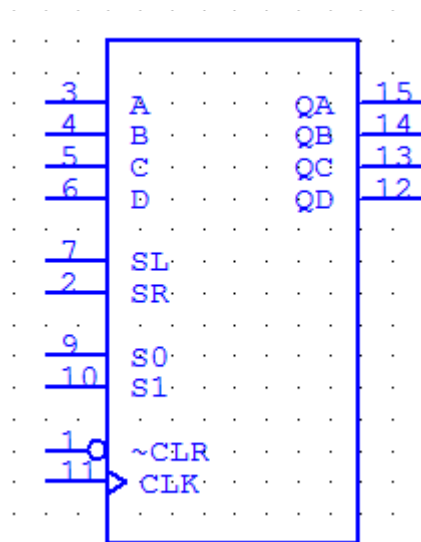
总电路图



使用的芯片

74LS194芯片

74LS194芯片引脚图



- DSR是右移串行数据输入端
- DSL是左移串行数据输入端
- ~CLR为异步清零输入端

74LS194逻辑功能表

输入										输出				行
清零	控制信号		串行输入		时钟CP	并行输入				Q0	Q1	Q2	Q3	
$\sim\text{CR}$	S1	S0	DSR	DSL	CP	D	C	B	A					
L	X	X	X	X	X	X	X	X	X	L	L	L	L	1
H	L	L	X	X	X	X	X	X	X	Q0	Q1	Q2	Q3	2
H	L	H	L	X	↑	X	X	X	X	L	Q0	Q1	Q2	3
H	L	H	H	X	↑	X	X	X	X	H	Q0	Q1	Q2	4
H	H	L	X	L	↑	X	X	X	X	Q1	Q2	Q3	L	5
H	H	L	X	H	↑	X	X	X	X	Q1	Q2	Q3	H	6
H	H	H	X	X	↑	I0	I1	I2	I3	I0	I1	I2	I3	7

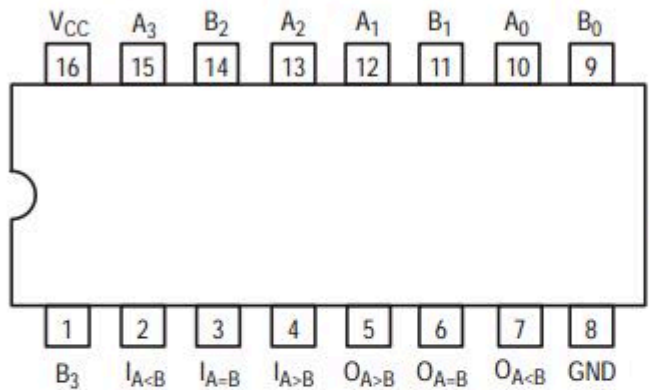
- 第一行表示寄存器异步清零操作
- 第二行为保持状态
- 第三、四行为串行数据右移操作
- 第五、六行为串行数据的左移操作
- 第七行为并行数据同步置数操作

74LS85芯片

74LS85芯片引脚图

SN74LS85

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES		LOADING (Note a)	
		HIGH	LOW
$A_0 - A_3, B_0 - B_3$	Parallel Inputs	1.5 U.L.	0.75 U.L.
$I_A = B$	A = B Expander Inputs	1.5 U.L.	0.75 U.L.
$I_A < B, I_A > B$	A < B, A > B, Expander Inputs	0.5 U.L.	0.25 U.L.
$O_A > B$	A Greater than B Output	10 U.L.	5 U.L.
$O_A < B$	B Greater than A Output	10 U.L.	5 U.L.
$O_A = B$	A Equal to B Output	10 U.L.	5 U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.

74LS85逻辑功能表

TRUTH TABLE

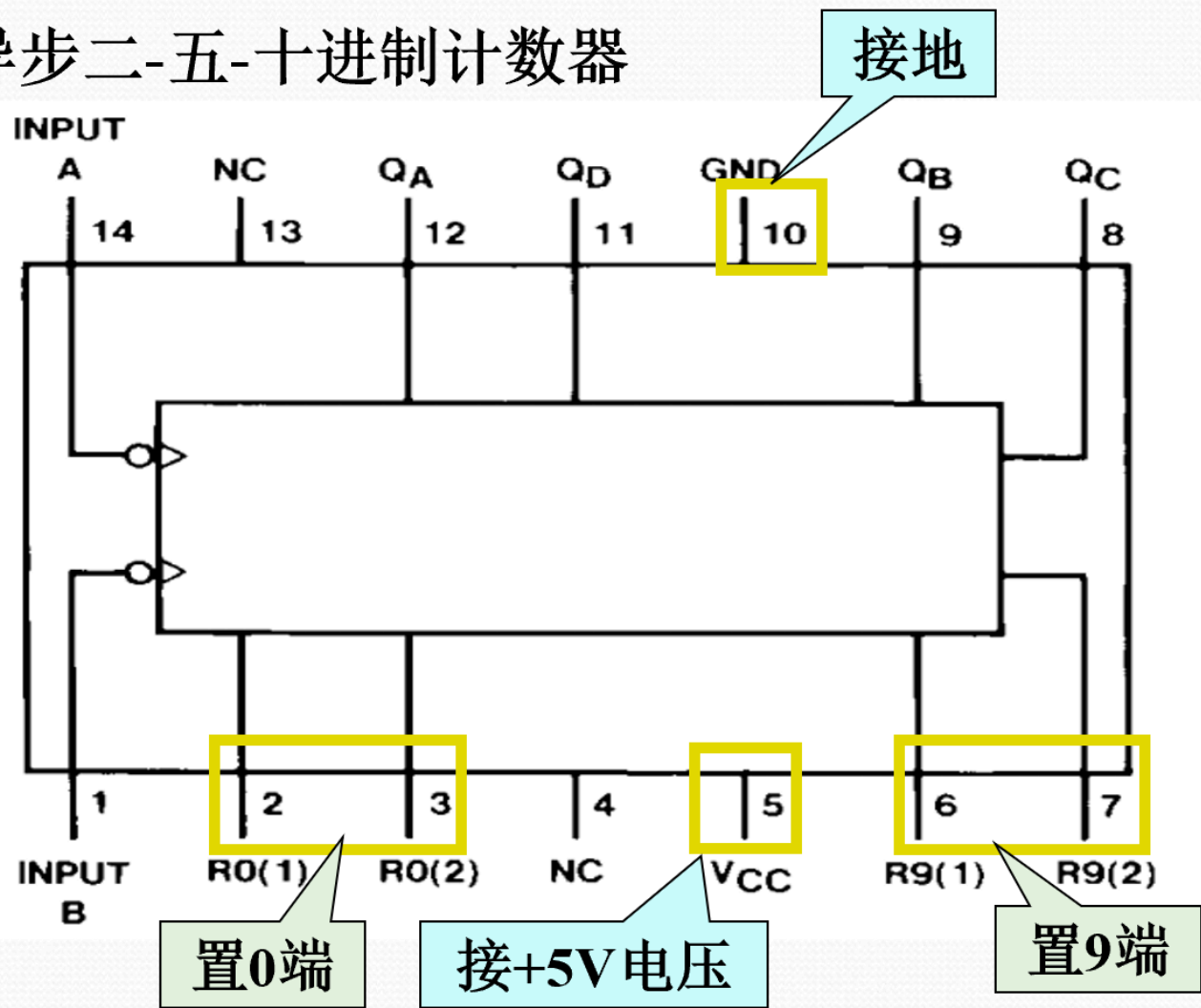
COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A_3, B_3	A_2, B_2	A_1, B_1	A_0, B_0	$I_A > B$	$I_A < B$	$I_A = B$	$O_A > B$	$O_A < B$	$O_A = B$
$A_3 > B_3$	X	X	X	X	X	X	H	L	L
$A_3 < B_3$	X	X	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 > B_2$	X	X	X	X	X	H	L	L
$A_3 = B_3$	$A_2 < B_2$	X	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	X	X	X	X	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	X	X	X	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	L	L	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	H	L	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	X	X	H	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	H	L	L	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	L	H	H	L

H = HIGH Level
L = LOW Level
X = IMMATERIAL

74LS90芯片

74LS90芯片引脚图

异步二-五-十进制计数器



74LS90逻辑功能表

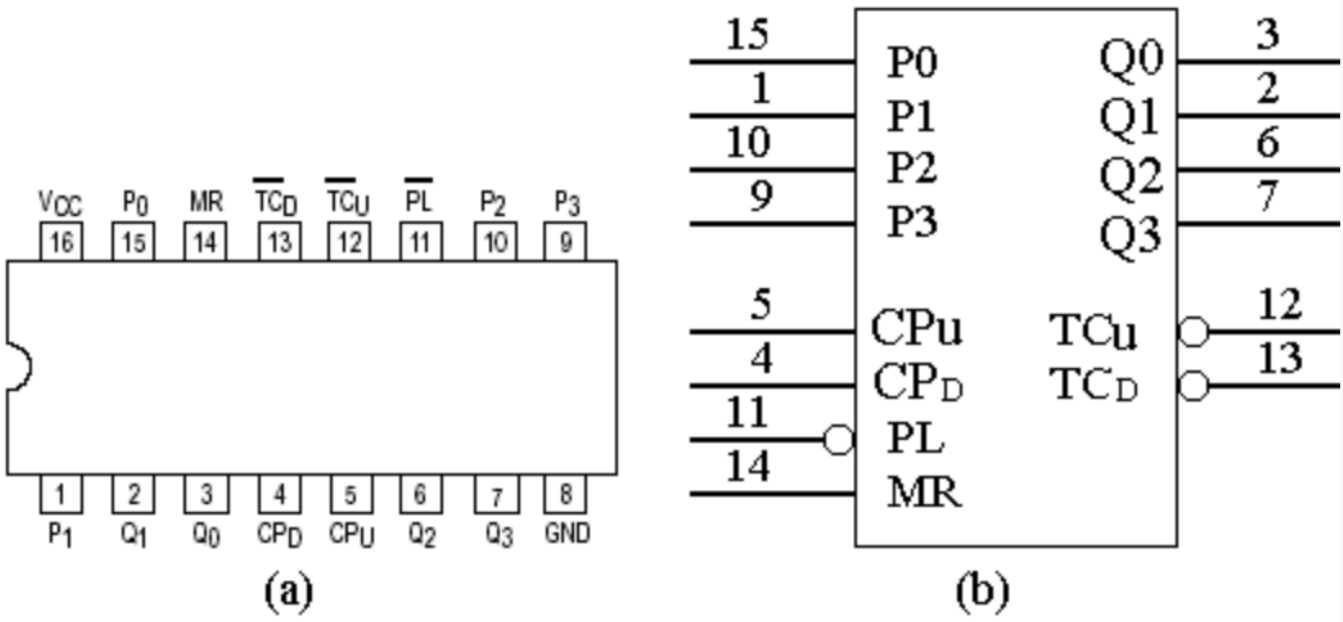
异步二-五-十进制计数器

$S_{9(1)}$	$S_{9(2)}$	$R_{0(1)}$	$R_{0(2)}$	CP_1	CP_2	Q_D	Q_C	Q_B	Q_A	置9
1	1	0	×	×	×	1	0	0	1	
1	1	×	0	×	×	1	0	0	1	清零
0	×	1	1	×	×	0	0	0	0	
×	0	1	1	×	×	0	0	0	0	计数
$S_{9(1)} \bullet S_{9(2)} = 0$ $R_{0(1)} \bullet R_{0(2)} = 0$				CP	0	二进制(Q_A)				
				0	CP	五进制(Q_{DCB})				
				CP	Q_A	8421十进制(Q_{DCBA})				
				Q_D	CP	5421十进制(Q_{ADCB})				

74LS192芯片

74LS192芯片引脚图

74LS192是双时钟方式的十进制可逆计数器。



- CPU为加计数时钟输入端，CPD为减计数时钟输入端。
- LD为预置输入控制端，异步预置。

- CR为复位输入端，高电平有效，异步清除。
- CO为进位输出：1001状态后负脉冲输出，
- BO为借位输出：0000状态后负脉冲输出。

74LS192逻辑功能表

输入								输出			
MR	\overline{PL}	CP_U	CP_D	P3	P2	P1	P0	Q3	Q2	Q1	Q0
1	×	×	×	×	×	×	×	0	0	0	0
0	0	×	×	d	c	b	a	d	c	b	a
0	1	↑	1	×	×	×	×	加计数			
0	1	1	↑	×	×	×	×	减计数			