

南京师范大学
中北学院
课 程 设 计

课程设计名称： EDA 课程设计

专 业 班 级

学 生 姓 名 :

学 号 :

指 导 教 师 : 焦素敏

课程设计时间: 2009-3-09~2009-3-23

1 设计任务及要求

利用可编程逻辑器件丰富的内部资源，借助 EDA（电子设计自动化）工具（如 MAX+plus II）把家电控制器电路集成在一片 FPGA（现场可编程门阵列）芯片内，这样就无需专门的单片机和外部逻辑电路。从而减小了电路的体积、提高了系统的稳定性。本次电路设计是洗衣机控制器设计。

设计的主要内容是：

（1）设计一个洗衣机控制器，使洗衣机作如下运转：定时启动—正转 20 秒—暂停 10 秒—反转 20 秒—暂停 10 秒—定时不到，重复上面过程。

（2）若定时到，则停止，并发出音响信号。

（3）用两个数码管显示洗涤的预置时间（分钟数），按倒计时方式对洗涤过程作计时显示，直到时间到停机；洗涤过程由开始信号开始。

（4）三只 LED 灯表示正转、反转、暂停三个状态。

设计的主要要求是：

（1）根据设计题目要求编写相应程序代码

（2）对编写的 VHDL 程序代码进行编译和仿真

（3）利用实验箱完成硬件验证（可选）

（4）总结设计内容，完成课程设计说明书

2 设计原理及总体框图

洗衣机控制器的设计主要是定时器的设计，由一片 FPGA 和外围电路构成了电器控制部分。FPGA 接收键盘的控制命令，控制洗衣机的进水、排水、水位和洗衣机的工作状态、

并控制显示工作状态以及设定直流电机速度、正反转控制、制动控制、起停控制和运动状态控制（洗衣机洗涤过程如图 2 所示）。对 FPGA 芯片的编程采用模块化的 VHDL（硬件描述语言）进行设计，设计分为三层实现，顶层实现整个芯片的功能。顶层和中间层多数是由 VHDL 的元件例化语句实现。中间层由无刷直流电机控制、运行模式选择、洗涤模式选择、定时器、显示控制、键盘扫描、水位控制以及对直流电机控制板进行速度设定、正反转控制、启停控制等模块组成，它们分别调用底层模块。



图 2 洗涤过程示意图

洗衣机控制器电路主要有五大部分组成，包括：减法计数器、时序控制电路、预置时间和编码电路、数码管显示、译码器组成。具体电路如图 3 所示：

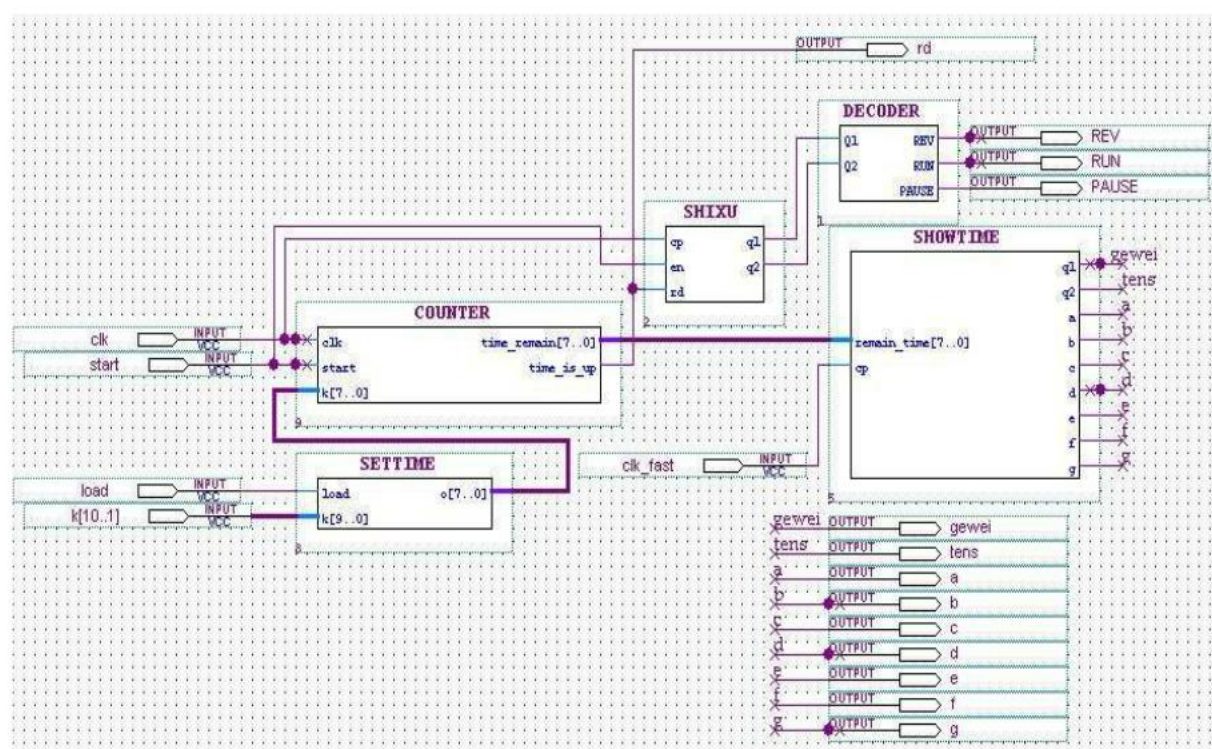


图 3 洗衣机控制器总体设计图

3 程序设计

(I)数码管显示

① 实现数码管显示

```
1 library ieee;
2 use ieee.std_logic_1164.all;
3 use ieee.std_logic_unsigned.all;
4 entity showtime is
5     port(remain_time:in std_logic_vector(7 downto 0);
6           cp:in std_logic;
7           q1,q2:out std_logic;
8           a,b,c,d,e,f,g:out std_logic);
9 end showtime;
10 architecture rtl of showtime is
11     signal temp:std_logic_vector(6 downto 0);
12     signal bcd:std_logic_vector(3 downto 0);
13     signal choose:std_logic;
14 begin
15     process(cp)
16     begin if(cp'event and cp='1')then choose<=not choose;
17     if(choose='1')
18     then q1<='0';q2<='1'; bcd<=remain_time(7 downto 4);
19     else q1<='1';q2<='0';
20     bcd<=remain_time(3 downto 0);end if;end if;end process;
21     process(bcd)
22     begin case bcd is
23     when "0000"=> temp<= "1111110" ;
24     when "0001"=> temp<= "0110000" ;
25     when "0010"=> temp<= "1101101" ;
26     when "0011"=> temp<= "1111001" ;
27     when "0100"=> temp<= "0110011" ;
28     when "0101"=> temp<= "1011011" ;
29     when "0110"=> temp<= "1011111" ;
30     when "0111"=> temp<="1110000" ;
31     when "1000"=> temp<="1111111" ;
32     when "1001"=> temp<= "1111011" ;
33     when others=>temp<="1111011";end case;
34     a<=temp(6);b<=temp(5);c<=temp(4);d<=temp(3);e<=temp(2);f<=temp(1);g<=temp(0);
35 end process;end rtl;
```

② 数码管显示编码


```

1 library ieee;
2 use ieee.std_logic_1164.all;
3
4 entity encode is
5     port(
6         bcd : in    std_logic_vector(3 downto 0);
7         a,b,c,d,e,f,g: out std_logic
8     );
9 end encode;
10
11 architecture rtl of encode is
12     signal temp:std_logic_vector(6 downto 0);
13 begin
14     table
15         bcd =>      temp;
16     "0000"=>  "1111110" ;
17     "0001"=>  "0110000" ;
18     "0010"=>  "1101101" ;
19     "0011"=>  "1111001" ;
20     "0100"=>  "0110011" ;
21     "0101"=>  "1011011" ;
22     "0110"=>  "1011111" ;
23     "0111"=>  "1110000" ;
24     "1000"=>  "1111111" ;
25     "1001"=>  "1111011" ;
26     end table;
27 a<=temp(6);b<=temp(5);c<=temp(4);d<=temp(3);e<=temp(2);f<=temp(1);g<=temp(0);
28 end rtl;

```

(2)时序电路

```

1 library ieee;
2 use ieee.std_logic_1164.all;
3 use ieee.std_logic_unsigned.all;
4 entity shixu is
5 port(cp,en,rd:in std_logic;
6      q1,q2:out std_logic);
7 end shixu;
8 architecture rtl of shixu is
9 begin
10 process(cp)
11 variable wash_time:integer range 0 to 19;
12 variable wait_time:integer range 0 to 9;
13 variable state:std_logic;
14 variable wash_time:integer := 21;
15 variable wait_time:integer := 9;
16 begin
17 if(en='0') wash_time:=19; wait_time:=9; state:='0';
18 end if; if(en='0') then wash_time:=21; Q1<='0'; Q2<='0';
19 else if(cp'event and cp='1')
20 then if(rd='1') then if(wash_time>0)
21 then wash_time:=wash_time-1; wait_time:=9;
22 else if(wait_time>0) then wait_time:=wait_time-1;
23 else wash_time:=20; state:=not state;
24 end if; end if; end if;
25 if(wash_time=0) then Q1<='0'; Q2<='0'; else if(state='0')
26 then Q1<='1'; Q2<='0'; else Q1<='0'; Q2<='1';
27 end if; end if;
28 else Q1<='0'; Q2<='0';
29 end if;
30 end if;
31 end if;
32 end process;
33 end rtl;

```

(3)预置时间和编码电路

```

1 library ieee;
2 use ieee.std_logic_1164.all;
3 use ieee.std_logic_unsigned.all;
4
5 entity settime is
6 port(load:in std_logic;
7      k:in std_logic_vector(9 downto 0);
8      o:out std_logic_vector(7 downto 0)
9 );
10 end settime;
11
12 architecture rtl of settime is
13 signal p1:std_logic_vector(7 downto 0);
14 begin
15 process(load)
16 begin
17 if(load'event and load='1')
18 then
19 case k is
20 when "1000000000"=>p1<="00000001";
21 when "0100000000"=>p1<="00000010";
22 when "0010000000"=>p1<="00000011";
23 when "0001000000"=>p1<="00000100";
24 when "0000100000"=>p1<="00000101";
25 when "0000010000"=>p1<="00000110";
26 when "0000001000"=>p1<="00000111";
27 when "0000000100"=>p1<="00001000";
28 when "0000000010"=>p1<="00001001";
29 when "0000000001"=>p1<="00010000";
30 when others=>p1<="00000000";
31 end case;
32 end if;
33 end process;
34 o<=p1;
35 end rtl;
36

```

(4)译码器

```

1 library ieee;
2 use ieee.std_logic_1164.all;
3
4 entity decoder is
5     port(
6         Q1,Q2: in std_logic;
7         REV,RUN,PAUSE: out std_logic
8     );
9 end decoder;
10
11 architecture rtl of decoder is
12     signal choose:std_logic_vector(1 downto 0);
13 begin
14     choose(1)<=q1;choose(0)<=q2;
15     process(choose)
16     begin
17         case choose is
18             when "00"=>REV<='0';RUN<='0';PAUSE<='1';
19             when "10"=>REV<='0';RUN<='1';PAUSE<='0';
20             when "01"=>REV<='1';RUN<='0';PAUSE<='0';
21             when others=>REV<='0';RUN<='0';PAUSE<='0';
22         end case;
23     end process;
24     REV<=Q2;RUN<=Q1;PAUSE<=not(Q1 OR Q2);
25 end rtl;

```

(5)定时器电路

①计时器

```

1 library ieee;
2 use ieee.std_logic_1164.all;
3 use ieee.std_logic_unsigned.all;
4
5 entity b2d is
6     port(time_in,clk:in std_logic_vector(9 downto 0);
7         time_out:BUFFER STD_LOGIC_VECTOR(15 DOWNTO 0));
8 end ;
9 architecture rtl of b2d is
10 begin
11     process(clk)
12     variable time_temp:int
13     begin
14         if(clk'event and clk='1')
15             then if(start='0')
16                 then time_remain<=k;
17             else if(time_remain>0)
18                 then time_remain<=time_remain-start;
19             end if;
20         end if;
21     end if;
22     if(time_remain=0)
23         then time_is_up<='0';
24     else time_is_up<='1';
25     end if;
26 end process;
27 end rtl;

```

②减法计数器

```

1 library ieee;
2 use ieee.std_logic_1164.all;
3 use ieee.std_logic_unsigned.all;
4
5 entity counter is
6 port (clk,start:in std_logic;
7       k:in STD_LOGIC_VECTOR(7 downto 0);
8       time_remain:BUFFER STD_LOGIC_VECTOR(7 DOWNTO 0);
9       time_is_up:out std_logic);
10 end counter;
11 architecture rtl of counter is
12 begin
13 process (clk)
14 variable time_second:integer:=60;
15 variable time_second:integer:=0;
16 begin if (clk'event and clk='1')
17 then if (time_second>0 and start='1')
18 then time_second:=time_second-1;
19 else time_second:=59; end if;
20 if (start='0')
21 then time_remain<=k;time_second:=60;
22 time_second:=0; else
23 if (time_second=0)
24 then if (time_remain(3 downto 0)>0)
25 then time_remain(3 downto 0)<=time_remain(3 downto 0)-start;
26 time_remain(3 downto 0)<=time_remain(3 downto 0)-1;time_second:=59;
27 else if (time_remain(7 downto 4)>0)
28 then time_remain(7 downto 4)<=time_remain(7 downto 4)-start;
29 time_remain(7 downto 4)<=time_remain(7 downto 4)-1;
30 time_remain(3 downto 0)<="1001";time_second:=59;end if; end if;
31 else if (time_second=0 and time_second=1)
32 if (time_remain=0) then time_is_up<='0'; else time_is_up<='1';
33 time_second:=time_second-1; end if; end if;end if;
34 end if;end process;end rtl;

```

4 编译及仿真

EDA 工具在 EDA 技术应用中占据极其重要的位置，EDA 的核心是利用计算机完成电子设计全程自动化，因此基于计算机环境的 EDA 软件的支持是必不可少的。此次设计所用 EDA 工具是由著名的 Alter 公司生产的 MAX+plus II 工具软件，它是一种集成的开发环境，支持原理图、VHDL 和 Verilog 语言文本文件，以及波形文件作为设计输入，并支持这些文件的人以混合设计。

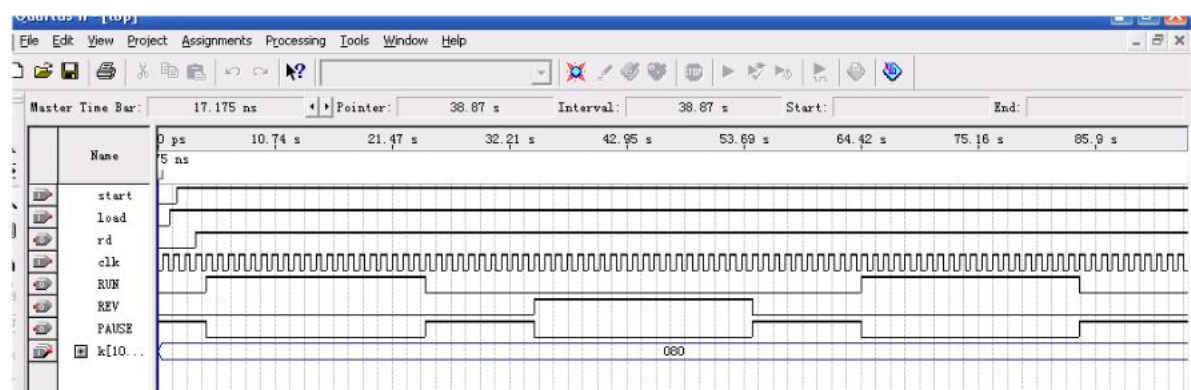


图 4 洗衣机控制器程序仿真图

MAX+plus II 工具软件具有门级仿真器, 可以进行功能仿真和时序仿真, 能够产生精确的仿真结果, 同是还支持主流第三方 EDA 工具, 所以可以说 MAX+plus II 是当今最优秀的 EDA 工具软件之一。利用 MAX+plus II 工具软件仿真结果如图 4 所示

5 硬件调试与结果分析

洗衣机接通电源, 按 load 设置洗涤时间按 start、rd 置为高电平洗衣机开始工作, 当时钟第一个上升沿到达时 run(正转功能)为高电平维持 20s 以后变为低电平而 pause(暂停功能)随着时钟上升沿的到来变为高电平维持 10s 变为低电平, 然后 rev(反转功能)开始随着时钟上升沿的到来变为高电平工作维持 20s 后变为低电平, 再停止 pause 置高, 接下来电路一直重复上述工作, 知道定时器计数结束。电路设计完成以后, 按照预定设计, 输入相应数据, 三只 LED 灯按照设定时间规律间断性亮起, 数码管也显示输入时间并按减数计时产生相应的数字显示, 直到到达预定时间停止工作显示零, 实验设计达到预期效果。

6 参考文献

- [1] 潘松著. EDA 技术实用教程(第二版). 北京: 科学出版社, 2005.
- [2] 康华光主编. 电子技术基础 模拟部分. 北京: 高教出版社, 2006.
- [3] 阎石主编. 数字电子技术基础. 北京: 高教出版社, 2003.
- [4] [赵岩岭](#) [刘春](#)等. 在 MAX+plus II 平台下用 VHDL 进行数字电路设计. 西安: 西电出版社, 2005
- [5] <http://www.51kaifa.com/> 无忧电子开发网

心得体会

通过这次的 EDA 设计，我可以说是受益良多。看到洗衣机控制器的题目，我首先想到的是状态机的设计，因为课本上说状态机其实就是控制器，后来经过看书觉得应该是摩尔型状态机，可是自习分析后发现设计题目比较复杂，如果用状态机的思路来设计，比较困难超出了我的能力。结合以前做课程设计（数字电路设计——交通等控制器）的经验，如果用模块化层次化的设计思路更清晰，设计起来也更容易，特别是更符合 EDA 设计的流程，故自己开始设计各功能模块。洗衣机控制器主要实现几种状态的循环改变，还有计时和数码显示的功能，所以我觉得电路主要有五大部分组成，包括：减法计数器、时序控制电路、预置时间和编码电路、数码管显示、译码器组成。在分析过程中，我遇到了不少困难，因为第一次遇到一个比较复杂的设计，刚开始不知道从哪里入手，所以借鉴了一些书和网上的资料，主要参看了赵岩岭 刘春等老师编著的《在 MAX+plus II 平台下用 VHDL 进行数字电路设计》关于控制器的一些设计方法和范例，并且在无忧电子开发网（<http://www.51kaifa.com/>）上查找到现代洗衣机控制电路的设计方案，虽然很复杂，但是有很多借鉴的地方。通过这次设计，让我初步掌握了 VHDL 的设计方法与一些技巧，让我对 FPGA 的编程、定时器和计数器的设计更加熟悉，让我更加明白时序组合门电路设计思路和方法。在设计中也参了和查阅了很多资料，从中学到不少课本上没有的东西，并且充分认识到家电控制电路设计在一片 FPGA 芯片内，具有体积小、可靠性高、降低成本、设计周期短，功能灵活的特点，本人受益匪浅。

我相信通过此次 EDA 课程设计，一定会对以后的设计工作提供很大帮助。

电子信息科学与技术 专业课程设计任务书

学生姓名		专业班级		学号	
题 目	洗衣机控制器				
课题性质	A	课题来源	D		
指导教师	焦素敏	同组姓名	无		
主要内容	<p>(1) 设计一个洗衣机控制器，使洗衣机作如下运转：定时启动—>正转 20 秒—>暂停 10 秒—>反转 20 秒—>暂停 10 秒—>定时不到，重复上面过程。</p> <p>(2) 若定时到，则停止，并发出音响信号。</p> <p>(3) 用两个数码管显示洗涤的预置时间（分钟数），按倒计时方式对洗涤过程作计时显示，直到时间到停机；洗涤过程由开始信号开始。</p> <p>(4) 三只 LED 灯表示正转、反转、暂停三个状态</p>				
任务要求	<p>①根据设计题目要求编写相应程序代码</p> <p>②对编写的 VHDL 程序代码进行编译和仿真</p> <p>③条件允许，完成硬件验证（可选）</p> <p>④总结设计内容，完成课程设计说明书</p>				
参考文献	<p>[1] 焦素敏. EDA 课程设计指导书. 郑州：河南工业大学，2008</p> <p>[2] 潘松, 黄继业. EDA 技术实用教程. 北京：科学出版社，2002</p> <p>[3] 王国栋, 潘松等. VHDL 实用教程. 成都：电子科技大学出版社，2000</p> <p>[4] 张亦华, 延明. 数字电路 EDA 入门. 北京：电子工业出版社，2003</p> <p>[5] http://www.elegq.cn/ QQ 电子网</p>				
审查意见	<p>指导教师签字：焦素敏</p> <p>教研室主任签字：张庆辉</p> <p style="text-align: right;">2009 年 03 月 6 日</p>				

说明：本表由指导教师填写，由教研室主任审核后下达给选题学生，装订在设计（论文）首页

填 表 说 明

1. “课题性质”一栏：

- A. 工程设计；
- B. 工程技术研究；
- C. 软件工程（如 CAI 课题等）；
- D. 文献型综述；
- E. 其它。

2. “课题来源”一栏：

- A. 自然科学基金与部、省、市级以上科研课题；
- B. 企、事业单位委托课题；
- C. 校、院（系、部）级基金课题；
- D. 自拟课题。

设计题目:

学号:

序号	评审项目	分 数	满分标准说明
1	内 容	20	思路清晰；语言表达准确，概念清楚，论点正确；实验方法科学，分析归纳合理；结论严谨，设计有应用价值。任务饱满，做了大量的工作。
2	创 新	10	内容新颖，题目能反映新技术，对前人工作有改进或突破，或有独特见解
3	完整性、实用性	10	整体构思合理，理论依据充分，设计完整，实用性强
4	结果的正确性	20	仿真结果正确，实验现象满足设计要求
5	规 范 性	10	设计格式、绘图、图纸、实验数据、标准的运用等符合有关标准和规定
6	纪 律 性	10	能很好的遵守各项纪律，设计过程认真；
7	答 辩	20	准备工作充分，回答问题有理论依据，基本概念清楚。主要问题回答简明准确。在规定的时间内作完报告。
总分			
综 合 意 见			
指导教师			年 月 日

