

## 目 录

课题 1 汽车尾灯控制电路设计 .....	2
课题 2 数字时钟设计 .....	3
课题 3 带计时存储的数字秒表设计 .....	4
课题 4 交通信号控制器设计 .....	5
课题 5 数字抢答器设计 .....	6
课题 6 洗衣机控制电路设计 .....	7
课题 7 模拟乒乓球比赛电路设计 .....	8
课题 8 全自动电梯控制电路设计 .....	9
课题 9 自动售邮票机设计 .....	10
课题 10 8 位 10 进制频率计设计 .....	11
课题 11 乐曲硬件演奏电路设计 .....	12
课题 12 直接数字频率合成器 (DDS) 设计 .....	14
课题 13 基于 8051IP 核的等精度频率计设计 .....	16
课题 14 电子密码锁设计 .....	19
课题 15 VGA 驱动电路设计 .....	20

## 课题 1 汽车尾灯控制电路设计

### 1. 设计要求

假设汽车尾部左、右两侧各 3 个指示灯（用 LED 灯模拟），控制功能如下：

- (1)正常行驶时指示灯全灭；
- (2)右转弯时，右侧 3 个指示灯按向右循环顺序点亮；
- (3)左转弯时，左侧 3 个指示灯按向左循环顺序点亮；
- (4)汽车倒车或临时刹车时，所有指示灯按时钟 CLK 信号同步闪烁。

表 1.1 汽车尾灯控制功能表

功 能	R2	R1	R0	L2	L1	L0
灭灯	0	0	0	0	0	0
右拐	1	0	0	0	0	0
	0	1	0	0	0	0
	0	0	1	0	0	0
左拐	0	0	0	0	0	1
	0	0	0	0	1	0
	0	0	0	1	0	0
急刹车	CLK	CLK	CLK	CLK	CLK	CLK

### 2. 设计提示

假定用 I2、I1、I0 来模拟倒车、左转及右转输入，编写一个编码器将它们译成 2 位二进制码，4 种组合（00，01，10，11）可与 4 种工作状态（灭灯、右转、左转、急刹车）对应，再用 CASE 语句完成多状态下各功能的描述。

## 课题 2 数字时钟设计

### 1. 设计要求

设计一个数字钟用来显示时间（时：分：秒），要求：

(1)精度为 1 秒，显示时间范围在 00 时 00 分 00 秒到 23 时 59 分 59 秒；

(2)具有开始、暂停、校时、校分的功能；

(3)具有整点报时的功能，在 59 分 50 秒开始，到 00 分 00 秒结束；

扩展要求：

(4)具备闹钟功能。

### 2. 设计提示

一个完整的时钟应该由三部分组成：秒脉冲发生器、计数显示部分和时钟调整控制部分。一个时钟的准确与否主要取决于秒脉冲的精确度。为了保证计时准确，可以对 40MHz 系统时钟进行 40000000 分频，从而得到 1Hz 的秒脉冲。计时部分可通过两个 60 进制和一个 24 进制计数器串联得到，显示部分采用六个数码管动态扫描显示的方式。时钟调整控制部分用于控制时钟的开始、暂停计数，时、分的校准以及闹铃设置等功能。

### 课题 3 带计时存储的数字秒表设计

#### 1. 设计要求

设计一个数字秒表（分：秒），要求：

- (1)精度为 1 秒，计时范围在 00 分 00 秒到 59 分 59 秒；
- (2)具有开始、暂停及清零的功能；
- (3)计时过程中，能对至少 8 个时间点进行存储，并且能够回显及清除保存的时间数据。

#### 2. 设计提示

该秒表应该由四部分组成：秒脉冲发生器、计数显示部分、秒表控制部分和数据存储部分。秒脉冲发生器可以对 40MHz 系统时钟进行 40000000 分频，从而得到 1Hz 的秒脉冲。计时部分可通过两个 60 进制计数器串联得到，显示部分采用数码管动态扫描显示的方式。秒表控制部分用于控制计时的开始、暂停、清零，以及对计时点数据进行采样保存、回显。

什么是计时过程中时间数据的存储？举个例子，在跑步比赛中，每个选手依次冲过终点线时，计时器要记录下每个选手的成绩，这就要求计时器能对需要的时间点进行采样与存储，而此过程计时是不停止的。可以考虑定制一个可读写的 RAM，并和计时电路合理地配合工作。

## 课题 4 交通信号控制器设计

### 1. 设计要求

有两条公路，一条是主干道，另一条是次干道，在主、次干道十字交叉路口上，设置了红、黄、绿灯，进行交通管理，设计一个控制电路模拟十字路口交通信号灯的控制过程，要求：

- (1)交通灯从绿变红时，有 4 秒黄灯亮的间隔时间；
- (2)交通灯从红变绿直接进行，没有间隔时间；
- (3)主干道绿灯时间 50 秒，次干道绿灯时间 30 秒；
- (4)以时钟倒计时方式显示各路允许通行或禁止通行的时间；

扩展要求：

- (5)当两路中任一道路上出现特殊状态（消防车等），此时两条路上所有车辆皆停止通行，红灯全亮，时钟停止计时，且其数字闪烁；当特殊状态结束后，控制电路恢复正常工作。

### 2. 设计提示

控制电路提供清零信号 CR 和特殊状态控制信号 S。每次开机时通过 CR 复位，然后控制电路正常工作；而 S 信号有效时，电路进入特殊状态。电路正常运行时有 4 个状态：A 状态（主干道绿灯，次干道红灯，时间为 50s），B 状态（主干道黄灯，次干道红灯，时间为 4s），C 状态（主干道红灯，次干道绿灯，时间为 30s），D 状态（主干道红灯，次干道黄灯，时间为 4s）。因此，电路的核心部分可以采用状态机进行设计。

## 课题 5 数字抢答器设计

### 1. 设计要求

设计一个数字抢答器，要求：

- (1)能同时容纳 10 组参赛选手进行抢答，每组设置一个抢答按钮；
- (2)电路具有第一抢答信号的鉴别和锁存功能，在主持人将系统复位并发出抢答指令后，如果参赛者按抢答开关，则声光告知有人抢答，同时显示出抢答的组别；

扩展要求：

- (3)设置犯规电路，对提前抢答或超时抢答进行报警。

### 2. 设计提示

本设计的关键是准确地判断出第一抢答者并将其锁存。同时，还应注意，第一抢答信号应在主持人发出抢答命令后才有效，否则视为犯规。当电路形成第一抢答信号时，用编码、译码及数码显示电路显示抢答的组别。

## 课题 6 洗衣机控制电路设计

### 1. 设计要求

设计一个洗衣机控制电路，要求：

- (1)洗衣机按：待机 5s→正转 60s→待机 5s→反转 60s 的过程运转，并用 3 个 LED 灯表示工作状态，用七段数码管显示相应工作状态下的时间；
- (2)可自行设定洗衣机的循环次数（最大为 15 次）；
- (3)具有紧急情况处理功能，当发生紧急情况时，电路暂停，直到紧急情况解除后继续执行后续步骤；
- (4)洗衣机设定循环次数递减到零时立即报警，以表示洗衣机工作结束。

### 2. 设计提示

系统采用状态机设计方法。可以设置时钟输入 CLK，直接清零 RD，暂停/连续（紧急情况）输入引脚 EN，洗衣机循环次数输入 I3..I0；输出三个 LED 分别表示待机、正转和反转，2 位数码显示工作时间。

## 课题 7 模拟乒乓球比赛电路设计

### 1. 设计要求

设计一个游戏电路，模拟乒乓球比赛，可供两人游戏，要求：

甲、乙各持一按键作为球拍，用 8 个 LED 模拟乒乓球的运动轨迹，用一个点亮代表乒乓球，它可以在此轨迹上左右移动。击球位置在左、右第 2 个 LED 的位置，若击球键恰好在球到达击球位置时按下，球即向相反方向移动；若按键偏早或偏晚，则击球无效，球继续向前运行至末端，并停在该位置不动，此时判击球者失球，记分板上给胜球者记 1 分。再经 1s，亮点自动按乒乓球规则移至发球者的击球位置，等待下一次比赛开始。

### 2. 设计提示

球的运行可用双向移位寄存器实现。另外，按键的输入要和系统时钟同步（即做好去抖）。



## 课题 8 全自动电梯控制电路设计

### 1. 设计要求

设计一个 4 层楼房全自动电梯控制电路，要求：

- (1)每层梯入口处设有上、下请求开关各一个，电梯内设有到达层次的停站开关；
- (2)有电梯所处位置指示装置及电梯上、下行状态指示装置；
- (3)电梯每秒升（降）一层，到达某一层时，该层指示灯亮，并一直保持到电梯到达新一层为止；
- (4)电梯到达有停站要求的楼层后，该层指示灯亮，经过 0.5s 电梯门自动打开，开门指示灯亮，开门 5s 后，电梯门自动关闭（开门指示灯灭），电梯继续运行；
- (5)能记忆电梯内、外的所有请求信号，并用指示灯显示，并按照电梯运行规则次第响应，每个请求信号保留至执行后撤除。
- (6)电梯运行规则：电梯处于上行模式时，只响应比电梯所在位置高的层次的上楼请求信号，由下而上逐个执行，直到最后一个请求执行完毕。如更高层次有下楼请求，则直接升到有下楼请求的最高楼层接客，然后进入下降模式。电梯处于下降模式时与之相反，公响应比电梯所在位置低的楼层的下楼请求，由上到下逐一解决，直到最后一个请求被处理完毕。如再低楼层有上升请求，则降至该楼层，并输入上行模式。电梯执行完所有的请求后，应停在最后所在的位置不变，等待新的请求；
- (7)开机（接通电源）时，电梯应停留在一楼，而各种上、下行请求皆被清除。

### 2. 设计提示

如图 8.1 所示，用 6 个按键作为上楼（3 个）、下楼（3 个）请求开关，另外用 4 个按键作为乘客进入电梯后所按目的楼层开关。

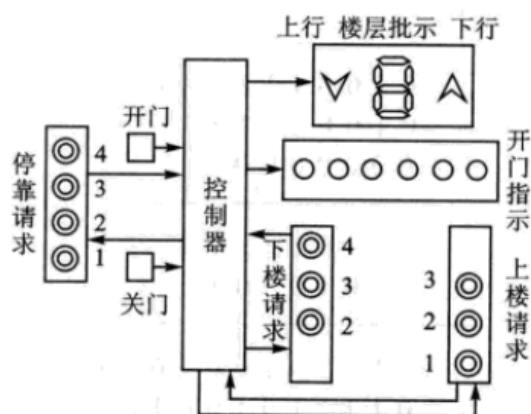


图 8.1 自动电梯框图

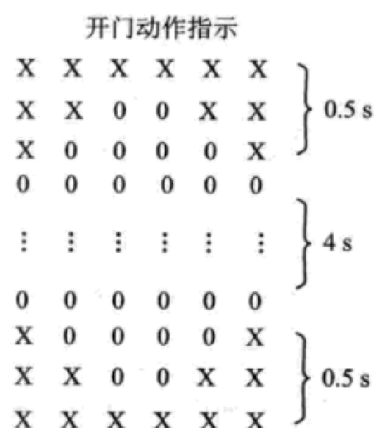


图 8.2 电梯开门动作指示

电梯所在楼层用数码管显示，另外用 2 个 LED 显示上、下行状态。用 6 个 LED 作为开门指示，其过程如图 8.2 所示。

## 课题9 自动售邮票机设计

### 1. 设计要求

机器能自动识别硬币金额，最大为1元，最小为1角。购票者可选择的邮票面值有1元和5角两种，每次只能售出1枚邮票。

购票时先选择邮票面值后投币，当投入的硬币总金额达到或超过邮票面值时，机器发出指示并拒收继续投入的硬币。

购票者投币后，按确认键，机器将发出邮票和找零硬币；若所投金额不足，则发出“欠资”指示，在欠资情况下，购票者可以继续投币购票，也可按取消键，则机器将退出所投入的全部金额。

购票者投入硬币后，如未按确认键而按取消键，机器也将退出所投入的全部金额。

找零或退役时，按由大到小的原则处理，即总金额超过1元时，应找出1元硬币；总金额低于1元超过5角时，应找出5角硬币；总金额不足角时，放才找出1角的硬币。

### 2. 设计提示

如图9.1所示，用3个按键代表3种硬币输入（1元、5角和1角）。每按一次代表投入一枚硬币。

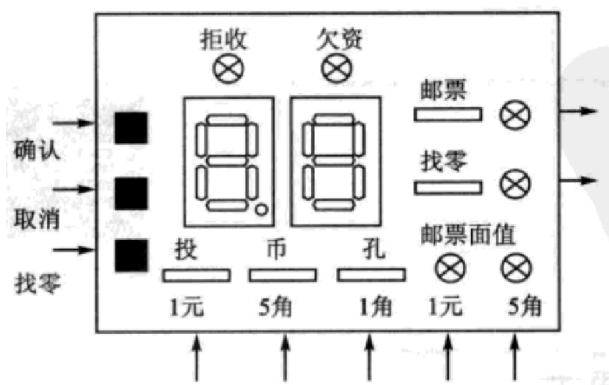


图 9.1 自动电梯框图

邮票面值（1元、5角）也各用一个按键表示，按动某个按键表示选购某种面值的邮票。同时，可安排2个LED指示所选的面值。

确认、取消各用一个按键输入。投入的总金额用两位数码管显示。其显示的数值应随着硬币的投入或找出而变化。

机器应有2个输出孔（模拟时可用两个LED表示），一个输出邮票，一个输出硬币，硬币按由大到小顺序逐枚输出。无论是输出邮票还是输出硬币，每输出一枚，数码管上的数字就减去相应的数。找零的过程可用一个按键控制，每按一次，输出一枚硬币，直到数码管上显示数字为零。

欠资信号和拒收信号可用2个LED表示。

# 课题 10 8 位 10 进制频率计设计

## 1. 设计要求

设计一个 8 位 10 进制频率计，能对 1Hz—99999999Hz 的矩形波进行测量，结果在 8 位数码管上显示出来。

## 2. 设计提示

根据频率的定义和频率测量的基本原理，测定信号的频率必须有一个脉宽为 1 秒的输入信号脉冲计数允许的信号；1 秒计数结束后，计数值被锁入锁存器，计数器清 0，为下一测频计数周期作好准备。测频控制信号可以由一个独立的发生器来产生，即图 10.1 中的 FTCTRL 模块。根据测频原理，测频控制时序可以如图 10.2 所示。FTCTRL 的计数使能信号 CNT\_EN 能产生一个 1 秒脉宽的周期信号，并对频率计中的 8 位 10 进制计数器 CNT10\_8（图 10.1）的 ENABL 使能端进行同步控制。当 CNT\_EN 高电平时允许计数；低电平时停止计数，并保持其所计的脉冲数。在停止计数期间，首先需要有一个锁存信号 LOAD 的上跳沿将计数器在前 1 秒钟的计数值锁存进 7 段译码显示模块 SCNA\_LED 的内部寄存器中，再由 7 段译码器译出，显示计数值。设置锁存器的好处是数据显示稳定，不会由于周期性的清 0 信号而不断闪烁。锁存信号后，必须有一清 0 信号 RST\_CNT 对计数器进行清零，为下 1 秒的计数操作作准备。

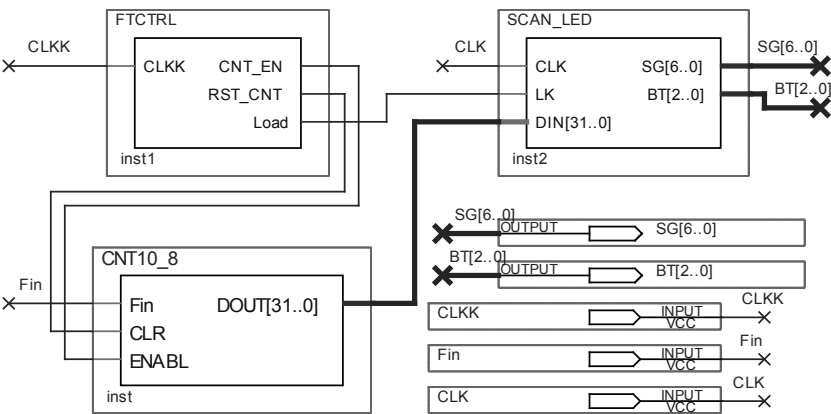


图 10.1 频率计原理图

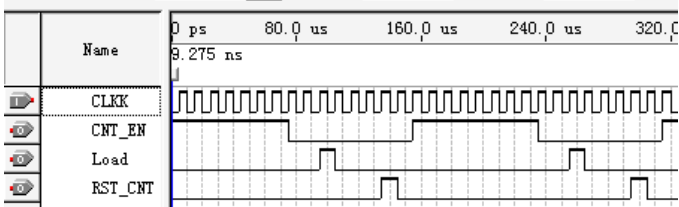


图 10.2 频率计测控时序图

## 课题 11 乐曲硬件演奏电路设计

### 1. 设计要求

设计一个乐曲硬件演奏电路，要求内置至少 2 首以上乐曲（自行收集），能顺序播放所有乐曲，或通过按键切换到所需播放的曲目，并用数据管显示当前播放的曲目编号。

### 2. 设计提示

乐曲演奏的原理是：由于组成乐曲的每个音符的频率值（音调）及其持续时间（音长）是乐曲演奏的 2 个基本数据，因此需要控制输出到扬声器的激励信号的频率高低和该频率信号持续的时间。频率的高低决定了音调的高低，而乐曲的简谱与各音名的频率对应关系如表 11.1 所示。

表 11.1 简谱中的音名与频率的关系

音符	频率 Hz	音符	频率 Hz
低音 1D0	261.6	中音 5S0	784
低音 2RE	293.7	中音 6LA	880
低音 3MI	329.6	中音 7SI	987.8
低音 4FA	349.2	高音 1D0	1045.5
低音 5S0	392	高音 2RE	1174.7
低音 6LA	440	高音 3MI	1318.5
低音 7SI	493.9	高音 4FA	1396.9
中音 1D0	523.3	高音 5S0	1568
中音 2RE	587.3	高音 6LA	1760
中音 3MI	659.3	高音 7SI	1975.5
中音 4FA	698.5		

所有不同频率的信号都是从同一基准频率分频而得来的，由于音阶频率多为非整数，而分频系数又不能为小数，故必须将计算得到的分频数进行四舍五入取整，从而保证音乐不会走调。信号的分频可由数控分频器来实现。由于直接从数控分频器出来的输出信号是脉宽极窄的脉冲式信号，为了有利于驱动扬声器，需另加一个  $T'$  触发器以均衡其占空比，但这时的频率将是原来的  $1/2$ 。

硬件乐曲演奏电路示意结构如图 11.1 所示。11 位数控分频器根据预分频得到的 1.33MHz 时钟和 11 位预置数，分频产生信号经  $T'$  触发器送到 SPEAKER。不难得到如下关系：

$$F_{SPEAKER} = \frac{40MHz}{30 \cdot (2^{11} - n) \cdot 2} \Rightarrow n = 2048 - \frac{40MHz}{30 \cdot F_{SPEAKER} \cdot 2}$$

其中， $F_{SPEAKER}$  为分频信号频率， $n$  为对应分频数。以中音 1 为例，其频率为 523Hz，代入上式计算得到分频数  $n$  为 773。以此类推，可以得到其它音符的分频数。

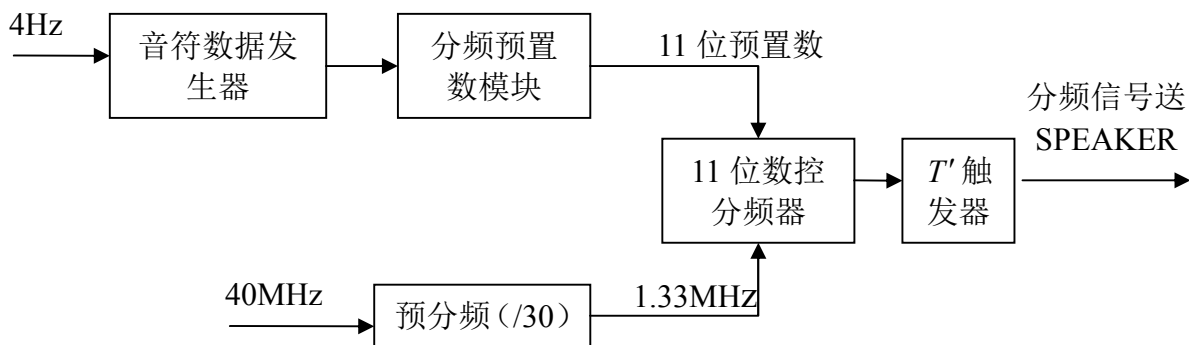


图 11.1 乐曲硬件演奏电路示意结构

分频预置数模块的功能是为 11 位数控分频器提供决定所发音符的预置数。而此预置数在数控分频器输入口停留的时间即为此音符的节拍值。该模块是乐曲简谱码对应的分频预置数查找表电路，设置所有音符的分频预置数。可由 CASE 语句设计完成。如：

```

CASE  Index  IS
    WHEN  "0001" => Tone <= "01100000101" ; --773, 中音 1
    WHEN  "0010" => Tone <= "01110010000" ; --912, 中音 2
    .....
    WHEN  "1001" => Tone <= "10110000010" ; --1410, 高音 1
    WHEN  "1010" => Tone <= "10111001000" ; --1480, 高音 2
    .....
  
```

每一音符的停留时间由音乐节拍和音符数据发生器的输入频率决定。

音符数据发生器由  $n$  位二进制计数器（ $n$  值的大小取决于需要播放的音乐简谱长度）和音符数据 ROM（由 LPM\_ROM 定制，初始化文件即为待播简谱音符数据）组成，如图 11.2 所示。计数器的每一计数值的停留时间为 0.25 秒，为四四拍的 4 分音符持续时间。若一个音符为  $1/4$  拍，则停留 1 个计数值时间；若一个音符为  $1/2$  拍，则停留 2 个计数值时间；若一个音符为 1 拍，则停留 4 个计数值时间；以此类推。音符数据 ROM 按节拍输出的音符简谱码，也就是分频预置数模块的 CASE 语句索引值（如中音 1:0001;高音 1:1001）。



图 11.2 音符数据发生器结构

## 课题 12 直接数字频率合成器 (DDS) 设计

### 1. 设计要求

根据直接数字频率合成器 DDS 原理, 设计一个频率在 10Hz—10000Hz 的正弦信号发生器。利用 QuartusII 完成设计、仿真等工作, 并进入先进硬件测试, 使用 SignalTAPII (嵌入式逻辑分析仪) 观察波形结果。

### 2. 设计提示

DDS 即 Direct Digital Synthesizer 数字合成器, 是一种频率合成技术。具有相对带宽大、频率转换时间短、分辨力高、相位连续性好等优点, 很容易实现频率、相位和幅度的数控调制, 广泛应用于通讯领域。DDS 的基本结构如图 12.1 所示, 主要由相位累加器、相位调制器、正弦波数据表 (ROM)、D/A 转换器构成。相位累加器由 N 位加法器与 N 位寄存器构成。每来一个时钟 CLOCK, 加法器就将频率控制字 fword 与累加寄存器输出的累加相位数据相加。这样, 相位累加器在时钟作用下, 不断对频率控制字进行线性相位累加。由此可以看出, 相位累加器在每一个时钟脉冲输入时, 把频率控制字累加一次, 相位累加器输出的数据就是合成信号的相位, 相位累加器的溢出频率就是 DDS 输出的信号频率。用相位累加器输出的数据作为波形存储器 (ROM) 的相位取样地址, 这样就可把存储在波形存储器内的波形抽样值 (二进制编码) 经查找表查出, 完成相位到幅值转换。波形存储器的输出送到 D/A 转换器, 由 D/A 转换器将数字信号转换成模拟信号输出。

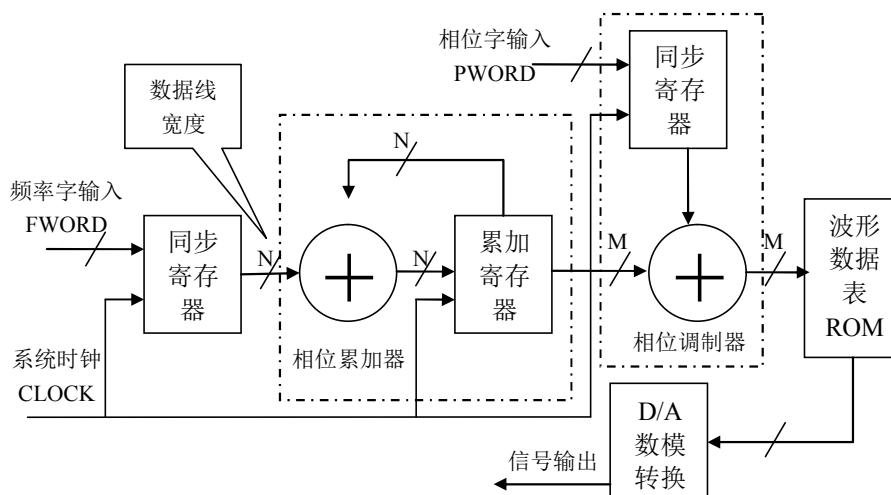


图 12.1 DDS 基本结构

由于相位累加器为 N 位, 相当于把正弦信号在相位上的精度定为 N 位 (N 的取值范围一般为 24—32), 所以分辨率为  $1/2^N$ 。若系统时钟频率为  $F_{clk}$ , 频率控制字 fword 为 1, 则输出频率为  $F_{out} = F_{clk} / 2^N$ , 这个频率相当于“基频”。若 fword 为 B, 则输出频率为:

$$F_{out} = B \times \frac{F_{clk}}{2^N}$$

当系统输入时钟频率  $F_{clk}$  不变时，输出信号频率为频率控制字所决定。由上式可得：

$$B = 2^N \times \frac{F_{out}}{F_{clk}}$$

其中 B 为频率字，注意 B 要取整，有时会有误差。通常频率字 B 的位宽 N 取 32 位。系统时钟频率  $F_{clk}$  的会取得较高，一般在几十到上百 MHz，比如 75MHz、100MHz 等，可以采用数字锁相环（ALTPLL）倍频得到。

选取 ROM 的地址（即相位累加器的输出数据）时，可以间隔选通，相位寄存器输出的位数 M 一般取 10—16 位，这种截取法称为截断式用法，以减少 ROM 的容量。M 太大会导致 ROM 容量的成倍上升，而输出精度受 D/A 位数的限制未有很大改善。

## 课题 13 基于 8051IP 核的等精度频率计设计

### 1. 设计要求

设计一个基于 8051IP 核控制的等精度频率计。测频范围：0.1Hz~99MHz, 采用 8 位数码管显示。

### 2. 设计提示

基于传统测频原理的频率计的测量精度将随被测信号频率的下降而下降，即测量精度随被测信号的频率的变化而变化，在实用中有较大的局限性，而等精度频率计不但有较高的测量精度，且在整个频率区域能保持恒定的测试精度（取决于基准信号的频率，及测量数据的位宽）。一个设计完整的等精度频率计可具备频率测量、脉宽测量、占空比测量和相位测量功能。

等精度频率计的主系统如图 13.1 所示，主要由六个部分构成。

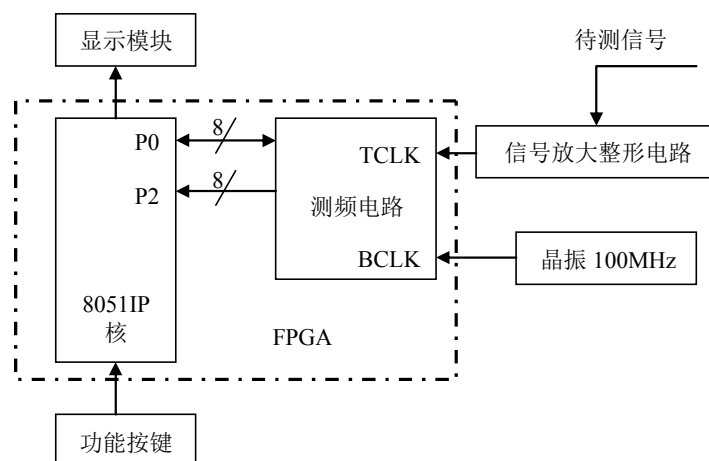


图 13.1 主系统电路结构

- 信号整形电路。用于对待测信号进行放大和整形，以便作为 PLD 器件的输入信号（若是矩形波信号，可以省去）。
- 测频电路。是测频的核心电路模块，其设计由 FPGA 器件承担。
- 100MHz 基准频率信号源（可通过数字锁相环 ALTPLL 倍频得到）。
- 8051IP 核模块。置于 FPGA 器件中，用于控制测频电路的测频操作和读取测频数据，并做出相应的数据处理。安排 8051IP 核的 P2 读取测试数据，P0 口向测频电路发控制命令。
- 键盘模块。提供复位及命令按键功能。
- 显示模块。可采用数码显示或 LCD 液晶显示。

等精度测频电路的工作原理可用图 13.2 说明。图中“预置门控信号”CL 可由 8051IP 核发出，可以证明，在 1 秒到 0.1 秒范围内，CL 的时间宽度对测频精度几乎没有影响，在此设其宽度为  $T_{pr}$ 。BZH 和 TF 模块是两个可控的 32 位高速计数器，BENA 和 ENA 分别是它们的计数使能信号，高电平有效。基准频率信号从 BZH 的时钟输入端 BCLK 输入，设其频率为  $F_s$ ；经整形后的被测信号从与 BZH



相似的 32 位计数器 TF 的时钟输入端 TCLK 输入，设其真实频率为  $F_{xe}$ ，被测频率为  $F_x$ 。等精度测频原理说明如下：

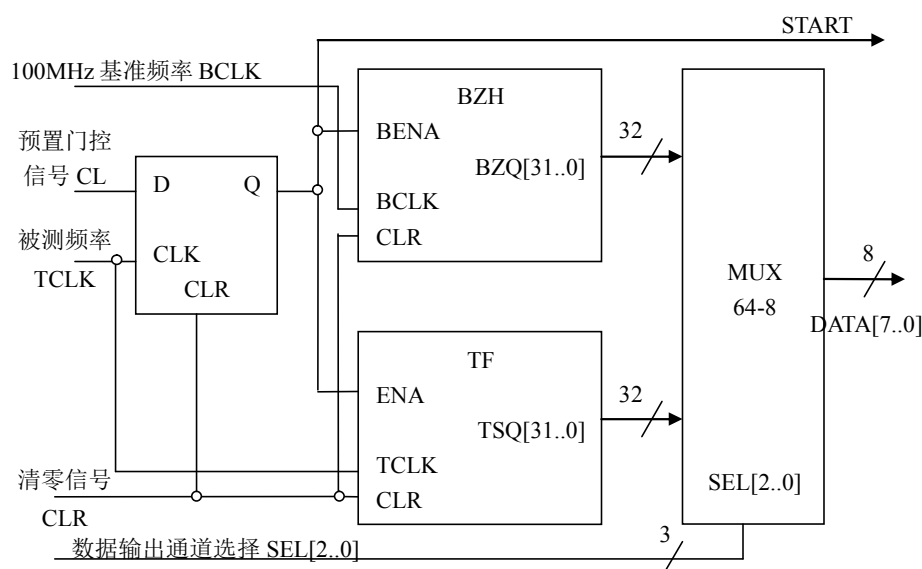


图 13.2 主系统电路结构

测频开始前，先发出一个清零信号 CLR，使两个计数器和 D 触发器置“0”，同时 D 触发器通过信号 ENA，禁止两个计数器计数。这是一个初始化操作。然后，由 8051IP 核允许测频命令，即令预置门控信号 CL 为高电平（结合图 13.2 和 13.3 一起看），这时 D 触发器要一直等到被测信号的上升沿通过时 Q 端才被置“1”（即令 START 为高电平），与此同时，将同时启动计数器 BHZ 和 TF，进入图 13.3 所示的“计数允许周期”。在此期间，BHT 和 TF 分别对基准频率信号（ $F_s$ ）和被测信号（ $F_x$ ）同时计数。当  $T_{pr}$  秒后，预置门控信号被 8051IP 核置为低电平，但此时两个计数器并没有停止计数，一直等到随后而至的被测信号的上升沿到来时，才通过 D 触发器将这两个计数器同时关闭。由图 13.3 可见，CL 的宽度和发生的时间都不会影响计数使能信号（START）允许计数的周期总是恰好等于被测信号 TCLK 的完整周期数这样一个事实，这正是确保 TCLK 在任何频率条件下都能保持恒定精度的关键。而且，CL 宽度的改变以及随机的出现时间造成的误差最多只有 BCLK 信号的一个时钟周期，如果 BCLK 由精确稳定的晶振（100MHz）发出，则任何时刻的绝对测量误差只有 10ns。

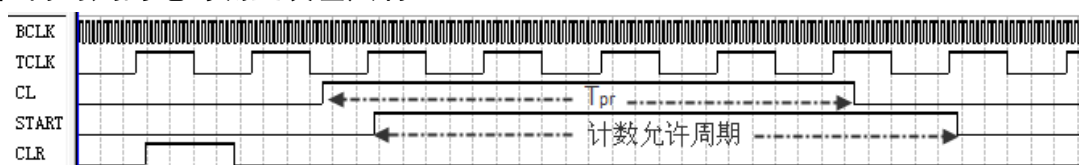


图 13.3 频率计测控时序

设在一次预置门控时间  $T_{pr}$  中对被测信号的计数值为  $N_x$ ，对基准频率信号的

计数值为  $N_s$ ，则下式成立：

$$F_x / N_x = F_s / N_s$$

不难得到测得的频率为：

$$F_x = (F_s / N_s) \cdot N_x$$

最后通过控制 SEL 选择信号和 64 位至 8 位的多路选择器 MUX64-8, 将计数器 BHZ 和 TF 中的两个 32 位数据分 8 次读入 8051IP 核，并按上式计算显示结果。

## 课题 14 电子密码锁设计

### 1. 设计要求

要求设计一个 4 位 10 进制密码的电子密码锁，采用矩阵键盘输入方式，具体要求如下：

- 1、数据输入：每按一个数字键，就输入一个数值，并在数码管的最右方显示出该数值，并将先前已经输入的数据依序左移一个数字位置。
- 2、数码清除：按下此键可清除前面所有的输入值，清除成为“0000”。
- 3、密码更改：按下此键时将目前的数字设定成新的密码。
- 4、激活电锁：按下此键可将密码锁上锁。
- 5、解除电锁：按下此键会检查输入的密码是否正确，密码正确即开锁。
- 6、用相应的发光二极管显示当前上锁/解锁的状态。

### 2. 设计提示

电路可由三大部分组成，每一部分又包含了若干子电路，将各电路组合起来，就构成了一个整体。下面分别对各部分进行讨论：

1、矩阵键盘接口电路的设计，内容包括：键盘扫描时序产生电路，键盘扫描电路，弹跳消除电路，键盘译码电路，按键存储电路。

2、密码锁的控制电路设计，内容包括：数字按键的数字输入、存储及清除，功能按键的功能设计，移位寄存器的设计与控制，密码清除、变更、存储、激活电锁电路，密码核对、解除电锁电路。

3、输出七段显示电路的设计，内容包括：数据锁存电路，BCD 对七段显示译码电路，七段显示扫描电路。

## 课题 15 VGA 驱动电路设计

### 1. 设计要求

设计一个简单的 VGA 显示驱动电路，采用  $640 \times 480$  的分辨率，刷新频率为 60Hz。通过矩阵键盘切换多种显示图形如图 15.1，当然，也可以自行改变显示内容（例如一些国家的国旗等），但至少 5 种以上。

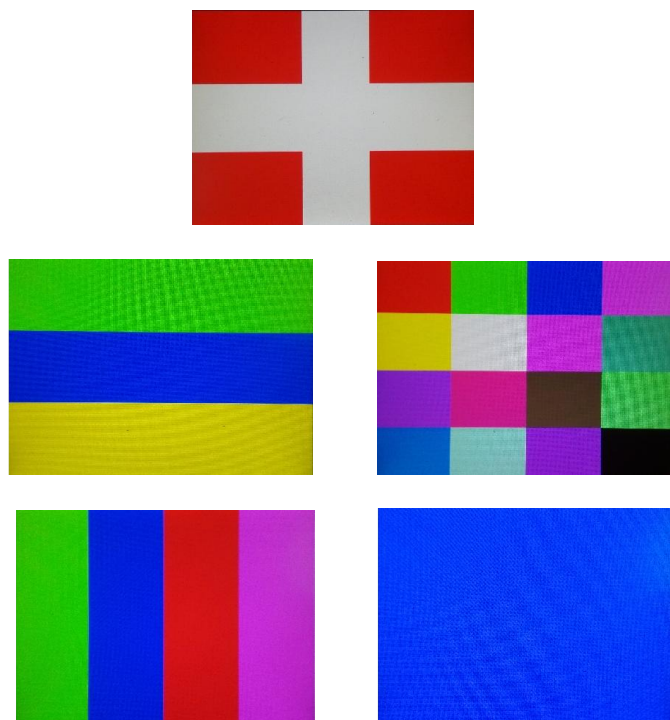


图 15.1 显示图形

### 2. 设计提示

EP3C25-B 适配器 VGA 接口电路如图 15.2 所示，采用了视频输出芯片 ADV7125，其内置三个高速、8 位、带互补输出的视频数模转换器。其中 R7..R0、G7..G0、B7..B0 分别为红、绿、蓝三色的 10 位数字量输入，转换后的模拟量分别从 IOR、IOG 和 IOB 输出（送至 VGA 接口 1、2、3 红、绿、蓝三基色线）；BLANK 信号低电平时，将忽略 R7..R0、G7..G0、B7..B0 的输入，因此可作为消隐使用；芯片的 SYNC 通常不使用，可固定为低电平；CLOCK 为芯片时钟输入，即单位像素工作时钟。为了节省引脚，适配器采用了 RGB565 的格式，即 R、G、B 三基色的 8 位数据输入，只使用了各自的高位 5、6、5 位。具体的引脚分配可参阅《E-Play-SOPC EP3C25-B 适配器硬件简介》的表 10。

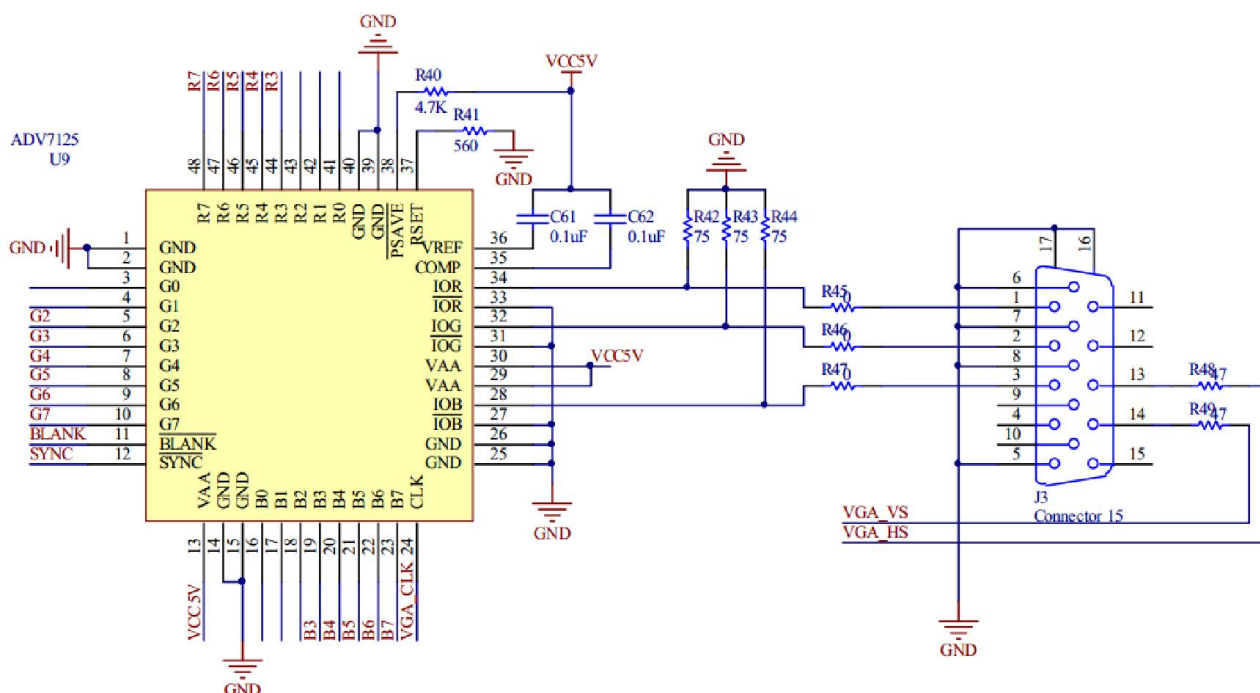
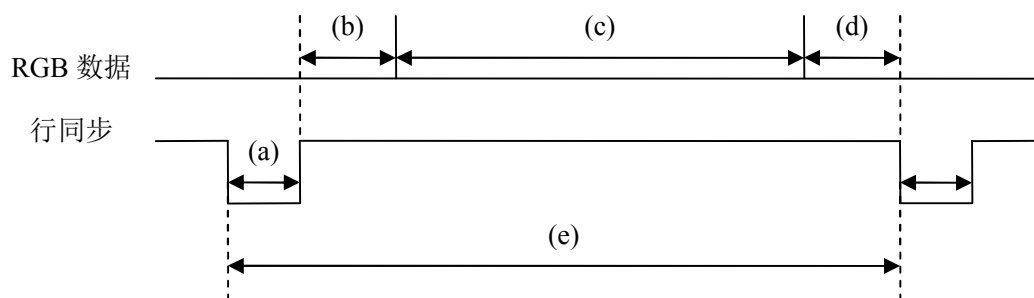


图 15.2 EP3C25-B 适配器 VGA 接口电路图

表 15.1 VGA 引脚定义表

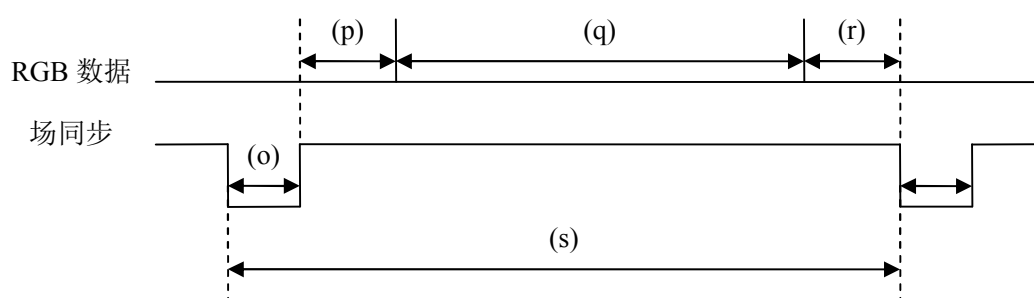
引脚	名称	注释	引脚	名称	注释
1	RED	红基色	9	KEY	保留
2	GREEN	绿基色	10	SGND	同步信号地
3	BLUE	蓝基色	11	ID0	显示器标识位 0
4	ID2	显示器标识位 2	12	ID1	显示器标识位 1
5	GND	地	13	HSYNC	行同步
6	RGND	红色地	14	VSYNC	场同步
7	GGND	绿色地	15	ID3	显示器标识位 3
8	BGND	蓝色地			

VGA 接口 15 根引脚定义如表 15.1 所示。从中可以看出除接地线和空连接线外，真正起显示作用的引脚有 5 根，分别是 1、2、3 红、绿、蓝三基色线，以及 13、14 行同步和场同步线。图 15.3 和图 15.4 给出了 RGB 数据与行、场同步信号的时序关系，表 15.2 则给出了常见刷新率下，行、场同步信号与单位像素时钟的关系。



(a)SYNC: 行同步脉冲信号 (b)Bank porch: 行消隐后廊 (c)Active video time: 行有效显示时间  
(d)Front porch: 行消隐前沿 (e)Scanline time: 行扫描时间

图 15.3 VGA 行数据时序



(o)SYNC: 场同步脉冲信号 (p)Bank porch: 场消隐后廊 (q)Active video time: 场有效显示时间  
(r)Front porch: 场消隐前沿 (s)Total frame time: 总场时间

图 15.4 VGA 场数据时序

表 15.2 常见刷新率时序表

显示模式	时钟 (MHz)	行时序 (像素数)					场时序 (行数)				
		a	b	c	d	e	o	p	q	r	s
640×480@60	25.175	96	48	640	16	800	2	33	480	10	525
640×480@70	31.5	64	120	640	16	840	3	16	480	1	500
800×600@60	40	128	88	800	40	1056	4	23	600	1	628
800×600@75	49.5	80	160	800	16	1056	3	21	600	1	625
1024×768@60	65	136	160	1024	24	1344	6	29	768	3	806
1024×768@75	78.8	176	176	1024	16	1312	3	28	768	1	800
1280×1024@60	108.0	112	248	1280	48	1688	3	38	1024	1	1066
1280×800@60	83.46	136	200	1280	64	1680	3	24	800	1	828
1440×900@60	106.47	152	232	1440	80	1904	3	28	900	1	932

以 800×600@60 为例，此时 VGA 显示器的分辨率为 800×600，每秒刷新次数为 60 次，单位像素的时钟频率为 40MHz，即每个像素的显示时间为 25ns，行同步脉冲信号为 128 个像素时间（即 3.2 μs），行消隐后廊为 88 个像素时间（即 2.2 μs），行有效显示时间为 800 个像素时间（即 20 μs），行消隐前沿为 40 个像素时间（即 1 μs），一行扫描时间为 1056 个像素时间（即 26.4 μs），场同步脉冲信号为 4 个行扫描时间，场消隐后廊为 23 个行扫描时间，场有效显示时间为 600 个行扫描时间，场消隐前沿为 1 个行扫描时间，一场扫描时间为 628 个行扫描时间。